

Title	並列処理マシンにおける投機的実行支援に関する研究
Author(s)	中西, 知嘉子
Citation	大阪大学, 2000, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42167
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について <a>〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	中 西 知 嘉 子
博士の専攻分野の名称	博 士 (工 学)
学位記番号	第 1 5 5 3 1 号
学位授与年月日	平成12年 3 月 24 日
学位授与の要件	学位規則第4条第1項該当 基礎工学研究科情報数理系専攻
学位論文名	並列処理マシンにおける投機的実行支援に関する研究
論文審査委員	(主査) 教授 萩原 兼一 (副査) 教授 都倉 信樹 教授 今井 正治

論 文 内 容 の 要 旨

マイクロプロセッサの高性能化において、命令の並列実行によって処理速度を向上させるスーパスカラ技術や VLIW 技術は、近年特に注目されている技術である。本研究は、スーパスカラや VLIW における各々の欠点を改良し、並列度をより高めた新規なアーキテクチャを提案するものである。その並列度を高めるための最も有効な手法として“投機的実行”に着目し、これをどのように実現するかをハードウェアとソフトウェアの両面から検討した。特に、処理速度の向上にはハードウェアとソフトウェアのバランス設計が不可欠であるとの観点から、その最適化に最も重点を置いた。

以上の目的に対し、次に示す3つの手法を提案した。まず第1に、スーパスカラにおいては、極めて少ないハードウェア支援のみで投機的実行を行ない、コンパイラによって性能を向上させた。また第2に、投機的実行の機会を増やすために不可欠となる動的分岐予測に関しては、単純なハードウェアで高い予測精度と予測アドレスの早期送出の両方の要求を同時に満たす方式を確立した。さらに第3に、VLIW においては、投機的実行の支援のためのハードウェアを付加することで投機的実行による問題を解決し、その機構に適したコンパイラ技術を提案した。

その結果、スーパスカラにおいては、3命令同時発行のマシンの場合、スカラマシンの1.67倍の性能向上を確認した。また、命令スケジューリングにより、最適化を行う前と比較し約52%性能を向上させることが確認できた。また、提案した動的分岐予測方式により、4命令フェッチのスーパスカラ・マシンにおいて、従来の方式に比べて、約38%性能を改善できることを確認した。さらに、VLIW においては、4命令同時実行のマシンで、スカラマシンに対して2.4倍、従来 VLIW マシンに対して1.9倍の性能向上を確認した。また、本機構に適したソフトウェアパイプライン方式により、従来の方式と比較し、4.9%~5.3%性能を向上させることができた。

以上の研究で、提案したアーキテクチャにより、マイクロプロセッサの性能を大幅に向上できることを示した。

論 文 審 査 の 結 果 の 要 旨

マイクロプロセッサの高性能化において、命令の並列実行によって処理速度を向上させるスーパスカラ技術や VLIW 技術は、近年特に注目されている技術である。本論文は、スーパスカラや VLIW における各々の欠点を改良

し、並列度をより高めた新規なアーキテクチャに関する研究をまとめたものである。

本論文では、並列度を高めるための最も有効な手法として“投機的実行”に着目し、これをどのように実現するかをハードウェアとソフトウェアの両面から検討している。そして、ソフトウェアとハードウェアで最適な負荷分担を行うことにより処理速度を向上させる3つの手法を提案している。

まず第1の手法として、スーパスカラにおいては、コンパイラによって並列度を抽出することでハードウェアの負荷を削減し、極めて少ないハードウェアで投機的実行を支援する手法を提案している。

第2の手法として、高性能スーパスカラにおいては、投機的実行の機会を増やすために不可欠となる動的分岐予測機構に関し、単純なハードウェアで高い予測精度と予測アドレスの早期送出の両要求を同時に満たす方式を確立している。

第3の手法として、VLIWにおいては、投機的命令移動によって発生する問題を、投機的実行の支援のハードウェアを付加することで解決し、さらにその機構に適したコンパイラ技術を提案している。

これらの手法に対し評価を行っており、第1の手法に関しては、3命令同時発行のスーパスカラ・マシンの場合、スカラマシンの1.67倍の性能向上していることを確認している。また、第2の手法に関しては、4命令フェッチの高性能スーパスカラ・マシンにおいて、従来の方式に比べて、約38%性能を改善できることを確認している。さらに、第3の手法に関しては、4命令同時実行のVLIWマシンで、スカラマシンに対して2.4倍、従来VLIWマシンに対して1.9倍の性能向上を確認している。さらに、第3の手法に適したコンパイラ技術により、4.9%~5.3%性能を向上させたことを示している。

以上の研究成果は、並列処理を行うマイクロプロセッサの性能を大幅に向上させるものであり、博士（工学）の学位論文として価値あるものと認める。