

Title	項書換え系および時間オートマトンで記述された仕様の検証と並列実行
Author(s)	服部, 哲
Citation	大阪大学, 2000, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42170
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	服部 哲
博士の専攻分野の名称	博士(工学)
学位記番号	第 15538 号
学位授与年月日	平成12年3月24日
学位授与の要件	学位規則第4条第1項該当 基礎工学研究科物理系専攻
学位論文名	項書換え系および時間オートマトンで記述された仕様の検証と並列実行
論文審査委員	(主査) 教授 谷口 健一 (副査) 教授 都倉 信樹 教授 井上 克郎 教授 東野 輝夫

論文内容の要旨

本論文は、ソフトウェアの仕様記述および検証のための形式的モデルである項書換え系とオートマトンに関して、次の4点の研究成果をまとめている。

1. 条件付き項書換え系(CTRS)の階層合流性は、CTRSにおける計算結果の一意性と関わる重要な性質である。2つのCTRSが階層合流性を満たすとき、それらの直和であるCTRSも階層合流性を満たすならば、階層合流性はモジュラであるという。階層合流性がモジュラならば、CTRSを分割して階層合流性を検証することができる。本論文では、階層合流性がモジュラであることが既知である2-CTRSのクラスとは異なる、線形的定義可能なCTRSのクラスに対して、階層合流性がモジュラであることを証明している。
2. 項書換え系において、書換え対象項には、書換え可能な部分項が一般に複数存在する。したがって、それらを複数のプロセッサを用いて並列に書き換え続けられれば、逐次的に書き換えるよりも速く、最終的な計算結果の項(正規形という)が得られる。本論文では、非同期最外戦略と呼ばれる書換え戦略に基づく、正規形があればそれを求められる、項書換え系の並列実行法の一つを与えた。実験により、通信時間が大きいという現実的な仮定の下で、いくつかの実用例題に対して台数効果が得られ、効率的に書換えが実行できることが分かった。
3. 実時間システムの仕様記述および検証のために、時間オートマトンが提案されている。本論文では、複数のサブシステムからなる実時間システムを自然に記述できるモデルとして、複数の時間オートマトンがブール値をとる変数を共有し、その変数を介して非同期的な通信を行うようなモデル(変数付き時間オートマトン群、TASV)を提案した。そして、与えられたTASVがデッドロックフリー性等の諸性質をもつかを判定する問題に対して、変数の参照に関する依存関係がないようにオートマトン群を分割し、分割したそれぞれについて判定を行うという効率的な検証法を考案した。
4. データ付きオートマトンと時間オートマトンを組み合わせたモデルとしてデータ付き時間オートマトンを提案し、データ付き時間オートマトンの双模倣等価性の記号的検証法を与えた。具体的には、データ付き時間オートマトンにおける任意の時点に対して、それ以降に入出力動作が可能な時間の範囲を求め、その範囲を入力データに関する条件式とすることによって、(時間制約のない)データ付きオートマトンに対する既知の検証法が利用できることを示した。

論文審査の結果の要旨

本論文は、項書換え系及びオートマトンを用いたソフトウェアの仕様記述と検証に関して、以下の結果を得ている。

まず、線形的定義可能な条件付き項書換え系に対して、階層合流性のモジュラ性を示している。規則右辺に自由変数を許すとより柔軟な仕様記述が可能となるが、そのようなあるクラスに対して階層合流性の分割検証が可能であるという新たな知見を得ている。

つぎに、項書換え系に対する非同期最外戦略に基づく並列実行法の一つを考案し、また、この実行法のシミュレータを実際に作成して評価実験を行っている。非同期最外戦略は、正規形を求めるための戦略として一般性の高いものであり、本研究はそれに対する具体的な実装方法を与えている。評価実験の結果、プロセス間通信のオーバーヘッドを見込んでも、台数効果が得られることを示しており、提案された実装法は効果的なものである。

また、共有ブール変数をもつ時間オートマトン群を提案し、それで記述された実時間システムのデッドロックフリー性の検証法を与えている。さらに、デッドロックフリー性検証における特性を利用して、オートマトン間でのブール変数を介した制御の流れが大局的に一方向であるような実時間システムに対して効率的に検証する方法を与えている。

最後に、データ付き時間オートマトンを提案し、それに対する時間双模倣等価性の記号的検証法を与えている。本論文では、動作可能時間の範囲を後続の制約条件も考慮して求め直し、それをもとに、データ付き時間オートマトンにおける時間双模倣等価性を、従来検証法が知られていた時間制約のないデータ付きオートマトンにおける双模倣等価性に帰着できるということを証明している。

以上のような研究成果は、項書換え系及びオートマトンによる仕様記述と検証の技術向上に貢献しており、博士(工学)の学位論文として価値あるものと認める。