



Title	静的電源電流テストにおけるテスト系列の生成及び圧縮に関する研究
Author(s)	前田, 敏行
Citation	大阪大学, 2000, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42298
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 ＜a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed >大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	まえ だ とし ゆき 前 田 敏 行
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 5 7 1 2 号
学 位 授 与 年 月 日	平 成 12 年 9 月 27 日
学 位 授 与 の 要 件	学位規則第4条第1項該当 工学研究科応用物理学専攻
学 位 論 文 名	静的電源電流テストにおけるテスト系列の生成及び圧縮に関する研究
論 文 審 査 委 員	(主査) 助教授 小松 雅治 (副査) 教 授 伊東 一良 教 授 豊田 順一 教 授 石井 博昭 教 授 八木 厚志

論 文 内 容 の 要 旨

本論文は大規模集積回路において問題となるブリッジ故障を対象とした静的電源電流テストにおけるテスト系列の生成および圧縮に関する手法の研究をまとめたものである。

第1章では、本研究の背景、及び本論文の内容を説明している。

第2章では、3章以降の議論の準備として、本研究での対象となる静的電源電流テスト法、回路モデル、故障モデルなどについての諸定義、諸概念について述べている。

第3章では、順序回路に対するランダムベクトルを用いたテスト生成の問題点を指摘し、より効率的なテスト生成手法として重みつきランダムベクトルを用いる手法を提案している。重みつきランダムベクトルを生成するために必要な確率分布を求める方法として評価関数を導入し、発見的手法により解を求め、ベンチマーク回路を用いたコンピュータ実験により、高速でかつ効率の良いテスト系列の生成が可能であることを確認している。

第4章では、静的電源電流テストにおいて検出不能となるブリッジ故障の判定法について考察している。検出不能故障の特定は、テスト生成の効率化、テスト系列の評価において重要となる。順序回路の構造から求める手法に加え、順序回路の無効状態から検出不能なブリッジ故障を見つける手法を提案している。ベンチマーク回路を用いたコンピュータ実験により、いくつかの回路で新たな検出不能故障を特定することができ、提案手法の有効性を確認している。

第5章では、再割当て手法を用いたテスト系列の圧縮手法を提案している。順序回路のテスト系列は故障を検出するベクトルだけでなく、状態を遷移させる系列を含んでいる。与えられたテスト系列に対し再割当て手法を適用することにより、故障を検出するために必要な部分テスト系列を抜き出すことが可能である。本章では、再割当て手法を用いた2つのテスト圧縮手法を提案している。ベンチマーク回路を用いたコンピュータ実験においてテスト圧縮率、計算時間を評価し、提案手法の有効性を確認している。

第6章では、再割当て手法を用いたテスト系列の圧縮を効率化する手法を考察している。回路内の全ブリッジ故障を対象に、テスト圧縮を計算機で実現するためには、多量のメモリが必要となる。本章ではテスト圧縮におけるコンピュータメモリの使用を効率化する手法を提案している。ベンチマーク回路を用いたコンピュータ実験により、使用メモリ量を大幅に減少させることができ、大規模回路に対しテスト圧縮が可能であることを示している。

第7章では、本論文の結論と今後の課題を示している。

論文審査の結果の要旨

集積回路の微細化技術が進み、大規模かつ高機能化が進むにつれて、集積回路のテストが困難になり、そのコストが高くなるとともに、集積回路の高信頼化という観点からも多くの問題をもたらしている。本論文では、CMOS 論理回路に対する静的電源電流テストの効率化という観点から、テスト生成時間の短縮、テスト系列の圧縮によるテストコストの削減を目指した新しい手法を提案している。その主な成果を要約すると次のとおりである。

- (1) 順序回路に対するランダムベクトルテストの問題点を指摘し、この問題点を解決する手法として、擬似入力確率分布が一樣となるような評価関数を導入して、重みつきランダムベクトルによるテスト生成手法を提案している。ベンチマーク回路を用いたコンピュータ実験により提案手法の有効性を明らかにしている。
- (2) 正確な故障検出効率を求めるためには、検出不能故障を対象故障から除去する必要がある。本論文では、順序回路の無効状態を用いることにより、検出不能なブリッジ故障を効率よく見つける新しい手法を提案している。ベンチマーク回路を用いたコンピュータ実験により、提案手法によって新たな検出不能故障を特定できることを明らかにし、重みつきランダムベクトルで生成されたテストベクトルの評価として故障検出効率を求め、提案手法が有効であることを示している。
- (3) 新たなテスト系列の圧縮手法として、再割当て手法を提案している。順序回路に対するテスト系列は状態の遷移系列を含んでいるため、テストベクトルの並べ替えや、削除の判定が困難である。これに対して、故障検出率を保持しながら、既存の状態値や信号値を再割当てすることにより、高速にテスト系列を圧縮する手法を提案し、その有効性を明らかにしている。さらに、状態値の再利用を行うことにより、大幅な圧縮ができる可能性を示している。
- (4) 回路の全ノード間のブリッジ故障を対象とする時には故障は膨大な数となる。全てのノード間のブリッジ故障を対象に、再割当て手法を用いたテスト圧縮手法を適用するとき、信号値の割り当てリストとして故障リストを実現することにより、少ない記憶容量で故障リストを実現する新しい手法を提案している。その効率を評価するために、他の手法を比較し、重みつきランダムベクトルのテスト圧縮においては、高い検出率を持つ短いテスト系列長が実現できることを示している。

以上のように本論文は、論理回路の静的電源電流テストによるブリッジ故障のテスト生成手法及びテスト系列圧縮の効率化に関する新しい手法を提案したものであり、CMOS 論理回路のテスト手法として多くの新しい知見を得ており、応用物理学、特に集積回路工学、コンピュータ工学に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。