

Title	システムLSIの動作・機能レベル設計支援手法に関する研究
Author(s)	高橋, 瑞樹
Citation	大阪大学, 2001, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42308
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	高橋 瑞樹
博士の専攻分野の名称	博士(工学)
学位記番号	第 16242 号
学位授与年月日	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当 工学研究科情報システム工学専攻
学位論文名	システム LSI の動作・機能レベル設計支援手法に関する研究
論文審査委員	(主査) 教授 白川 功 (副査) 教授 村上 孝三 教授 藤岡 弘 教授 西尾章治郎 教授 赤澤 堅造 教授 薦田 憲久 教授 下條 真司

論文内容の要旨

本論文は、動作レベル設計におけるハードウェア資源の利用効率の最適化を目指すスレッド分割手法、および機能レベルにおけるテスト容易化設計を支援するための機能レベルテスト容易性尺度とその算出手法に関する研究成果をまとめたものであり、全5章より構成されている。

第1章では、システム LSI の設計の動向と問題点について述べ、本研究の背景と目的を明らかにするとともに、研究内容と成果について概説している。

第2章では、システム LSI の設計の流れと課題について概観し、特に現在の動作レベル設計と機能レベル設計における課題について記述し、本研究の位置付けを明らかにしている。

第3章では、まず、動作レベル設計自動化の課題について述べ、システム LSI のハードウェアアルゴリズムを記述する言語 Bach-C と動作レベルの自動設計を実現するハードウェアコンパイラ Bach について概説している。つぎに、Bach を用いた動作レベル合成に必要なスレッド分割手法について考察し、演算器の共有とスレッド分割によるハードウェア資源の利用効率向上のための数理的手法を提案している。さらに、提案手法の整数線形計画法による解法と実設計に適用した実験結果により、提案手法の有効性を評価している。

第4章では、機能レベル評価尺度に基づくテスト容易化設計支援に関して考察している。まず、対象となる機能レベルの回路モデルと、そのモデル上で可制御性および可観測性を数値化するための方策について考察している。ついで、機能レベルの回路モデルをデータバスと制御回路に分離し、双方に含まれるレジスタの可制御性および可観測性を算出する手法を提案し、さらに、算出されたテスト容易性評価尺度を用いてテスト容易性を機能レベルで向上させるための手法について述べている。提案手法を機能レベルテスト容易性評価システムとして実装し、信号処理用の実回路に適用した実験結果によって、提案手法の有効性を検証している。

第5章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

論文審査の結果の要旨

本論文は、システム LSI の動作レベルと機能レベルにおける合成手法の高品質化を図るための主要な要素技術と

しての動作合成時のスレッド分割および機能レベルのテスト容易化設計に関して行った研究成果をまとめたものであり、以下の主要な結果を得ている。

(ア)Bach-Cによるハードウェアアルゴリズム記述からのシステム合成を可能とするBachコンパイラにおいて、並列に実行されないプロセス間での演算器の共有を実現するスレッド分割問題を定式化し、整数線形計画法を用いてその解法を提案している。記述上でのプロセスの出現順にスレッド分割が行われ、必ずしも回路規模の面で最適な合成結果が得られない従来手法に対し、本提案手法は演算器の共有という点で最適な動作合成を可能とし、回路規模の削減を実現している。また、提案手法を2つの実回路に適用して、最適なスレッド分割とそれに基づく合成を実行し、提案手法が動作レベル設計における回路規模を削減し、高品質の回路設計が実現できることを示している。

(イ)機能レベルで設計された回路に対する新しいテスト容易性評価尺度を提案している。この尺度は、機能レベルにおけるデータフローから得られる束線としてのデータのふるまい、あるいはデータパスと制御回路部の分離等、ゲートレベルでは失われてしまう機能レベルの情報を最大限に利用するものであり、従来のゲートレベルよりも正確な評価尺度である。また、この尺度は機能記述全体にそのまま適用可能であり、データパスと制御回路の間関係を十分に評価することができる。これにより、機能レベルにおいて容易化設計を可能とし、この評価尺度の正確さを活用して必要なテスト回路規模の更なる削減を可能としている。さらに、提案した尺度を用いて、テスト容易性改善の対象となるレジスタを選択する手法をも提案し、機能レベルテスト容易性評価システムを実装している。この実装システムを用いて、提案手法を複数の実回路に適用し、本手法の有効性を確認している。

以上のように、本論文は動作合成時のスレッド分割と機能レベルでのテスト容易化設計に関して多くの有用な研究成果をあげており、システムLSIの動作レベルおよび機能レベルにおける合成手法の高品質化に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。