



Title	Analysis and Simulation of Bridging Fault Behaviors in Testing of CMOS Integrated Circuits
Author(s)	Keshk, Arabi Elsayed Ibrahim
Citation	大阪大学, 2001, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42330
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	けしゅく あらび えるさいど いぶらひむ Keshk, Arabi Elsayed Ibrahim
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 6 2 0 8 号
学 位 授 与 年 月 日	平成 13 年 3 月 23 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 工学研究科応用物理学専攻
学 位 論 文 名	Analysis and Simulation of Bridging Fault Behaviors in Testing of CMOS Integrated Circuits (CMOS 集積回路のテストにおけるブリッジ故障動作の解析とシミュレーション)
論 文 審 査 委 員	(主査) 助教授 小松 雅治 (副査) 教 授 伊東 一良 教 授 石井 博昭 助教授 Sekkat Zouheir 講 師 齋藤 誠慈

論 文 内 容 の 要 旨

本論文は、最近のディープ・サブミクロン CMOS 集積回路の故障検査において問題となるブリッジ故障動作の解析とシミュレーションについてまとめたものであり、以下のように 6 章で構成されている。

第 1 章では、これまでの研究の概略と本研究の概要及び成果について述べている。

第 2 章では、本研究の背景として CMOS 回路のブリッジ故障、静的電源電流 (I_{DDQ}) テストおよび論理テストについて本論文での基礎事項についての概要を述べている。

第 3 章では、ブリッジ故障のテスト時に最大となる静的電源電流を利用するテスト手法とその解析手法を提案している。静的電源電流はブリッジ故障を通じて流れる主要電流と駆動ゲートを通じて流れる駆動電流の大きさに依存し、駆動ネットワークのチャネル抵抗を最小にするすべてのトランジスタ・ネットワークに対して必要な入力ベクトルを生成する手法により、外部ブリッジ故障及び内部ブリッジ故障に対して、静的電源電流の値を最大にできることを明らかにしている。最大となる静的電源電流が得られることにより、しきい値として変動的な静的電源電流を用いる必要がなく、故障の存在する場合と存在しない場合の静的電源電流を容易に区別することが可能となることを示している。

第 4 章では、ゲート間及びゲート内のブリッジ故障で発生する中間電圧により誤動作が発生する問題を解決する手法を提案している。特定の構造のトランジスタ回路で、その駆動ゲートが中間電圧となるかどうかを正確に決定するアルゴリズムを示し、ブリッジ故障の中間電圧と論理しきい値電圧の比を、ブリッジ抵抗、プルアップおよびプルダウン・トランジスタの等価抵抗と駆動ゲートの論理しきい値電圧で求められる値との比に置き換えることが出来ることを示している。

第 5 章では、ブリッジ故障に対するテスト入力生成において、中間電圧の効果とフィードバックによる発振の効果を考慮に入れた解析手法を提案している。この提案手法では、フィードバック・ブリッジ故障による発振の原因となる故障ノードが、中間電圧を取ることなく故障を活性化する方法を提案し、SPICE シミュレーションを用いた結果、従来の手法に加えて提案手法を適用した場合には、論理テストの検出率が向上することを明らかにしている。

第 6 章では、本論文の成果と今後の課題を述べ、本論文の結びとしている。

論文審査の結果の要旨

集積回路の微細化技術が進み、大規模かつ高機能化が進むにつれて、集積回路のテストが困難になり、そのコストが高くなると共に集積回路の高信頼化という観点からも多くの問題をもたらしている。本論文では、CMOS 集積回路のテストにおいて問題となるブリッジ故障動作の解析とシミュレーションについて新しい手法を提案しており、CMOS 論理回路に対する静的電源電流テスト (I_{DDQ} テスト) の信頼性の向上という観点から、新しいテスト手法の必要性を示唆している。その主な成果を要約すると次のとおりである。

- (1)静的電源電流はブリッジ故障を通じて流れる主要電流と駆動ゲートを通じて流れる駆動電流の大きさに依存し、駆動ネットワークのチャネル抵抗を最小にする入力ベクトルを用いることにより、ブリッジ故障に対して静的電源電流の値を最大にできることを明らかにしている。最大静的電源電流によるテストにより、変動的なしきい値を用いることなく、故障の存在する場合と存在しない場合の静的電源電流を区別することが可能となることを示し、静的電源電流テストにおける有効性を明らかにしている。
- (2)ブリッジ故障によりその駆動ゲートが中間電圧となるかどうかを正確に決定するアルゴリズムを示し、それにより中間電圧と論理しきい値電圧の比が、プルアップ及びプルダウン・トランジスタの等価抵抗より求められる電圧値と駆動ゲートの論理しきい値電圧の比として求められることを示している。これにより、SPICE シミュレーションに比して高速に計算できるだけでなく、得られる中間電圧の精度は、SPICE シミュレーションで求められる値と比較して、その誤差がショートブリッジ故障に対しては $\pm 0.01V$ 、抵抗性ブリッジ故障に対しては $\pm 0.2V$ 以内となることを確認している。
- (3)ブリッジ故障によって生ずる中間電圧とブリッジ故障によって発生するフィードバック・ループによる発振の関係とテスト入力との関係を示す解析手法を提案している。解析により、フィードバック・ブリッジ故障による発振の原因となる故障ノードが中間電圧を取ることなく故障を活性化する入力が存在することを明らかにし、中間電圧の発生を減少させる入力ベクトルの条件を提案している。従来の手法に加えて提案手法を適用した場合には、論理テストの検出率が数パーセント向上することを、SPICE シミュレーションを用いた実験結果により明らかにしている。

以上のように、本論文は、論理回路のブリッジ故障の動作解析に関する新しい手法を提案したものであり、ディープ・サブミクロン CMOS 論理回路の新しいテスト手法の基礎となる多くの新しい知見を得ており、応用物理学、特に集積回路工学に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。