



Title	4相nMOSダイナミック論理による低消費電力VLSI化設計に関する研究
Author(s)	宋, 宝玉
Citation	大阪大学, 2001, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42331
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	宋 宝 玉
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 6 2 4 6 号
学 位 授 与 年 月 日	平 成 13 年 3 月 23 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 工学研究科情報システム工学専攻
学 位 論 文 名	4 相 nMOS ダイナミック論理による低消費電力 VLSI 化設計に関する研究
論 文 審 査 委 員	(主査) 教 授 白 川 功 (副査) 教 授 村 上 孝 三 教 授 藤 岡 弘 教 授 西 尾 章 治 郎 教 授 赤 澤 堅 造 教 授 薦 田 憲 久 教 授 下 條 真 司

論 文 内 容 の 要 旨

本論文は、4 相 nMOS ダイナミック論理方式による低消費電力 VLSI 化設計について、特に、レイアウトモデルとその自動合成手法および専用クロック生成回路の低消費電力化設計に焦点を当て、得られた研究成果をまとめたものであり、全 5 章より構成されている。

第 1 章では、低消費電力 VLSI 化設計について述べ、本研究の背景と目的を明らかにするとともに研究内容と成果について概説している。

第 2 章では、4 相 nMOS ダイナミック論理方式の低消費電力特性について考察している。まず、従来の論理方式、すなわち、スタティック CMOS 論理、ダイナミックドミノ CMOS 論理、およびパストランジスタ論理について概説し、これらの論理方式の回路性能への影響、特に電力消費への影響について述べている。つぎに、4 相 nMOS ダイナミック論理の回路構成および回路特性について詳述し、他の論理方式との比較を行うことによって、その低消費電力特性を評価している。

第 3 章では、4 相 nMOS ダイナミック論理方式による VLSI 化設計に必要なレイアウト設計について考察している。まず、高密度および設計容易性を目指したレイアウトアーキテクチャとしてのアレイセルアーキテクチャを考案し、つぎに、これを用いた自動レイアウト合成手法について記述している。

第 4 章では、4 相 nMOS ダイナミック論理方式による VLSI 化設計に必要な専用クロック生成回路の低消費電力化設計について記述している。具体的には、クロック配線による電力消費を低減するためのクロック生成回路の構成とクロック分配方法を考案し、その性能を評価している。

第 5 章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

論 文 審 査 の 結 果 の 要 旨

本論文は、4 相 nMOS ダイナミック論理方式の低消費電力特性に着目し、本方式による低消費電力 VLSI 化設計に関する研究成果をまとめたものであり、以下の主要な結果を得ている。

(1) 論理回路の低消費電力 VLSI 化設計を実現するための方策を概観し、特に、4 相 nMOS ダイナミック論理方式

に注目し、その低消費電力特性について考察している。

従来の論理方式、すなわち、スタティック CMOS 論理方式、ダイナミックドミノ CMOS 論理方式、およびパストランジスタ論理方式と比較して、4 相 nMOS ダイナミック論理方式では、貫通電流の削除、付加容量の低減、およびトランジスタ数削減が達成され、更なる低消費電力化が実現できることを示している。シミュレーション結果により、他の論理方式より低消費電力の面において優れていることを実証している。

(2) 4 相 nMOS ダイナミック論理方式による VLSI 化設計を実現することを目的とし、効果的なレイアウトアーキテクチャを考案し、これを用いた自動レイアウト手法について述べている。また、低消費電力化のための専用クロック生成回路についても考察している。

考案したレイアウトモデルとしてのアレイセルアーキテクチャは、4 相 nMOS ダイナミック論理による回路実装に適し、高密度かつ設計容易性を実現している。また、アレイセルの自動レイアウトにシミュレーティング・アニーリング手法を適用することによって、面積効率が低い自動レイアウトを実現している。スタティック CMOS 論理による回路実装例と比較した結果、実装密度の面において優れていることを明らかにし、従来手法より高性能であることを示している。

専用クロック生成回路の設計に関しては、生成回路を 2 つの部分に分割し、グローバル配置およびローカル配置を適用することによって、回路全体の配線の複雑度を低減し、クロック生成回路による電力消費を抑えている。

以上のように、本論文は 4 相 nMOS ダイナミック論理方式による低消費電力 VLSI 化設計に関して多くの有用な研究成果をあげており、論理回路の低消費電力 VLSI 化設計の発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。