

Title	A Study on VLSI Implementation of Reconfigurable Parallel Processor for Digital Signal Processing
Author(s)	Tan, Boon Keat
Citation	大阪大学, 2001, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42357
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	tan, Boon Keat
博士の専攻分野の名称	博士(工学)
学位記番号	第 16278 号
学位授与年月日	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学位論文名	A Study on VLSI Implementation of Reconfigurable Parallel Processor for Digital Signal Processing (デジタル信号処理向け機能可変型並列プロセッサの設計に関する研究)
論文審査委員	(主査) 教授 谷口 研二 (副査) 教授 谷野 哲三 教授 北山 研一 教授 岸野 文郎 助教授 乾口 雅弘 助教授 原 晋介 助教授 北村 喜文 講師 松岡 俊匡

論文内容の要旨

本論文は、高性能かつ機能可変の自由度が高いデジタル・シグナル・プロセッサの実現に関する研究成果をまとめたもので、全体は6章から構成されている。

第1章では、デジタル・シグナル・プロセッサの歴史的背景を概説した後、現行の各種プロセッサと新方式との比較およびそれらの問題点を明確化している。続いて、本論文で提案した各シグナル・プロセッサの設計指針である「並列分散処理」、「柔軟な相互接続ネットワーク」、「簡易なハーバード・アーキテクチャ」、「簡便なユーザ・インターフェース」について論じている。

第2章では、高速信号処理に適した機能可変型シグナル・プロセッサのアーキテクチャを詳しく説明している。多数の演算器を有する機能可変型シグナル・プロセッサに接続自由度の高いグローバル・ネットワークを採用した本アーキテクチャの得失を論じている。

第3章では、完全な接続自由度を持つCDMA(コード分割多重)バスの設計を論じている。CDMAバスの構成回路、つまり送信回路、受信回路、安定化回路などのシミュレーション結果を合わせて、トランジスタレベルでの設計方法を述べている。最後に、実装した回路の測定結果やビットエラーレートを求めてCDMAバスの優位性を説明している。

第4章では、CDMAバスを利用した2種類のシグナル・プロセッサ、DPAAおよびDPPPについて論じている。DPAAは粒度の粗い演算回路を同時にアクセスできるデバイスとして提案している。一方、DPPPは粒度の細かいビット毎の演算にも対応したプロセッサである。この章では、提案された2種類のプロセッサのアーキテクチャを説明した後、それらのプロセッサの特徴について論じている。

第5章では、提案したDPAAとDPPPのユーザ・インターフェースの開発について論じた後、DPAAやDPPPを用いた信号処理プログラムの作成方法を示している。さらに、FPGAの開発手順との比較を行っている。

第6章では、第2章から第6章の各章で得られた結果をもとに、今後に残された課題について述べている。

論文審査の結果の要旨

半導体製造技術の進歩にともない、多くのデジタル信号処理はソフトウェアで行うよりも、ハードウェアで実現することが多くなってきた。今日、多くのデジタル信号処理は専用ハードウェアもしくは汎用のマイクロプロセッサで行われているが、その間には性能と信号処理の柔軟性とのトレードオフが存在している。

本論文では高性能かつ柔軟性の高いプロセッサのアーキテクチャに関する研究をまとめており、応用技術面での獨創性とその将来性に向けた新しい知見が含まれている。その主要な成果は次の通りである。

- (1)提案された機能可変型シグナル・プロセッサは接続自由度の高いグローバル・ネットワークの使用によって、分散型の高性能な信号処理を実現している。機能可変型シグナル・プロセッサはハーバード方式に基づくハードウェア制御の新しいアーキテクチャを用いて高速な信号処理プロセッサを実現している。
- (2)バス上の消費電力や配線数の大幅な削減が可能な CDMA ネットワークを提案し、柔軟性の高いネットワークポロジータを実現している。提案した CDMA ネットワークを従来のネットワークポロジータと比較して CDMA ネットワークの優位性を示している。
- (3) CDMA ネットワークを生かした低消費電力、高処理能力な並列プロセッサを提案している。このプロセッサの処理内容を動的に変更するため、数式やブロック図を用いたユーザ・フレンドリなプログラム・インターフェースを開発している。このユーザ・インターフェースを用いて新しく提案したプロセッサの動作解析を行い、従来型の機能可変型デバイス FPGA との比較を通してその実用化の可能性を示している。

以上のように、本論文は、並列処理や柔軟性のある相互接続ネットワークを提案し、それらの手法を用いて斬新なアーキテクチャに基づいたプロセッサを開発している。さらに、相互接続ネットワークの自由度やシグナル・プロセッサの高性能化に関わる多くの知見をもたらし、今後の高性能、柔軟性の高いシグナル・プロセッサの実現に向けた有益な情報を提供するもので、電子情報通信分野の発展に貢献するところが大きい。よって、本論文は博士論文として価値あるものと認める。