

Title	携帯情報端末機器向きVLSIの低消費電力化設計に関する研究
Author(s)	吉田, 幸弘
Citation	大阪大学, 2001, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42364
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	よし だ ゆき ひろ 吉 田 幸 弘
博士の専攻分野の名称	博 士 (工 学)
学位記番号	第 1 6 2 9 4 号
学位授与年月日	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当 工学研究科情報システム工学専攻
学位論文名	携帯情報端末機器向き VLSI の低消費電力化設計に関する研究
論文審査委員	(主査) 教授 白川 功 (副査) 教授 村上 孝三 教授 藤岡 弘 教授 西尾章治郎 教授 赤澤 堅造 教授 薦田 憲久 教授 下條 真司

論 文 内 容 の 要 旨

本論文は、電卓をはじめとする携帯情報端末機器向き LSI の低消費電力化設計に関して行った研究成果をまとめたものであり、全6章より構成されている。

第1章では、VLSI の低消費電力化設計について述べ、本研究の背景と目的を明らかにすると共に研究内容について概説している。

第2章では、電卓用 LSI は、その研究開発の過程において幾多の画期的な低消費電力化の技術が開発されてきたが、特に、4相ダイナミック論理方式、ROM/RAM方式、および液晶表示と CMOS-LSI の一体化実装という3課題に焦点を当て、その技術成果を述べている。

第3章では、電卓用に開発された組み関数の演算方式に関して考察し、その専用 LSI 化設計について述べている。

第4章では、コード圧縮による組み込みプロセッサの低消費電力化に関して考察している。まず、その基本となるコード圧縮手法について、第1次圧縮および第2次圧縮の近似解析と圧縮効果の数値解析を行い、圧縮手法の妥当性を明らかにしている。次に、この手法による電力削減率を導出し、低消費電力化に有効であることを示している。具体的な組み込みプロセッサへの応用例により、外部メモリの容量を圧縮し、擬似コードから実コードへの変換テーブルをチップ内部に集積化することによって、プロセッサの性能を変えずに低消費電力化が達成できることを示している。

第5章では、4相ダイナミック論理方式に関して考察している。まず、低消費電力化方式の CMOS 等と消費電力を比較して、4相ダイナミック論理の消費電力が少ないことを回路シミュレーションによって示している。この結果に基づき4相ダイナミック論理を基本にしたアレーセル・アーキテクチャを新しく考案している。これは、4相ダイナミック論理の論理ブロックの入力信号数が増加すると、CMOS に比較してトランジスタ数が約半分になり、NMOS だけで論理回路が構成できる本方式が、消費電力に限らず集積化にも優れていることを利用し、システム LSI に集積可能なセルの構成方式について記述している。さらに、VLSI 設計ではクロックジェネレータの配置がチップ内の配線で重要な要素となるが、4相クロックジェネレータをチップ内の任意の位置に配置する手法を考案している。

第6章では、本研究で得られた成果を要約し、今後の研究に残された課題について述べている。

論文審査の結果の要旨

本論文は、携帯情報端末機器向きVLSI設計について、特に低消費電力化設計に焦点を当て、世界最初の電卓用LSIの設計から最近のシステムVLSIの設計に至る長年の研究成果をまとめたものであり、以下の主要な結果を得ている。

(1)電卓用LSIの実装設計：電卓用のLSIは、長年の研究開発によって技術的にも成熟し低消費電力を達成しているが、特に低消費電力化に貢献したつぎの三つの技術を中心にして、その研究成果を述べている。

(i) PMOS 4相ダイナミック論理方式

(ii) ROM /RAM 方式

(iii) CMOS-LSI と液晶表示の一体化実装

上記(i)の4相ダイナミック論理方式によるLSI設計では、その方式が本質的に低消費電力化を実現するという特性から、NMOSを用いたVLSI設計が可能であることを示した本論文の新たな研究課題に発展させている。

(ii)ROM/RAM方式に関しては、開発当時は電卓用の2チップ構成であったが、そのLSI設計方式が完全1チップ構成に発展し、その後のマイクロコンピュータの設計方式の源流となったことを示す。(iii)については、電卓にCMOS-LSIと液晶表示を一体化実装することによって画期的な低消費電力化を達成したことを示す。

これら三つの技術成果は、その後のCMOS-LSI技術の進歩と共に、携帯情報端末用VLSI設計の低消費電力化にも大きく貢献している。このように、電卓用LSIの設計方式は、一般のシステムLSIの低消費電力化と半導体産業の発展に大きな役割を果たしている。

(2)電卓の組込み関数の演算方式：この演算方式は、マイクロコンピュータがまだ商用になっていない年代において、電卓向き組込み関数の専用LSI化の一演算方式として顕著な成果となり、特にコンピュータを用いた数値演算の分野で、関数の初期値計算方法として評価されている。実際のLSI化では、最も初期のP型シリコンのNMOSを用いてNMOS-LSIを試作している。その後、マイクロコンピュータの進展によってソフトウェア処理による設計が可能となり、それが発展して、現在の擬似乗除算法(CORDIC)が定着していることを述べている。

(3)コード圧縮による組込みプロセッサの低消費電力化設計：本圧縮手法は、システムの処理速度を落とすことなく、外部メモリを含むシステムレベルの低消費電力化を実現するために考案している。変換テーブルを用いて、擬似コードから実コードへ瞬時に変換できるだけでなく、外部メモリをも削減し、プロセッサ内部に変換テーブルを集積することによって、同時に消費電力も低減できることを示している。後半では、全圧縮方式と、これを基本にした部分圧縮方式を考案し、それぞれのコード圧縮の手順、圧縮効果、および消費電力低減について述べている。加えて、ARMプロセッサに応用した具体例によって、全圧縮方式と部分圧縮方式のいずれにおいても消費電力の低減効果があることを示している。

具体的には、オブジェクトコード圧縮による組込み用プロセッサの低消費電力化手法について述べ、アプリケーションプログラムに存在する命令の重複および組込み用プロセッサの周辺回路集積化の技術を用いることにより、システムレベルの低消費電力化を達成している。本圧縮方式は、携帯機器用組込みプロセッサなど、アプリケーションプログラムが固定である場合に有効であることを示している。

(4)4相ダイナミック論理方式による低消費電力化設計：VLSIの低消費電力化設計に関する手法として、NMOSによる4相ダイナミック論理を用いた設計方式を考察している。本方式を用いたVLSI化設計適用できる素子配置手法(アレーセル・アーキテクチャ)を考案し、この素子配置手法がチップ面積の低減に効果的であることを示している。さらに、専用のクロック生成回路を設計し、VLSI内部においてグローバルな配置、ローカルな配置に分割することにより、4相クロック信号の配置配線の複雑度を削減できることを考案している。高い動作周波数を要求しないで低消費電力化を優先させて、適正な動作周波数を要求する特定用途向きのVLSIの設計に4相NMOSダイナミック論理が、CMOSよりも有用であることを基礎的設計による実験データによって明らかに

している。この論理回路方式は超微細加工技術が進んだ現在においても、VLSIの低消費電力化設計に有用であることを述べている。

以上のように、本論文は携帯情報端末機器向き VLSI の低消費電力化設計に対して多くの有用な研究成果をあげており、携帯情報端末機器の発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。