



Title	Performance Analysis and IC Implementation of Maximum Likelihood Decoding for Linear Block Codes
Author(s)	前田, 昌也
Citation	大阪大学, 2001, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/42426
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 https://www.library.osaka-u.ac.jp/thesis/#closed 大阪大学の博士論文について をご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	まえ だ まさ や 前 田 昌 也
博士の専攻分野の名称	博 士 (工 学)
学位記番号	第 1 6 3 3 1 号
学位授与年月日	平成13年3月23日
学位授与の要件	学位規則第4条第1項該当 基礎工学研究科情報数理系専攻
学位論文名	Performance Analysis and IC Implementation of Maximum Likelihood Decoding for Linear Block Codes (線形ブロック符号に対する最尤復号法の性能解析とIC実装)
論文審査委員	(主査) 教授 藤原 融 (副査) 教授 都倉 信樹 教授 今井 正治

論 文 内 容 の 要 旨

近年、線形ブロック符号のトレリス構造の研究が進み、線形ブロック符号に対するトレリスに基づく最尤復号アルゴリズムの実装が可能となってきている。本論文は線形ブロック符号に対する最尤復号法の性能解析と、トレリスに基づく最尤復号アルゴリズムのIC実装について述べたものである。

2章では2元線形ブロック符号のコセットリーダの重み分布を求めるアルゴリズムを提案している。2元線形ブロック符号ではコセットリーダの重み分布を求めることにより、その符号に対し最尤復号を行なった場合のブロック誤り確率を求めることができる。既存アルゴリズムは空間計算量が大きく、現在のところ冗長ビット数30程度が適用可能な符号の限界である。提案アルゴリズムでは時間計算量が従来よりわずかに大きいのが、空間計算量が飛躍的に改善されており、このアルゴリズムを用いて冗長ビット数が42までのリード・マラー符号、(拡大)原始BCH符号のコセットリーダの重み分布が新たに得られた。また、得られたコセットリーダの重み分布からブロック誤り率を評価した。

3、4章ではトレリスに基づく最尤復号アルゴリズムのIC実装について述べている。トレリスに基づく最尤復号アルゴリズムでは、与えられた符号に対して構成されるトレリスの複雑度がアルゴリズムの複雑度を決定する。復号器のIC実装ではACS (add-compare-select) 回路と呼ばれる基本演算に要する回路が全体のほとんどを占める。符号長が大きくなるとトレリスの複雑度が急激に増大するため、符号長の比較的大きな符号に対しては必要とされるACS回路の数が莫大になり、復号器の実現を困難にしている。そこで本論文ではACS手続きの時分割処理法を考案し、同一のACS回路を繰り返し使用することによって全体の回路規模の削減を図る。

このためにはトレリスを同型な部分グラフへ分解する必要がある。そのため、まず3章でトレリスの基本構造をトレリスの状態集合の分割を与えることによって明らかにした。次に4章ではトレリスの同型な部分グラフへの分解を与え、ACS手続きの時分割処理法を考案した。また、実際の線形ブロック符号のトレリスに出現する比較的大きな部分トレリスに対し時分割処理を行なうACS回路を設計し、回路に要するゲート数を評価したところ、同一回路を繰り返し使用することによる復号遅延の増加と回路に要するゲート数の減少との間に良好なトレードオフ関係が得られた。

論文審査の結果の要旨

本論文は、線形ブロック符号に対する最尤復号法の性能解析、及びトレリスダイアグラムに基づく最尤復号アルゴリズムの IC 実装に関するものである。

線形ブロック符号における剰余類首の重み分布を求める問題は、剰余類首の重み分布から最尤復号の復号誤り確率を求めることができることなどから、古くから注目されている重要な問題であった。本論文では、これを求めるアルゴリズムを提案している。最近、符号のトレリスダイアグラムに関する研究が行われ、それに基づいてこの問題を解く単純なアルゴリズムが提案されたが、空間計算量が大きく、現在の計算機では冗長ビット数30程度が適用可能な符号の限界である。本論文で提案しているアルゴリズムは分割統治法に基づき、空間計算量の飛躍的改善に成功している。これにより、新たに冗長ビット数42までの符号について剰余類首の重み分布を求めることができるようになった。

次に、トレリスダイアグラムに基づく最尤復号アルゴリズムの復号器の IC 実装において、回路複雑度を削減する手法を考案している。このような復号アルゴリズムの実装は、最近の高速高信頼通信の要求を満たすために重要であり、注目を集めている問題の一つである。復号器においては、ACS 回路と呼ばれる基本演算に要する回路が全体の大部分を占める。符号長の比較的大きな符号では必要とされる ACS 回路の数が膨大になり、復号器の実現を困難にしている。本論文ではトレリスセクションにおいて同一の ACS 回路を時分割使用することによって、復号器の回路複雑度を削減している。トレリスセクションの詳細構造を利用して、復号遅延と回路複雑度の削減との間に良好なトレードオフ関係を維持した上で、回路設計の自由度を大幅に向上させている。

以上のように、本論文で得られた結果は線形ブロック符号を用いた高信頼デジタル通信システムの実現に大きく寄与するものである。よって、本論文は博士（工学）の学位論文として価値があるものと認められる。