



Title	情報通信用GaAs電界効果トランジスタとICに関する研究
Author(s)	田中, 毅
Citation	大阪大学, 2000, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/42771">https://hdl.handle.net/11094/42771</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈/a〉</a> をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	田中 毅 <small>つよし</small>
博士の専攻分野の名称	博士(工学)
学位記番号	第 15618 号
学位授与年月日	平成12年5月24日
学位授与の要件	学位規則第4条第2項該当
学位論文名	情報通信用 GaAs 電界効果トランジスタと IC に関する研究
論文審査委員	(主査) 教授 浜口 智尋
	(副査) 教授 吉野 勝美    教授 尾浦憲治郎    教授 西原 浩 教授 森田 清三    教授 谷口 研二

### 論文内容の要旨

本論文は、情報通信用 GaAs デバイスの IC 設計技術、デバイス・プロセス技術、および実装技術について高性能化、高機能化、高信頼性を目的とした一連の研究結果をまとめたもので全7章で構成されている。

第1章では、GaAs デバイスの技術開発の歴史を概説し、本研究の背景および目的について説明している。

第2章では、GaAs デジタル IC の設計と製作技術についての研究成果を述べている。ノーマリオン型 GaAsFET を用いたデジタル IC の動作マージン向上に関する回路検討を行い、実用化への指針を示している。さらに、新しいロジック回路を考案し、これを用いた 1K ゲートアレイを設計・試作し、高い負荷駆動能力を確認した結果を論じている。

第3章では、高周波デバイスの高性能化、高機能化を実現するためのゾルゲル法による高誘電率 ( $\epsilon=300$ ) 薄膜のマイクロ波集積回路への内蔵化技術について論じている。さらに、この  $Ba_xSr_{1-x}TiO_3$  薄膜容量素子の劣化メカニズムについて解析を行い、粒界トラップ密度と信頼性の関係を明らかにしている。

第4章では、移動体通信用 GaAs 高出力 FET の低電圧動作・高効率・低歪み化技術についての研究成果を述べている。GaAs パワー FET の変調波歪みの原因である表面準位に起因する周波数分散について解析し、周波数分散の低減方法として、表面準位を低減する方法と表面準位の影響を小さくする手法を実証している。さらに、スパイクゲート構造 FET を考案し、低歪み化と同時に低電圧・高効率動作を実現している。

第5章では、移動体通信用 GaAs 高出力 FET のドレイン電流やしきい値電圧の温度依存性がストレスによって誘起される piezo 電荷に強く依存することを論じている。piezo 電荷分布は結晶方向によってコントロールできることを利用し、ゲート方位の適切な選択によって GaAs 高出力 FET の温度特性を補償することが可能であることを実証している。

第6章では、GaAs 高出力 FET の実装時の寄生インダクタンスを低減するフリップチップ実装技術についての研究成果について詳述している。本技術の高出力 FET への応用時の放熱課題を解決する AlN 基板を用いたフリップチップ実装技術について詳説し、優れた高周波特性、および小型化について実証している。

第7章では、本論文のまとめを述べ、本研究の成果を総括している。

## 論文審査の結果の要旨

化合物半導体デバイスは、爆発的に市場を拡大した携帯電話に代表される移動体通信機器のキーデバイスとして、そのニーズを確固たるものとしてきた。本論文は、これら情報通信分野でその地位を不動のものとした GaAs FET/IC について、高性能化、高機能化、高信頼性化を実現する設計技術、デバイス・プロセス技術、および実装技術についての研究成果についてまとめたものである。その主な成果は以下の通りである。

- (1) ノーマリオン型 GaAs MESFET デジタル IC の実用化という観点から、動作マージン向上に関する設計指針を示し、実験による考察を行うことにより高速性と大きい論理振幅を、広いしきい値電圧範囲で維持できる回路構成を提案している。さらに新しいノーマリオン型 MESFET ロジック (Pseudo Push-Pull FET Logic (P<sup>3</sup>FL)) を考案し、1K ゲートアレイを設計・試作し、高い負荷駆動能力とともにゲート遅延時間の負荷依存性を抑えることに成功している。
- (2) 高誘電率薄膜としてゾルゲル法による BST ( $\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3$ ) を用いた大容量キャパシタ形成技術を確立している。さらにグレインサイズとキャパシタ構造に関する信頼性検討を行い、実用上十分な 125°C、10V における MTTF:  $1.7 \times 10^4$  時間を実現している。本キャパシタを GaAs IC 上に集積化するプロセスを確立し、高機能化、高性能化を実現している。
- (3) GaAs 高出力 FET の変調波ひずみの原因として、表面準位に起因する周波数分散に着目し、その抑制手法を確立している。周波数分散の低減方法として、表面準位そのものを低減する方法と表面準位の影響を小さくする方法の 2 種類が可能であることを実証している。前者の方法として、表面保護膜として InGaP 層を用いることにより周波数分散を抑制できることを見出している。後者の方法として、ゲートにフリンジを設けてゲート近傍の表面とチャネルの距離を大きくすることで表面準位の影響を小さくしたスパイクゲート構造 FET を考案している。本スパイクゲート構造により低歪み、低電圧、高効率動作高出力 FET の開発に成功している。
- (4) GaAs FET のドレイン電流やしきい値電圧の温度依存性がチップに加わるストレスによって誘起されるピエゾ電荷に強く依存することを見出している。ストレスにより GaAs 内に発生するピエゾ電荷分布が結晶方向によってコントロールできることから、ゲート方向の適切な選択によって GaAs 高出力 FET の温度特性補償を実現している。
- (5) AlN 基板を用いた高出力 FET のフリップチップ実装技術を確立している。フリップチップ実装は AuSn を用いた溶融接合で行い、熱抵抗は通常のワイヤボンディングより低い 12°C/W を得ている。寄生ワイヤインダクタンスを除去することにより線形利得、電力付加効率を改善しており、本実装技術の有効性を実証している。

以上のように本論文は、独自の方法で高性能、高機能、高信頼性を有する GaAs デバイスを実現し、現在および次世代情報通信用の高速・高周波デバイスへの応用をはかったものである。これらの研究成果は、GaAs 高周波デバイスの応用範囲を大きく広げたものであり、電子工学および情報通信工学の発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。