OUKA
Osaka University Knowledge Archive

Title	Solid-Phase Diffusion Technologies for the Scaling Down of High-Performance CMOS
Author(s)	吉富, 崇
Citation	大阪大学, 1999, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/43049
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

【 87 】

氏名	吉富 崇（よしとみ たかし）
博士の専攻分野の名称	博士（工学）
学位記番号	第 15022 号
学位授与年月日	平成11年12月21日
学位授与の要件	学位規則第4条第2項該当
学位論文名	Solid-Phase Diffusion Technologies for the Scaling Down of High-Performance CMOS （極浅拡散層形成によるCMOS高性能化の研究）
論文審査委員	（主査） 教授 冷水 佐壽 （副査） 教授 中島 尚男　教授 北岡 良雄

論文内容の要旨

本論文はトランジスタの微細化における課題（短チャネル効果、寄生抵抗、フリッカーノイズの増大）を克服を目的とする研究に関するものであり、固相拡散による不純物注入技術を素子のあらゆる拡散層（ソース・ドレイン・チャネル）において適用する新たなプロセス技術および素子構造を開発し、固相拡散による拡散層形成が、従来イオン注入技術において素子の微細化に伴い深刻化する課題（短チャネル効果、寄生抵抗、フリッカーノイズ）に対して有効であることを示すものである。

まず、浅いソースドレイン拡散層形成法として、ゲート近傍に固相拡散源となる絶縁膜側壁を形成したSPDD構造（Solid Phase Diffused Drain）を開発し、不純物を含有させて酸化膜中から固相拡散により、従来イオン注入法の半分の深さである浅い拡散層を形成することにより短チャネル効果抑制が可能であることを示した。さらに、高駆動力化のため、ゲート近傍に、表面にシリサイド層が形成された固相拡散源となるシリコン側壁を備えたS4D構造（Silicided Silicon Sidewall Source and Drain構造）を開発した。この構造は、基板中に高濃度拡散層が形成可能であるばかりでなく、表面のシリサイド層がソース・ドレイン電極となっており、短チャネル効果を除くために実効的な拡散層深さを浅くしつつ、ソース・ドレイン間の寄生抵抗を低減可能である。この構造を用いて世界最小のP型MOSFETを試作、従来技術では困難である寄生抵抗の低減と短チャネル効果の抑制の両立を実現することにより、S4D構造がMOSFETの微細化において有効であることを示した。またチャネル領域の形成方法としては、埋め込みチャネル型MOSFETのカウンタドープ層については不純物を含有させた酸化膜からの固柏拡散による形成法（SPDC（solid phase diffused channel）法）により短チャネル効果の抑制が可能となることを示し、また表面チャネル型MOSFETについてはゲート電極からの拡散によるSADC（Self Aligned Diffused Channel）法により、フリッカーノイズの低減が可能となることを示した。

論文審査の結果の要旨

シリコンデバイス技術はトランジスタの微細化による高駆動力化、高集積化を進めることにより発展してきた。微細化によるメリットを得るためには、短チャネル効果（トランジスタのスイッチング特性のゲート長依存性）の抑制と同時に、高駆動力を得るためのソース・ドレイン拡散層抵抗の低減を達成することが必要となるが、ゲート長が0.1ミクロンあるいはそれ以下の領域となると、従来の拡散層形成技術であるイオン注入法を用いた場合には、これらを両立させることが困難になりつつある。本論文では、寄生抵抗を増大させることなく、接合深さを浅く形成することで短チャネル効果が抑制可能となる新しいソース・ドレイン拡散層の形成技術および新ソース・ドレイン構造の開発を行い、これを世界最小ゲート長のpMOSトランジスタに適用することにより、この技術の有効性を実証した。

浅いソース・ドレイン拡散層形成法として、不純物を含有させた酸化膜ゲート側壁からの固相拡散を用いることにより、従来のイオン注入法に対して接合深さが半分（深さ34 nm）となるSPDD構造（Solld Phase Diffused Drain）を提案し、短チャネル効果の抑制に有効であることを示した。さらに、ゲート側壁の固相拡散源に不純物を含有させたシリコンを用い、拡散層を高濃度化させると同時に、シリコン側壁表面をシリサイド化させ、シリコン側壁全体をソース・ドレイン電極とすることにより低抵抗化が可能となるS4D構造（Silicided Silicon Sidewall Source and Drain構造）を開発した。この構造を用いることにより、世界最小のゲート長（75 nm）のp型MOSFET（電界効果トランジスタ）で従来技術では困難である寄生抵抗の低減と短チャネル効果の抑制を両立させ、S4D構造がMOSFETの微細化に適した構造であることを実証した。このS4D構造はシリコンエピタキシャル技術と組み合わせることにより、CMOS化がより容易となるRSDG (raised source/drain/gate) 構造となって、次世代アナログ回路およびデジタル回路への実用が検討されている。また埋め込みチャネル型MOSFETの微細化に対しては浅いカウントドープ層を酸化膜（固相拡散源）からの拡散を用いて形成するSPDC（solid phase diffused channel）法が有効であること、また微細化により深刻化する表面チャネル型MOSFETのフリッカーノイズの低減に対しては、イオン注入時のドーピングダメージを回避するため、ゲート電極を固相拡散源とし、チャネルドーピングを行うSADC（Self Aligned Diffused Channel）法が有効であることを示した。以上のように、本論文は、固相拡散による拡散層形成法を用いた新しいプロセス技術と素子構造を開発することにより、これらが従来技術において素子の微細化に伴い深刻化する課題（短チャネル効果、寄生抵抗、フリッカーノイズ）に対して有効であることを示しており、半導体技術の発展に貢献するところが大きく、博士論文として価値あるものと認める。