The University of Osaka
Institutional Knowledge Archive

Title	コンピュータメモリシステムにおけるスタティックRAMとインターフェイス技術の高速化に関する研究
Author(s)	中瀬, 泰伸
Citation	大阪大学, 1999, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/43091
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【 67 】

氏　　名	中瀬泰伸（なかせ やすのぶ）
博士の専攻分野の名称	博　士（工　学）
学位記番号	第　14931　号
学位授与年月日	平成11年9月22日
学位授与の要件	学位規則第4条第2項該当
学位論文名	**コンピュータメモリシステムにおけるスタティックRAMとインターフェイス技術の高速化に関する研究**
論文審査委員	（主査） 教授　濱口　智尋 （副査） 教授　谷口　研二　教授　吉野　勝美　教授　尾浦憲治郎 教授　森田　清三　教授　西原　浩

論文内容の要旨

本論文は、コンピュータの性能向上に応えるためにメモリシステムが変遷していく過程で生じた問題を回路技術面から解決するために行われたもので、6章より構成されている。

第1章では、本研究の歴史的ならびに技術的背景について概観し、問題点を明確にするとともに本研究の目的および意義を明らかにしている。

第2章では、メモリとして最高速であったバイポーラECL RAMに関する研究内容を述べている。4Kビット RAMではソフトエラーの改善のために、2重ワード線構造を提案している。16Kビット RAMでは高速化のために、縮小ワード線振幅技術を提案している。

第3章では、オンチップメモリに関する研究内容を述べている。最初にキャッシュメモリの構成と動作を命令キャッシュを例に説明している。メモリとロジック間のバスの駆動電流削減のために、相補型ハーフスイングバスを提案し、ATMスイッチLSIに適用した結果を述べている。

第4章では、高速インターフェイスによるメモリシステムの高性能化に関する研究内容を述べている。SLDRAMとダイレクトRambusを例に、プリント基板設計上および実装技術上で高速インターフェイスがどのように実現されているかを解析している。また、SLDRAMの同期方式を検証するチップを試作して、ピン当たり600Mビット/sのデータ伝送速度を実証している。

第5章では、デュアルポートメモリに関する研究内容を述べている。シングルビット線メモリセルは面積が小さいが、書き込み動作に問題がある。その解決のために、ポート交換技術を提案し、グラフィックスコントローラのカラーパレットRAMに適用した結果を述べている。また、同コントローラに搭載される他のカーソルRAMではポート間でアドレス空間の定義が異なる問題点があった。動的データアライメント技術により解決できることを述べている。

第6章では、本研究から得られた主要な結果を総括して、結論を述べている。

論文審査の結果の要旨

プロセッサの高性能化に従って、さらに大量のデータを効率良くプロセッサに供給できるメモリシステムが要求されてきた。メモリシステムの性能向上のためには、キャッシュとして用いられるスタティックRAM自身の高速化および多機能化とともに汎用バスのデータ転送能力を飛躍的に増大させる必要がある。

本論文はコンピュータのメモリシステムの高性能化の観点から、スタティックRAMの高速化および多機能化とインターフェイスの高速化、低消費電力化に関する一連の研究をまとめたもので、主な成果は以下のとおりである。

(1) 4Kビットバイポーラ ECL RAMにおいてソフトエラー発生のメカニズムを解析し、待機時のデータ保持電圧を増加させることで、エラー発生率を2桁改善することに成功している。16Kビット RAMでは、縮小ワード線振幅方式を考案して、従来技術に比較して25%の高速化に成功している。

(2)チップ内バスの駆動電流削減のために、相補型ハーフスイングバスを考案し、従来のフルスイング方式に比べて平均電流を50%、瞬間的に流れるピーク電流を66%削減することに成功している。また、同バスを同期式SRAMとロジックブロック間の通信に適用できるようデータ転送手順を考案し、200 MHz以上の動作を得ることに成功している。

(3)汎用バスにおいて高速データ転送が可能となる条件を明らかにするとともに、DLLと位相シフタ回路を用いた同期方式を考案し、ピン当たり600 Mビット/sのデータ伝送速度に成功している。

(4)シングルビット線メモリセルの書き込み不良解決のために、ポート交換技術を考案し、デュアルポートメモリのメモリセル面積を従来の50%以上縮小することに成功している。また、カーソルRAMでは、ポート間でアドレス空間の定義が異なるため、制御回路が複雑になる問題を動的データアライメント技術を考案することで解決することに成功している。

以上のように、本論文は、コンピュータのメモリシステムの高性能化において必須となるスタティックRAMとインターフェイスの高速化および低消費電力化を実現するうえで多くの有用な知見を得ており、半導体工学、電子工学の発展に寄与するところが大である。よって、本論文は博士論文として価値あるものと認める。