



Title	A Study on Implementation of Data Compression and Program Execution Platform for Embedded Systems
Author(s)	ミキ, モーガン ヒロスケ
Citation	
Issue Date	
Text Version	none
URL	<a href="http://hdl.handle.net/11094/43504">http://hdl.handle.net/11094/43504</a>
DOI	
rights	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/repo/ouka/all/>

氏名	みき もーが ん ひろすけ ミキ モーガン ヒロスゲ		
博士の専攻分野の名称	博士(工学)		
学位記番号	第 17063 号		
学位授与年月日	平成14年3月25日		
学位授与の要件	学位規則第4条第1項該当 工学研究科情報システム工学専攻		
学位論文名	A Study on Implementation of Data Compression and Program Execution Platform for Embedded Systems (組込みシステム用データ圧縮およびプログラム実行環境の実装に関する研究)		
論文審査委員	(主査) 教授 白川 功		
	(副査) 教授 村上 孝三 教授 藤岡 弘 教授 西尾章治郎 教授 赤澤 堅造 教授 薦田 憲久 教授 下條 真司		

### 論文内容の要旨

本論文は、組込みシステム用実行ファイルの圧縮、携帯端末用低ビットレート音声動画像符号化／復号化処理のVLSI化設計、および組込みシステム用JavaアクセラレータのアーキテクチャおよびそのVLSI化設計についてまとめたものであり、以下の6章により構成した。

第1章では、組込みシステムの特徴および課題について述べ、本研究の背景と目的を明らかにするとともに研究内容と成果について概説した。

第2章では、データ圧縮およびJavaの実行環境について述べた。まず、データ圧縮については、情報の損失がない可変長符号化などの圧縮アルゴリズムの特徴を述べ、次に、音声動画像符号化／復号化の処理を行なう国際標準H.324アルゴリズムの概要について記述し、最後に、近年組込みシステムで広く用いられているJavaとその実行環境の基本概念について考察した。

第3章では、組込みシステムの実行ファイル中のデータや関数を効率的にページに割当て、ページ単位で伸長を行うことにより、キャッシュメモリのヒット率を保ちつつ、省容量化を可能とする実行ファイルの圧縮方式を記述した。

第4章では、QCIF (176×144画素) 10フレーム/秒の動画像および8 KHz 16ビットPCM 音声を用いたV.34 (28.8Kbps) のビットレートで符号化するH.324国際標準の符号化／復号化の処理を低消費電力で長時間実行するためのVLSIアーキテクチャとその実装について考察した。

第5章では、組込みシステムを対象とした、効率的なJavaの実行環境について述べ、低消費電力かつ少メモリで高速実行が可能なハードウェア・アクセラレータとソフトウェア・カーネルの実装について述べた。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べた。

### 論文審査の結果の要旨

本論文は、組込みシステム用実行ファイルの圧縮、携帯端末用低ビットレート音声動画像符号化／復号化処理のVLSI化設計、および組込みシステム用JavaアクセラレータのアーキテクチャとそのVLSI化設計に関して、特に、長時間処理、省面積化、低消費電力化の設計手法に焦点を当てて、考察を行ったものであり、以下の主要な結果を得

ている。

(1)組込みシステム用実行ファイルの圧縮方式では、実行ファイル中のデータや関数に対して効率的なページ割当てを行い、さらに、ページ単位で最適な圧縮方法を適用することにより、高圧縮率を達成している。また、ファイル圧縮を実行する際、ファイル全体ではなく、必要なページだけをキャッシュ上で伸長するため、キャッシュメモリのヒット率を保ちつつ、省容量化を可能としている。

(2)低ビットレート音声動画画像符号化標準 H.324を省面積でかつ低電力で実行するためのアーキテクチャを考案し、その VLSI 化を行っている。G.723.1音声コーデックに関しては、2 並列積和演算器など、G.723.1処理に適するいくつかのマイクロアーキテクチャを組込んだ DSP を使い、また、H.263動画画像コーデックに関しては、各処理過程に対し ASIC アーキテクチャによる専用演算器を設計することによって、省面積でかつ低電力の H.324コーデックを実現している。0.35  $\mu\text{m}$  CMOS ライブラリを用いて VLSI 化設計を行った結果、面積が15.2mm<sup>2</sup>、15MHz 動作時の消費電力が225.3mW となっている。

(3)組込みシステム向け Java 実行環境を提案し、そのシステム設計を行なっている。本システムは Java 仮想マシンの全203命令を実装し、さらに、ソフトウェアカーネルを効率よく実行するために、拡張命令として39命令を新たに実装している。提案するハードウェアエンジンは6段のパイプライン構成をとり、これを論理合成により、ゲート数約3万、最大動作周波数96MHzで実現でき、ホストプロセッサと共に1チップ内に集積することができる。CaffeineMark によるベンチマーク評価では、ソフトウェア実装に対して約6倍の高速化を実現している。

以上のように、本論文は組込みシステム用データ圧縮および Java 実行環境の実装に関して多くの有用な研究成果をあげており、組込みシステムの実装技術の発展に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。