



Title	組込みシステム向け低消費電力化アーキテクチャの性能評価に関する研究
Author(s)	水野, 洋
Citation	大阪大学, 2003, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44215
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 https://www.library.osaka-u.ac.jp/thesis/#closed 大阪大学の博士論文について

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	水野洋
博士の専攻分野の名称	博士(工学)
学位記番号	第17389号
学位授与年月日	平成15年1月24日
学位授与の要件	学位規則第4条第1項該当 工学研究科情報システム工学専攻
学位論文名	組込みシステム向け低消費電力化アーキテクチャの性能評価に関する研究
論文審査委員	(主査) 教授 白川 功 (副査) 教授 村上 孝三 教授 藤岡 弘 教授 西尾章治郎 教授 赤澤 堅造 教授 薦田 憲久 教授 下條 真司

論文内容の要旨

本論文は、低消費電力化実装が強く求められる携帯情報端末機器向け組込みシステムに対するVLSI化設計のアーキテクチャレベルにおける消費電力見積もり手法、およびこれに基づいて構築される最適低消費電力化アーキテクチャを選定する性能評価環境に関する研究成果をまとめたものであり、全6章より構成した。

第1章では、組込みシステム向けシステムVLSIの設計の動向と課題について述べ、本研究の背景と目的を明らかにするとともに、研究内容と成果について概説した。

第2章では、組込みシステム設計の流れ、アーキテクチャレベルでの消費電力の算出手法、および従来の性能評価手法について述べた。

第3章では、基本的な組込みシステムの構成と構成要素に対する性能評価モデル、特に消費エネルギーモデルについて考察した。CPUコアについては命令レベルに対するモデリング、メモリについてはメモリに対する読み出しおよび書き込み動作に対するモデリング、専用ハードウェアについてはハードウェアとソフトウェアとの間でのデータ転送、専用ハードウェア内部処理、およびメモリアクセスに関するモデリングについてそれぞれ記述した。

第4章では、この性能評価モデルに基づいた評価システムについて述べた。まず、性能評価モデルに基づいて、命令セットシミュレータに処理時間と消費エネルギーを計算する機能を組み、処理性能と消費電力が同時に評価できるシステムを構築した。ついで、この評価システムに対して、評価対象の組込みシステムに基づくパラメータを設定した。

第5章では、構築した性能評価システムを用いて、組込みシステムの低消費電力化アーキテクチャの性能評価実験を行い、本手法の有効性について考察した。まず、性能評価システムを用いた低消費電力化アーキテクチャの選定の流れについて概説し、つぎに、第一の評価事例として、CPUコアと専用ハードウェアを用いたJPEG静止画およびMPEG-4動画の複号化用の低消費電力化アーキテクチャに対する性能評価を行い、さらに、第二の評価事例として、電源電圧制御を用いたMPEG-4動画の符号化用の低消費電力化アーキテクチャに対する性能評価を行った。

第6章では、本研究で得られた成果を要約し、今後に残された課題について述べ、結論とした。

論文審査の結果の要旨

本論文は、組込みシステムのVLSI化設計におけるアーキテクチャレベルでの消費電力見積り手法、およびこれに基づいて構築される最適低消費電力化アーキテクチャを選定する性能評価環境に関する研究成果をまとめたものであり、以下の主要な結果を得ている。

- (1) アーキテクチャレベルにおける性能評価モデル：アーキテクチャレベルでの性能評価モデル、特に消費電力を見積るための消費エネルギーモデルについて考察している。すなわち、CPUコアについては命令レベルに対するモデリング、メモリについてはメモリに対する読み出しおよび書き込みアクセス動作に対するモデリング、専用ハードウェアについてはハードウェアとソフトウェアとの間のデータ転送、専用ハードウェア内部処理、およびメモリアクセスに対するモデリングについてそれぞれ精密な算法を構築している。
- (2) 組込みシステム性能評価システム：応用ソフトウェアに対して組込みシステムのアーキテクチャの性能が評価できるような命令セットシミュレータを用いて精密なアーキテクチャ性能評価システムを構築している。まず、上記(1)で考察した性能評価モデルに基づき、命令セットシミュレータに処理時間と消費エネルギーを計算する機能を組込み、処理時間と消費電力を同時に評価できるシミュレーション環境を構築している。ついで、このシミュレーション環境に、評価対象の組込みシステムに基づく性能評価モデルのパラメータを設定し、与えられたアーキテクチャに対して、応用ソフトウェアと処理データとによる動作を行った場合の処理時間、面積、および消費電力が精密に算出できる性能評価システムについて考察している。
- (3) 組込みシステム低消費電力化アーキテクチャ評価手法：構築した性能評価システムを用いた組込みシステムの低消費電力化アーキテクチャの性能評価手法について記述し、具体的な低消費電力化アーキテクチャの性能評価実験を行い、本手法の有効性について考察している。まず、性能評価システムを用いた低消費電力化アーキテクチャの選定の流れについて概説し、つぎに、第一の評価事例として、CPUコアと専用ハードウェアを用いたJPEG静止画およびMPEG-4動画の復号化用アーキテクチャに対する性能評価を行い、さらに、第二の評価事例として、電源電圧制御を用いたMPEG-4動画の符号化用の低消費電力化アーキテクチャに対する性能評価を行って、本手法の実用性について記述している。

以上のように、本論文は組込みシステムのVLSI化設計における低消費電力化アーキテクチャの性能評価に関して多くの有用な研究成果をあげており、携帯情報端末機器向け組込みシステムの低消費電力化に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。