



Title	シリコン／シリコン酸化膜界面の走査トンネル顕微鏡による評価
Author(s)	後藤, 雅秀
Citation	大阪大学, 2003, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44216
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	後藤 雅秀
博士の専攻分野の名称	博士(工学)
学位記番号	第17815号
学位授与年月日	平成15年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科応用物理学専攻
学位論文名	シリコン/シリコン酸化膜界面の走査トンネル顕微鏡による評価
論文審査委員	(主査) 教授 岩崎 裕 (副査) 教授 高井 義造 教授 菅原 康弘 助教授 木村 吉秀 助教授 谷 正彦

論文内容の要旨

本研究は、シリコン/シリコン酸化膜界面の微細なラフネスを原子分解能で観察するための新たな手法の確立を目的とし、電子線照射によるシリコン酸化膜の選択的脱離現象を利用した走査トンネル顕微鏡-電子線照射/熱脱離(STM-EB/TD)法の開発、及び半導体集積回路の製造に実際に用いられているゲート酸化膜基板などに本手法を適用した結果から得られた知見をまとめたものである。

第1章では、本研究の背景と目的を述べ、次世代LSIの開発に界面ラフネスの発生メカニズムの特定や界面構造の詳細な解析が欠かせないという観点から、本研究の意義と重要性を明確にした。

第2章では、第1章で紹介したシリコン/シリコン酸化膜界面の観察手法の中から、本研究で用いられている走査トンネル顕微鏡について原理や具体的装置構成などを紹介し、本研究の主眼であるSTM-EB/TD法の原理、及び界面ラフネスの定量化に用いたスケーリング解析について詳しく述べた。

第3章では、超高真空中フラッシュ清浄化と高純度酸素の導入によりシリコン基板の表面・界面構造がメゾスコピック領域においてどう変化するかを詳細に観察し、シリコン初期酸化過程において起こるlayer-by-layer酸化と呼ばれる特異な現象を原子スケールで解析すると共に、STM-EB/TD法が持つ分解能についても検証を行った。

第4章では、現在の半導体デバイス洗浄プロセスの主流であるRCA洗浄について詳しく触れ、シリコン/シリコン酸化膜界面のラフネスは主にSC1洗浄によって導入されること、及びラフネスの増加には一定の上限が存在していることを明らかにした。

第5章では、実際に企業の半導体製造ラインでデバイスの作製に用いられているウエハを対象に分析を行い、ウェット熱酸化の前後でラフネスの特性が殆ど変化しておらず、界面構造の初期状態が比較的ラフであってもlayer-by-layer酸化と同様のメカニズムで酸化が進行している可能性が高いことを確認した。また、高濃度イオン打ち込み、あるいは高温アニール処理といった各種のウエハ加工プロセスが界面構造に及ぼす影響についても調べ、イオン打ち込みの影響によりラフネスが増加すること、高温アニール処理による熱緩和の効果はアニール温度1000°C程度では大きさ数十nm以下の空間周期のラフネスの減少として現れることを確かめた。

第6章では総括を行った。

論文審査の結果の要旨

シリコン/シリコン酸化膜界面の平坦性を原子レベルで制御することは、次世代高集積回路を実現する上で重要な課題の一つであり、そのために原子レベルの高い分解能のシリコン/シリコン酸化膜界面観察・評価手法の開発が必要である。本論文は、走査トンネル顕微鏡を用いた超高真空中での酸化膜選択的剥離手法、および半導体デバイス級ゲート酸化膜/シリコン基板などの界面構造に関する研究をまとめたもので、その主な成果を要約すると次の通りである。

- (1)電子線照射によるシリコン酸化膜の選択的脱離現象を利用した、走査トンネル顕微鏡-電子線照射/熱脱離(STM-EB/TD)法を用い、超高真空中でのシリコン酸化膜選択的剥離についての詳細な実験を行い、サブナノメートルオーダーで界面を評価するうえでシリコン/シリコン酸化膜界面構造に影響を与えないでシリコン表面を露出する手法を開発している。
- (2)超高真空中フラッシュ清浄化したステップ・テラス構造を有するシリコン(001)表面に極薄い熱酸化膜を形成し、シリコン基板との界面構造をSTM-EB/TD法を用いて観察評価し、酸化の進行によりステップ・テラス構造がいったん消失し再現する現象を見出している。この結果により、layer-by-layer酸化と呼ばれる特異な現象に関する新たな知見を加えている。
- (3)半導体デバイス洗浄プロセスのRCA洗浄処理を行った試料について、シリコン/シリコン酸化膜界面のラフネスを評価し、ラフネスが主にSC1洗浄によって導入されること、及びラフネスの増加には一定の上限が存在していることを明らかにしている。
- (4)半導体集積回路製造ラインでゲート酸化膜を形成したシリコン(001)基板、および各前処理工程後の基板試料について、シリコン/シリコン酸化膜界面構造をSTM-EB/TD法を用いて観察評価し、膜厚8 nmおよび15 nmの熱酸化膜でrmsラフネスは0.28~0.29 nmと一定であり、熱酸化膜の界面ラフネスは酸化膜厚により変わらず、さらに熱酸化膜形成前の基板表面ラフネスとも一致することを見出している。この結果により、通常の熱酸化工程においては、サブナノメートルスケールにおいて熱酸化前の表面形状が、シリコン/シリコン酸化膜界面において保たれるという知見を与えている。*
- (5)ゲート酸化膜の高温アニール処理の効果について調べ、アニール温度1000°C程度では数十nm以下の空間周期のラフネスが減少することを見出し、熱緩和によりシリコン/シリコン酸化膜界面が平坦化することを確かめている。

以上のように、本論文は、次世代高集積回路を実現する上で重要な走査トンネル顕微鏡を用いた原子レベルの高い分解能のシリコン/シリコン酸化膜界面観察・評価手法を開発し、半導体デバイス級ゲート酸化膜/シリコン基板などの界面構造を評価し、半導体製造プロセスに重要な知見を与えており、応用物理学、特に半導体工学および微細構造評価技術に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。