



Title	低消費電力アナログ要素回路に関する研究
Author(s)	小川, 徹
Citation	大阪大学, 2003, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44219
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 https://www.library.osaka-u.ac.jp/thesis/#closed 大阪大学の博士論文について

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	小川 徹
博士の専攻分野の名称	博士(工学)
学位記番号	第 17839 号
学位授与年月日	平成15年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学位論文名	低消費電力アナログ要素回路に関する研究
論文審査委員	(主査) 教授 谷口 研二 (副査) 教授 谷野 哲三 教授 北山 研一 教授 岸野 文郎 教授 八木 哲也 助教授 乾口 雅弘 助教授 原 晋介 教授 北村 喜文

論文内容の要旨

本論文は、“低消費電力アナログ要素回路に関する研究”の成果をまとめたものであり、本文は6章で構成されている。

第1章では本研究の背景および目的について述べる。

画像処理等の用途でよく利用されるFlash A/Dコンバータは高速動作が可能であるが消費電力の大きいアーキテクチャである。Flash A/Dコンバータでは非常に多くのコンパレータが用いられるため、コンパレータでの電力消費が全体の消費電力の大きな割合を占める。従ってコンパレータを低消費電力化することで非常に大きな電力削減効果が得られる。

第2章では、Flash A/Dコンバータに用いる、高速、高精度かつ低消費電力なコンパレータを提案する。提案するコンパレータを用いたFlash A/Dコンバータは0.25 μ m CMOSプロセス、2.5 V電源、8 bit 50 MHzの条件で87.5 mWの電力で動作することを確認した。

アナログ回路や高速なデジタル回路では、クロック信号の立ち上がりと立ち下がりの両方を用いて信号処理を行う。従って50%のデューティを持つクロック信号が必要となる。しかし、クロック信号を生成する通常のPLLの出力では、MOSデバイスの微細化によるデバイスばらつきの増加や動作速度の向上に起因するデューティのばらつきが存在するために50%のデューティを補償する回路が必要となる。通常用いられる2分周回路を用いる50%デューティの補償方法では、クロック信号の生成を行うPLL内のVCOが所望の周波数の2倍の速度で動作する必要があり、非常に大きな電力を消費する。

第3章では、2倍の周波数を必要としない50%デューティ補償回路を提案する。本回路はデューティ検出とデューティ補償からなるフィードバック制御を用いて製造過程で生じるPLL回路のデューティばらつきを補償し50%に修正する補助回路である。提案回路を0.6 μ mプロセス、電源電圧5 Vで試作し、測定を行った。20%-80%のデューティばらつきの入力信号に対し出力電圧のデューティ変動を0.21%、 $\frac{1}{300}$ に抑えることができた。

通常のA/Dコンバータでは、その変換範囲を決定する参照電圧が必要である。通常バンドギャップ参照電圧生成回

路が用いられるが、バンドギャップ参照電圧生成回路の出力は、固定値の対地電圧であるため、差動構成を用いるパイプライン A/D コンバータ等ではそのまま使用できない。任意電圧、及びフローティング電圧への変換を行う付属回路が必要となる。

第4章では、差動構成を用いるパイプライン A/D コンバータ等が必要とするフローティング参照電圧を生成する回路を提案する。本回路はバイポーラトランジスタ及び抵抗の比を用いて、任意のコモンモード電圧を持った、温度及び電源電圧依存性の小さい任意のフローティング電圧を生成する。従って通常のバンドギャップ参照電圧生成回路を用いた際に必要となる付属回路が省略でき、低消費電力化が可能となる。0.25 μm CMOS プロセスでの提案回路のシミュレーションでは、-50~100°C の温度範囲において、 $\pm 1.5\text{ mV}$ の出力フローティング電圧の変動となった。

近年、急速に普及している携帯機器の通常の電源は、電池やバッテリーとなり、通常は固定された電圧しか出力できない。しかし CMOS プロセスの微細化によりチップが要求する電源電圧は降下している。バッテリーが output する電圧からチップが要求する電源電圧を生成するには DC-DC コンバータが必要となる。この場合、携帯機器の連続稼動時間を延ばすために、用いられる DC-DC コンバータの効率が非常に重要である。また、携帯機器ではその実装面積も小さく、DC-DC コンバータを必要とするチップ内に実装可能であることが望ましい。

第5章では、高速なクロック信号を用いて出力 MOS ドラッグトランジスタのスイッチングのタイミング制御を行い、Zero-Voltage Switching (ZVS) を実現した高変換効率のオンチップスイッチング DC-DC コンバータを提案する。0.25 μm CMOS プロセスを用いて設計・試作した本 DC-DC コンバータ回路は、3.3 V から 2.5 V への変換において、93.3% という高い変換効率を実現した。

第6章では、本研究の内容のまとめを述べる。

論文審査の結果の要旨

近年、CMOS プロセスの微細化により、年々集積回路の動作周波数が上昇しているデジタル回路では同時に進行する電源電圧の低下により消費電力の増加は抑えられている。しかし、アナログ回路では電源電圧を下げるに SN 比の劣化などの副作用が大きくなり、消費電力の削減にはつながらない。このようなアナログ回路の問題点を解消する有効な手法として回路アーキテクチャの改良がある。本論文では、アナログ要素回路の低消費電力化を目的とし、各種要素回路に対して新しいアーキテクチャを導入し、上記の問題点の解決を図っている。さらにそれらの要素回路を設計し、試作したチップの評価を通して新しいアーキテクチャの有効性を確認している。

第2章では、フラッシュ A/D コンバータ用の低消費電力手法を提案している。従来の高速フラッシュ A/D コンバータは数多くのコンパレータを用いているため、その消費電力が大きい欠点を抱えていた。本論文では、フラッシュ A/D コンバータの低消費電力化を目的とした、新たな低消費電力コンパレータを考案している。新しいコンパレータを回路に組み込んだフラッシュ A/D コンバータを 0.25 μm CMOS プロセスで試作し、2.5 V 電源、8 bit 50 MHz の条件で 87.5 mW で動作することを確認している。

第3章では、倍速 VCO が必要な従来型の PLL に対して、新たなアーキテクチャに基づく補償回路を提案し、倍速 VCO が不要な 50% デューティ補償回路が有効に機能することをチップ試作を通して実証している。提案するデューティ補償回路では、検出したデューティ比信号を用いてソースフォロワの電流源を制御することで、高速かつ低消費電力を実現している。提案回路を 0.6 μm プロセス 5 V で試作・実測した結果、20%~80% のデューティばらつきの入力信号に対し出力電圧のデューティ変動を 0.21%、 $\frac{1}{300}$ に抑えることができることを実証している。

第4章では、対地の固定電圧しか出力できない既存のバンドギャップ参照電圧回路の問題点を指摘し、付属回路を用いることなくフローティングの任意参照電圧を生成する回路を提案している。提案回路では、抵抗とバイポーラトランジスタを並列に接続して温度依存性を低減し、MOS ドラッグトランジスタを用いてコモンモード電圧を設定する構成にしている。オペアンプ等の付属回路を用いることなくフローティング参照電圧を生成できるため、付属回路の消費電力が削減でき、低消費電力のフローティング参照電圧の生成を可能にしている。

第5章では、変換効率が重要視される電源用のDC-DCコンバータに対し、ZVSを理想的な状態で実現する回路を提案している。本提案DC-DCコンバータは、4つの状態をもつ制御回路を高速なクロックで駆動することにより、出力MOSトランジスタのスイッチングのタイミング制御を行い、高い精度でZVSを実現している。そのため、3.3Vから2.5Vへの変換において、93.3%もの高い変換効率を実現している。

以上のように、本論文はCMOSアナログ回路の低消費電力化に付随する様々な問題点を回路アーキテクチャの改良で解決しており、今後のアナログ集積回路の低消費電力化に向けた有益な情報を提供するもので、半導体工学・電子工学の発展に貢献するところが大きい。よって、本論文は博士論文として価値あるものと認める。