

Title	デジタルVLSIのクロストーク故障に対するテスト手法に関する研究
Author(s)	清水, 和也
Citation	大阪大学, 2003, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44258
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	清 水 和 也
博士の専攻分野の名称	博 士 (工 学)
学位記番号	第 17817 号
学位授与年月日	平成 15 年 3 月 25 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科応用物理学専攻
学位論文名	デジタル VLSI のクロストーク故障に対するテスト手法に関する研究
論文審査委員	(主査) 教授 八木 厚志 (副査) 教授 岩崎 裕 教授 伊東 一良 助教授 大中幸三郎 助教授 山本 吉孝

論 文 内 容 の 要 旨

本論文は、デジタル VLSI のクロストーク故障に対するテスト手法についてまとめたものであり、以下のように 9 章で構成されている。

第 1 章では、従来の研究の概略と本研究の概要および成果について述べた。

第 2 章では、本研究で対象とするクロストーク故障について説明した。

第 3 章では、同期式順序回路の動作とクロストーク故障の影響を説明した。

第 4 章では、同期式順序回路におけるクロストーク故障に対する組込み自己検査手法について説明した。提案手法では同期式順序回路の状態 FF を用いて LFSR を構成し、この LFSR をテスト系列生成部、故障検出部として用いた。そして ISCAS'89 ベンチマーク回路に対する実験結果から、100 段と 150 段の LFSR を用いた場合、すべての回路において 99% 以上の検出率が得られることを明らかにした。

第 5 章では、第 4 章の BIST 手法に加え、新たなテスト用回路を追加した BIST 手法について説明した。この BIST 手法では M 系列から任意の遅れを持った系列を出力可能なフェーズシフタと呼ばれる回路と、ある特定の LFSR 出力を 0 か 1 に固定する手法 (LFSR のビット固定) を実現するビット固定用の回路を利用した。そしてベンチマーク回路に対する実験結果より、第 4 章の手法に比べ高検出率が得られることを明らかにした。

第 6 章では、ドミノ回路の動作とクロストーク故障による影響について述べた。そして本研究で対象とするクロック遅延ドミノ回路について説明した。

第 7 章では、クロック遅延ドミノ回路のクロストーク故障に対する対象故障の削減手法について説明した。提案手法では、故障の冗長性および被覆の関係を利用し対象故障の削減を行った。そしてベンチマーク回路に対する実験結果から、すべての回路において 20% 程度まで対象故障を削減可能であることを明らかにした。

第 8 章では、クロック遅延ドミノ回路のクロストーク故障に対する故障シミュレーション手法について説明した。提案手法では回路のタイミングを扱わず、かつシミュレーションを並列に行いシミュレーションの高速化を図った。そして実験結果から、各ベンチマーク回路のランダムベクトルに対する検出率が得られ、10000 ベクトルを印加した場合、要する計算時間は最大 20 時間程度となることを確認した。

第 9 章では、提案手法の有効性について総括し、今後の課題について述べ本論文の結びとした。

論文審査の結果の要旨

近年 VLSI の微細化、高速化が進み、ディープサブミクロン領域での設計および GHz 領域での動作が可能となっている。これに伴い、シグナルインテグリティと呼ばれる信号の完全性を保証する問題が重要となっている。本論文は、シグナルインテグリティを侵すノイズの主要な要素の一つであるクロストーク故障に対して、新たなテスト手法の開発を行った研究をまとめたものであり、その主な成果は以下の3点に集約できる。

- (1) 同期式順序回路におけるクロストーク故障を組込み式自己検査法により検出する問題において、回路内の状態保持用の FF を用いて LFSR を構成しその LFSR をテスト系列発生部と故障検出部として使う手法を提案している。ベンチマーク回路に対する実験により提案手法の有効性を示すとともに、M 系列から任意の遅れを持った系列を出力可能なフェーズシフト回路と、特定ビットの LFSR 出力値を 0 か 1 に固定することができるビット固定用回路を利用することによりさらに高い検出率が得られることを示している。
- (2) クロック遅延ドミノ回路におけるクロストーク故障を検査する際に、前段階で必要となる対象故障の削減問題において、たとえ回路内に故障が存在していても外部出力にまったく誤りが伝播し得ない冗長な故障と、1つの故障に対する検査で他の故障も検査できる場合の故障の被覆関係に着目し、冗長性と被覆関係を利用した検査対象故障の削減手法を提案している。ベンチマーク回路に対する実験から、本手法により対象故障が 20%程度まで削減できることを示している。
- (3) 同期式順序回路のクロストーク故障に対する組込み自己検査の故障シミュレーションを高速に行うため、複数の故障回路を並列にシミュレーションする手法を提案している。またクロック遅延ドミノ回路におけるクロストーク故障に対しては、回路のタイミング情報を用いずに論理値のみで故障シミュレーション可能な手法を提案し、さらにシミュレーションを並列に行うことで高速化を図っている。

以上のように、本論文はデジタル VLSI におけるクロストーク故障に対して組込み自己検査手法の利用、冗長性と被覆関係に着目した対象故障の削減、並列化故障シミュレーション法の考案などにより高検出率かつ高速なテスト手法を提案しており、応用物理学、特にコンピュータ工学に寄与するところが大きい。よって本論文は博士論文として価値あるものと認める。