The University of Osaka
Institutional Knowledge Archive

Title	メモリ混載システムLSI用ダイナミックRAMの高機能化の研究
Author(s)	冨嶋, 茂樹
Citation	大阪大学, 2002, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44356
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【23】

氏　　名	富嶋茂樹（とみしましげき）
博士の専攻分野の名称	博　士（工　学）
学位記番号	第　17311　号
学位授与年月日	平成14年9月30日
学位授与の要件	学位規則第4条第1項該当 基礎工学研究科物理系専攻
学位論文名	**メモリ混載システムLSI用ダイナミックRAMの高機能化の研究**
論文審査委員	（主査） 教　授　蒲生　健次 （副査） 教　授　小林　猛　　教　授　奥山　雅則　　教　授　今井　正治

論文内容の要旨

今後の情報化社会を担うシステムLSIには、あらゆるデータの送受信、演算処理のために、メモリLSIの重要性が益々高まり、その高機能化が望まれている。

そこで、本研究の目的は、メモリLSIの中でも、大容量、且つ、高速アクセスの性能で広く使用されているダイナミックRAMというメモリLSI品種に注目し、小サイズ、低消費電力、高速動作、そして、汎用性というポイントにおける既存の欠点を改善する回路技術を提案するものである。

以上の目的に対して、

トランジスタ微細化の問題には、新しい2種方式（昇圧センスグランド方式、負電圧ワード線方式）を提案し、セルトランジスタのリーク電流を抑制した。実デバイス試作&測定によりその効果を検証した。

第2に、低電圧動作、低消費動作の問題には、新しい2種方式（新レベル変換回路、パワーダウンリフレッシュモード）を提案し、高速&低消費動作効果を回路シミュレーションで検証した。

第3に、配線遅延の問題には、新しい3種方式（アレイ信号分散駆動方式、ブランケット電源供給方法、プリブーストVDC回路）を提案し、その高速化の効果を回路シミュレーションにより検証した。

第4に、SOIデバイスの問題には、ボディリフレッシュ動作を提案し、チャージ引き出し動作によりボディのポテンシャルを安定に保てる事を確認し、その制御回路とデータ保持特性の改善効果を見積もった。

最後に、汎用性の問題には、新しい3種方式（オートバーンイン機能、SCANテスト手法、ダイレクトAC測定手法）を提案し、SOCでのテスト容易化を図って実デバイス検証した。更に、駆動力可変バッファを提案し、最適な駆動力状態でバッファを動作させ、SIPに有効なテストフローも提案し、テストコストの削減効果を見積もった。

以上の研究成果を、SOC用32 Mbit Synchronous DRAMマクロ設計に組み入れた。そして、実チップを試作、性能評価することで、本研究内容が今後のメモリ混載システムLSI用のDRAMに対して非常に有効である事を示した。

論文審査の結果の要旨

高度情報化社会において、増大する情報の高速、大容量処理のために、情報伝送、演算処理、メモリを集積したシ

ステムLSIの開発が望まれている。このような集積システムに搭載するメモリーは、微細、低消費電力、高速動作であることが要求される。

本研究の目的は、集積システムに要求されるダイナミックRAMの高性能化を回路技術を駆使して実現した成果をまとめたものである。

ダイナミックRAMの微細化の障害となるセルトランジスタのリーク電流の増加は、新しい2種の回路方式（昇圧センスグランド方式、負電圧ワード線方式）を提案し、実デバイス試作&測定により、従来法よりも3倍長いデータ保持特性が得られることを示した。著者の考案した負電圧ワード方式は、いくつかのグループによっても採用されており、有用性が認められている。低消費電力を実現するには、低電圧動作が有効である。しかし、低電圧化に伴ってセルトランジスタのしきい値電圧を下げるとスタンバイ状態でのリーク電流が増え、メモリ保持特性が劣化し、消費電力も効率よく低減できない。この問題の解決のためレベル変換回路を考案した。また、スタンバイ時の消費電力低減のため、パワーダウンリフレッシュモード動作を考案し、回路シミュレーションによって80%程度の低減が可能であることを示唆する結果を得ている。微細化に伴う配線遅延の問題には、新しい3種方式（アレイ信号分散駆動方式、ブランケット電源供給方法、プリブーストVDC回路）を提案し、高速化の可能性を回路シミュレーションにより示している。

高速化、低消費電力化にはシリコン酸化膜上に形成した薄膜シリコンに形成したデバイス（SOIデバイス）が期待されている。しかし、ダイナミックRAMでは、浮遊ボディ部の帯電によるリーク電流の増加のため良好なメモリ保持特性が実現できない。これは、新しいボディリフレッシュ動作を考案し、シミュレーションによってチャンネルリーク電流の大幅な低減、メモリ保持時間の3倍の改善などが得られることを明らかにして、期待されるSOIデバイスの特長を実現できることを示した。

さらに、SOC（system on a chip）やSIP（System in a package）などの集積システムチップではテストが問題であるが、テスト容易化設計技術や回路を提案、テストコストの削減効果を示し、集積システムの実現に寄与している。最後に、以上の成果を基にして、MPEG2エンコーダとダイナミックRAMを1チップに集積したSOCチップを試作し、消費電力が48%に低減されることを示し、著者の提案する手法が今後のメモリ混載システムLSI用のDRAMに対して非常に有効である事を実証した。

このように本論文は、集積システムのためのダイナミックRAMの高性能化を実現する回路技術を考案し、半導体工学の発展に大きく貢献しており、学位（工学）論文として価値あるものと認められる。