

| | |
|--------------|---|
| Title | 大規模集積回路の検査コスト削減のためのテスト容易化設計手法に関する研究 |
| Author(s) | 吉村, 正義 |
| Citation | |
| Issue Date | |
| Text Version | none |
| URL | http://hdl.handle.net/11094/44366 |
| DOI | |
| rights | |

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/repo/ouka/all/>

| | |
|------------|--|
| 氏 名 | よしむらまさよし 吉村正義 |
| 博士の専攻分野の名称 | 博士(工学) |
| 学位記番号 | 第 17934 号 |
| 学位授与年月日 | 平成 15 年 3 月 25 日 |
| 学位授与の要件 | 学位規則第 4 条第 1 項該当 基礎工学研究科システム人間系専攻 |
| 学位論文名 | 大規模集積回路の検査コスト削減のためのテスト容易化設計手法に関する研究 |
| 論文審査委員 | (主査) 教授 田村 坦之 (副査) 教授 藤重 悟 教授 潮 俊光 教授 増澤 利光 |

論文内容の要旨

大規模集積回路 (LSI) の大規模化により、テスト設計がますます重要となっている。検査コストはテストの重要な要素であるが、LSI の大規模化に伴い、検査コストは年々増加する傾向にある。この問題を解決するために、本論文では検査コストを削減するテスト容易化設計方法を提案する。

第 1 章では、LSI の検査とテストパターンの自動生成 (ATPG) とテスト容易化設計 (DFT) 技術についての説明を行い、検査コストが増加する背景について述べた。

第 2 章では、テスト長を短縮するための DFT 戦略を 3 つ提案した。戦略 1 は、テストポイント挿入を用いて、ATPG パターン数を削減する戦略である。戦略 2 はパーシャルスキャン設計方法を用いて、最大スキャンパス長を削減する戦略である。戦略 3 は、DFT 戦略 1 と DFT 戦略 2 を組合せ、ATPG パターン数と最大スキャンパス長の両方を削減する戦略である。これら 3 つの DFT 戦略を、実際の LSI に適用し、テスト長の削減に有効であることを示した。

第 3 章では、ATPG パターン数削減指向テストポイント挿入方法を提案した。ATPG アルゴリズムに基づいた指標を提案し、与えられたテストポイント数で ATPG パターン数を削減するアルゴリズムを提案した。提案方法を実際の回路に対して適用し、実験を行い、ATPG パターン数の削減に有効であることを示した。

第 4 章では、RTL 設計からテスト設計を支援する REPS を提案した。REPS は RTL でのパーシャルスキャン設計を行う機能と RTL でテスト長を最適にする DFT 方法の選択を行う機能を持つ。テスト実行時間を最適化する方法を提案し、実際の LSI で、REPS の評価を行い、その有効性を示した。

第 5 章では、まとめとして提案するテストポイント挿入方法を用いた DFT 戦略を実際の LSI に適用し、LSI の検査コスト削減のためのテスト容易化設計手法が有効であることを示し、今後の課題を述べた。

論文審査の結果の要旨

本論文は、大規模集積回路 (LSI) の検査コストを削減することを目的として、新たにテスト容易化設計法を提案してその有効性を検証した研究成果をまとめたもので、全体は 5 章から成っている。

まず、テスト長を短縮するためにテスト容易化設計 (DFT : Design For Testability) 戦略を三つ提案している。DFT 戦略 1 は、テストポイント挿入を含んだフルスキャン設計方法を用いて、テストパターンの自動生成 (ATPG : Automatic Test Pattern Generation) におけるパターン数を削減する戦略を表す。DFT 戦略 2 は、パーシャルスキャン設計方法を用いて最大スキャンパスの長さを削減する戦略を表す。DFT 戦略 3 は、DFT 戦略 1 と 2 を組み合わせ、ATPG パターン数と最大スキャンパスの長さの双方を削減する戦略を表す。これら三つの DFT 戦略を、現実の LSI に適用して実験を行い、テスト長の削減に有効であることを実証している。

次に、DFT 戦略 1 と 3 において用いられる ATPG パターン数を削減するためのテストポイント挿入方法を提案している。そこでは実際の ATPG アルゴリズムに基づいた探索の指標を提案し、与えられたテストポイント数のもとで、できるだけ ATPG パターン数を削減するアルゴリズムを提案している。この提案方法を現実のフルスキャン設計回路に適用して実験を行い、ATPG パターン数の削減に有効であることを実証している。

さらに、レジスター・トランスファー (RT) レベル設計から LSI のテスト設計を支援するシステムを提案している。この支援システムには、RT レベルでパーシャルスキャン設計する機能と RT レベルでテスト長を最適にする DFT 方法を選択する機能を持っている。現実の LSI に対してこの支援システムを評価し、その有効性を確認している。

以上のように、本論文は、LSI の検査コスト削減のための新たなテスト容易化設計法を提案してその有効性を検証しており、半導体生産工学の発展に寄与するところが大きい。よって本論文は博士 (工学) の学位論文として価値あるものと認める。