



Title	Preparation of Bi-layer Structured and Ba _{1-x} Sr _x TiO ₃ Ferroelectric Thin Films and Evaluation for Their Functional Devices
Author(s)	呉, 文彪
Citation	大阪大学, 2003, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44614
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	眞文 彪
博士の専攻分野の名称	博士 (工学)
学位記番号	第 18177 号
学位授与年月日	平成 15 年 9 月 30 日
学位授与の要件	学位規則第 4 条第 2 項該当
学位論文名	Preparation of Bi-layer Structured and $Ba_{1-x}Sr_xTiO_3$ Ferroelectric Thin Films and Evaluation for Their Functional Devices (Bi 層状構造系及び $Ba_{1-x}Sr_xTiO_3$ 強誘電体薄膜の作製と機能デバイスのための特性評価)
論文審査委員	(主査) 教授 奥山 雅則 (副査) 教授 小林 猛 教授 岡本 博明 助教授 野田 実

論文内容の要旨

本論文は、不揮発性メモリ用 $Bi_4Ti_3O_{12}$ (BIT)、 $SrBi_2Ta_2O_9$ (SBT) 及び $Bi_{3.6}Nd_{0.4}Ti_3O_{12}$ (BNdT) 薄膜とチューナブルデバイス用 $Ba_{1-x}Sr_xTiO_3$ 薄膜の作製と評価に関する研究の成果をまとめたものである。ピスマス層状構造強誘電体薄膜は分極反転の疲労特性が優れており、自然環境の汚染問題が少ないことから、有望な強誘電体メモリ材料である。また、 $Ba_{0.6}Sr_{0.4}TiO_3$ は高波周域において低誘電損失で高誘電率を有し、チューナビリティデバイス用材料として優れている。

まず、PLD 法による BIT 膜の低温製膜を検討し、Pt 基板上に 490°C 、 0.1 Torr 、 5 Hz で膜が c 軸優先配向成長し、Si 基板上では (117) 優先配向しやすいことが分かった。熱処理効果としては、酸素流量と分圧を増加すると c 軸優先配向成長が促進する。基板上に初期核層を入れることを試み、1 段階成長により作製した MFIS 構造では良好な C-V のメモリ特性がえられ、3 段階成長では $8.64\ \mu\text{C}/\text{cm}^2$ の残留分極をもとめられた。

次に、Nd ドープした BNdT 薄膜では残留分極 Pr が $40\ \mu\text{C}/\text{cm}^2$ 、抗電界 E_c が $310\ \text{kV}/\text{cm}$ 、リーク電流密度が $10^{-6}\ \text{A}/\text{cm}^2$ ($-125\sim+125\ \text{KV}/\text{cm}$) 以下という良好な特性が得られた。疲労パルス ($500\ \text{KHz}$ 、 $\pm 10\ \text{V}$) 10^{10} 回印加後 Pr は約 25% の劣化にとどまり良好な疲労特性を有していた。

さらに、PLD 法により Pt 基板上 SBT 薄膜を作製し、最適化製膜条件 500°C 、 $0.2\ \text{Torr}$ 、 $5\ \text{Hz}$ で Pr は $2.5\ \mu\text{C}/\text{cm}^2$ 、 E_c は $34\ \text{kV}/\text{cm}$ であり、分極疲労パルス ($500\ \text{KHz}$ 、 $\pm 10\ \text{V}$) 10^{11} 回印加後 Pr の劣化は無く非常に良好な疲労特性を確認した。

最後に、 $Ba_{1-x}Sr_xTiO_3$ 膜のゾルーゲル法による作製において、Ba 量の増加と高温熱処理の効果を検討し、 1100°C 焼成 $Ba_{0.6}Sr_{0.4}TiO_3$ 膜では、 $1\ \text{MHz}$ 測定時、チューナビリティ 50%、誘電損失 0.8% が得られた。また、熱処理後、膜の緻密性と誘電率が增大するが、誘電損失とリーク電流が増大した。測定周波数を増大すると、誘電率とチューナビリティが減少し、誘電損失が増大する。

以上により、作製した BIT、BNdT、SBT 膜は Pr が大きく、抗電界が小さく、疲労特性が優れていることから、メモリデバイス用強誘電体膜として優れており、 1100°C 焼成 $Ba_{0.6}Sr_{0.4}TiO_3$ 膜はチューナビリティが大きく、誘電損失が小さいことから、チューナブルデバイスへの応用が期待される。

論文審査の結果の要旨

強誘電体は分極に関係する種々の現象を示す機能性材料として注目されており、その薄膜の分極履歴現象を利用し高速動作、低消費電力で動作する超高集積化可能な不揮発性メモリ素子や、誘電率の電界変化を利用した小型通信機器用チューナブルデバイスへの応用が切望されている。本論文では、メモリ応用のための Bi 層状構造系強誘電体薄膜とチューナブルデバイス応用のための $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 薄膜の作製とデバイス化のための特性評価を行った結果についてまとめたものである。

Bi 層状強誘電体として $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)、 $\text{Bi}_{3.6}\text{Nd}_{0.4}\text{Ti}_3\text{O}_{12}$ (BNdT) および $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) の薄膜をレーザーブレーション (PLD) 法により作製した。BIT 膜は本 PLD 法により低温成長が可能であり、かつ特徴的な結晶配向性を示し、Pt 基板上では 490°C の低基板温度において c 軸優先配向成長し、Si 基板上では (117) 優先配向することを明らかにした。さらに、基板上に初期核層の挿入により結晶性改良を試み、2 段階成長では Si との接合で良好な静電容量のメモリ特性が得られ、3 段階成長では残留分極 Pr が増大して $8.64 \mu\text{C}/\text{cm}^2$ を得ることができた。BIT の Bi の一部を Nd で置換した BNdT 薄膜では、Ti と酸素の八面体構造の変位、回転から予想される強誘電性改善を試みた結果、Pr を $40 \mu\text{C}/\text{cm}^2$ と非常に大きくでき、 10^{10} 回の分極反転後でも Pr は約 25% の低劣化に留めることができ、メモリ素子に要求される特性に大きな改善をすることに成功した。SBT 薄膜でも、Pr が $2.5 \mu\text{C}/\text{cm}^2$ となり、 10^{11} 回の分極反転後でも Pr の劣化は無く非常に良好な疲労特性を確認し、強誘電体薄膜ゲート FET メモリに実用化を前進させる結果を得ることができた。

$\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 膜の作製はゾルーゲル法で行われ、Ba 量と高温熱処理の条件を検討し、 1100°C 焼成 $\text{Ba}_{0.6}\text{Sr}_{0.4}\text{TiO}_3$ 膜では、1 MHz での誘電率の電界制御性を示すチューナビリティが 50% と大きく、誘電損失が 0.8% と小さい良好な特性を得ることができた。さらに、熱処理により膜の緻密性と誘電率が増大するが、誘電損失とリーク電流が増大し、測定周波数を増大した時の誘電率とチューナビリティが減少し、誘電損失が増大することを定量的に示され、最適熱処理条件をもとめることができた。

以上述べたように、PLD 法により低基板温度で作製した 3 種の Bi 層状構造強誘電体薄膜は優れた分極履歴特性を有しメモリデバイス用強誘電体膜として優れ、ゾルーゲル法により作製した $\text{Ba}_{0.6}\text{Sr}_{0.4}\text{TiO}_3$ 膜は大きい誘電率制御性と小さい誘電損失を持つチューナブルデバイス用強誘電体膜として優れ、実用化に導く重要な成果を上げており、学位 (工学) 論文として価値のあるものと認められた。