Osaka University Knowledge Archive

Title	薄膜トランジスタのモデリング及び応用に関する研究
Author(s)	多田, 憲史
Citation	大阪大学, 2004, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44921
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

【56】

氏　　名	多　田　憲　史（ただ　けんし）
博士の専攻分野の名称	博　士（工　学）
学　位　記　番　号	第　18707　号
学位授与年月日	平成16年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学　位　論　文　名	**薄膜トランジスタのモデリング及び応用に関する研究**
論文審査委員	（主査） 教　授　谷口　研二 （副査） 教　授　尾浦憲治郎　　教　授　森田　瑞穂

論文内容の要旨

本論文はポリシリコン薄膜トランジスタのモデリングと、薄膜トランジスタ技術の応用例としての単電子素子の研究成果をまとめたもので、以下の6章から構成されている。

第1章では、まずTFT（Thin Film Transistor）の歴史について述べている。1960年代の初期の研究から今日のアモルファスシリコンTFT、低温ポリシリコンTFTへの発展までを解説し、低温ポリシリコンTFTの可能性とその問題点について説明している。次に低温ポリシリコンTFTの特徴を述べ、回路設計に必要なデバイスモデルの現状と問題点を説明した後、本研究の目的を示している。また、薄膜技術の極限応用としての単電子素子の説明を行っている。最後に本論文の構成を記述している。

第2章では、低温ポリシリコンTFTの実測データに含まれる物理現象を分離して評価する方法について述べている。まず、SD（Single Drain）構造、LDD（Lightly Doped Drain）構造、GOLD（Gate Overlapped LDD）構造などの異なる構造のTFTやチャネル幅の異なるTFTのDC実測データから、①低温ポリシリコンTFTの構造が電気的特性に及ぼす影響、②寄生抵抗成分の実測データへの影響、を明らかにしている。さらにTFT特性の温度依存性はしきい値電圧とキャリア移動度の温度依存性で説明できることを示している。次に、バルクMOSFET、SOI-MOSFET、低温ポリシリコンTFTのAC測定データの比較を行い、低温ポリシリコンTFTの電気的特性は薄膜部の完全空乏化と結晶粒界に存在するトラップ準位の挙動によって影響されることを明らかにしている。さらに、自己発熱効果とインパクトイオン化に起因するドレイン電流の増加（KINK効果）がTFTのパルス応答特性に影響することを明らかにしている。

第3章では、寄生抵抗成分モデルを提案し、これと自己発熱効果モデルを取り入れた高精度なTFT特性のシミュレーション法について述べている。まず、GOLD構造TFTのGOLD領域をデプレッション型MOSFETと仮定し、寄生抵抗成分のモデリングを行い、このモデル式に基づいて寄生抵抗成分とTFT本体の特性を分離する方法を提案している。次にこの寄生抵抗モデルと自己発熱効果モデルを従来のポリシリコンTFTモデルに適用してシミュレーション精度の向上を確認している。最後に計算値と実測データの比較からTFTへの寄生抵抗と自己発熱効果の影響をさらに詳しく検証している。

第4章ではTFTの弱反転領域から強反転領域までの電気的特性を統一的に取り扱うモデルについて検討している。まず、解析的に導いた薄膜の完全空乏化とトラップ電子密度のモデル式を一次元ポアソン方程式へ導入し、擬フェル

ミ準位を用いて高い精度の統一モデル式を構築している。また、TFT の AC 特性はトラップ準位とチャネル電荷との相互作用で説明できることを示している。

第５章では薄膜技術の極限応用として、単電子デバイス固有の問題を取り上げて検討している。単電子デバイスが抱える最大の問題は熱雑音と浮遊電荷である。まず、この熱雑音についてモデリングし、トンネル接合がある単電子デバイスでは従来のデバイスで現れる Nyquist 雑音に加えて電子のトンネリングに起因する雑音が存在することを明らかにしている。次に浮遊電荷に影響されない新しい単電子メモリを提案している。この動作のメカニズムについて説明した後、シミュレーションを行い、単電子メモリ実現の可能性について検討している。

第６章では本論文のまとめと今後の展望について述べている。

論文審査の結果の要旨

低温ポリシリコン TFT 技術は、現代主流となっているアナログ・デジタル混載システム LSI をすべてガラス基板上に組み上げる究極の集積技術として期待されている。しかし、このような薄膜集積システムを設計する際に鍵となる回路設計のシミュレーション環境はまだ未整備であり、低温ポリシリコン TFT の物理特性の解析と回路シミュレーション用の素子モデルの改善が強く望まれている。本研究は TFT の動作特性を様々な実験を通して総合的に明らかにし、これに基づいた物理モデリングを行っている。さらにこの薄膜技術を物理的な極限にまで発展させた単電子素子への応用を検討している。その主要な成果は以下の通りである。

(1)LDD 構造や GOLD 構造、チャネル幅の異なる低温ポリシリコン TFT の実測データから、寄生抵抗成分と自己発熱効果の影響を明らかにしている。また、AC 特性から TFT の薄膜の完全空乏化を明らかにし、AC 特性と DC 特性の比較を通して粒界トラップ準位の存在を実証している。さらに TFT の過渡特性には自己発熱効果と KINK 効果が含まれていることを明らかにし、これらの影響を分離して評価する方法について述べている。

(2)GOLD 構造 TFT の寄生抵抗を組み込んだ単純なモデル式を提案している．当モデル式を用いて、①GOLD 構造 TFT の真性チャネル領域の電気的特性を抽出する方法、②自己発熱効果モデルと併用して素子モデルの精度を向上する方法、を提案している。また、計算値と実測データの比較から、①飽和ドレイン電圧のチャネル長依存性は寄生抵抗に起因すること、②短チャネル素子では寄生抵抗成分と自己発熱効果の影響が強く現れること、を明らかにしている。

(3)弱反転領域から強反転領域まで統一的に取り扱う素子モデルを提案している。薄膜の完全空乏化と粒界トラップ準位密度を取り入れた本モデルは高精度に素子特性を再現できるので、将来の回路シミュレーション用の素子モデルとして期待できる。さらに、①低温ポリシリコン TFT の AC 特性はチャネル領域とドレイン・ソース領域間の電荷応答特性で説明できること、②自由電荷がチャネル領域に流入するしきい値電圧が定常状態と非定常状態で異なること、を明らかにしている。

(4)薄膜素子の究極の形態である単電子素子における熱雑音をモデリングし、電子のトンネリングに起因する雑音と Nyquist 雑音が独立に現れることを初めて明らかにしている。また、電子の確率的なトンネリング現象や浮遊電荷に起因する単電子素子固有の不安定性な特性を持たない新しい単電子メモリを初めて提案している。

以上のように本論文は実測、素子モデリングを通してこれまで曖昧であった TFT の物理現象を個別に分離する方法を提案し、複雑な素子特性を引き起こす原因を解明している。さらに、GOLD 構造 TFT の寄生抵抗モデルを提案して回路シミュレーション精度の向上に寄与すると共に、物理に基づいて弱反転領域から強反転領域までを統一的に取り扱う素子モデルを構築する指針を与えている。また、単電子素子において熱雑音のメカニズムを明らかにすると共に、新しい単電子メモリを提案するなど、ポリシリコン TFT を含む将来の薄膜電子回路技術の発展に貢献する多数の情報を提供している。

よって、本論文は博士論文として価値あるものと認める。