The University of Osaka
Institutional Knowledge Archive

Title	A Study on Circuit Design of Integrated CMOS Analog Matched Filter
Author(s)	Eltokhy, Mostafa Aly Refay
Citation	大阪大学, 2003, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/44983
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【22】

氏　　名	Eltokhy, Mostafa Aly Refay（エルトーキ モスタファ アリ リーファイ）
博士の専攻分野の名称	博　士（工　学）
学 位 記 番 号	第　18122　号
学位授与年月日	平成15年9月30日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学 位 論 文 名	A Study on Circuit Design of Integrated CMOS Analog Matched Filter （集積化CMOSアナログ・マッチド・フィルタの回路設計に関する研究）
論 文 審 査 委 員	（主査） 教　授　谷口　研二 （副査） 教　授　八木　哲也　　助教授　原　　晋介

論 文 内 容 の 要 旨

本論文は、集積化 CMOS アナログ・マッチド・フィルタの回路設計に関する研究をまとめたもので、6章から構成される。

第1章では、本研究の背景と目的を述べている。

第2章では、DS-CDMA 無線通信のための新規アナログ相関回路を議論している。提案回路は、全差動回路で、16個のスイッチ、4個のキャパシタ、2個のレベルシフタだけで構成される。提案回路で用いる制御シーケンスは3相ノン・オーバーラップ・クロックを用いる。レベルシフタの採用により、負荷容量への充放電において、出力電位に依存しない、同量の正電荷、負電荷を扱うことができる。提案回路は良好な線形性を示し、クロック周波数 128 MHz、電源電圧 5 V において消費電力が 3.4 mW である。0.6 μm CMOS プロセスで設計すると、提案回路の占有面積は 256 μm×245 μm となり、従来の報告例と比較して約一桁小さくなる。

第3章では、アナログ相関回路の非理想性を述べている。電荷誤差キャンセル法により寄生容量の影響を軽減し、積分時の電荷蓄積誤差を小さくできることを回路シミュレーションで実証している。その他、レベルシフタのチャネル変調効果、寄生容量の非線形性、スイッチの雑音、レベルシフタにおける雑音、キャパシタのミスマッチ、チャネル間干渉も含めて議論している。

第4章では、0.35 μm CMOS プロセスを用いてアナログ相関回路を設計した結果を基に、アナログ相関回路におけるスピード、消費電力、分解能のトレード・オフを考察している。一定のプロセスを採用する限り、高速、高分解能に向けて消費電力を増大させざるを得ないが、デバイスのスケーリングにより、このトレード・オフは改善される。

第5章では、スマート・スライディング相関法を用いた低電力アナログ・マッチド・フィルタを提案している。スマート・スライディング相関法における全消費電力、面積効率、取込時間に関しても本章で議論されている。符号長 127 で回路シミュレーションを行った結果、クロック周波数 128 MHz, 電源電圧 3.3 V で消費電力はわずか 22 mW となっている。

第6章では、本論文で取り上げた各々の結果をまとめる。

論文審査の結果の要旨

高度情報化社会実現の鍵であるウェアラブルな情報端末には、小型、低コスト、低消費電力の無線送受信器が不可欠である。近年携帯電話に採用されているDS-CDMA技術はノイズ耐性に優れた技術であるが、大規模な相関回路が必要であり、その高性能化、低消費電力化、高性能化が期待されている。本論文は、アナログ技術を用いて相関回路の小型化、低消費電力化を目指したものであり、その主要な成果は次の通りである。

(1) 16個のスイッチ、4個のキャパシタ、2個のレベルシフタだけで構成された新しい小型相関回路を提案し、それを3相のノン・オーバーラップ・クロックを用いて動作させる手法を提示している。レベルシフタの採用により負荷容量への充放電時に出力電位に依存しない、同量の正電荷、負電荷を扱うことが可能となり、良好な線形動作特性が得られることを確認している。クロック周波数128 MHz、電源電圧 5 Vにおいて消費電力が3.4 mWである。0.6 μm CMOSプロセスでは提案回路の占有面積は256 μm×245 μmとなり、他の報告例と比較して約一桁小さくなることを示している。

(2) 上記提案アナログ相関回路において、寄生容量に起因する積分時の電荷誤差を低減するために、新しい電荷誤差キャンセル法を考案し、回路シミュレーションで実証している。これにより、分解能を数mV程度まで向上できることを示している。

(3) 上記分解能と消費電力、スピードとの間にはトレード・オフの関係があり、微細な製造プロセスを使用することにより、この関係は改善されることを見出している。

(4) スマート・スライディング相関法を用いた低電力アナログ・マッチド・フィルタを提案している。符号長127で回路シミュレーションを行った結果、クロック周波数128 MHz、電源電圧3.3 Vで22 mVの消費電力を実現している。

以上のように、本論文は、新しい小型・低消費電力のアナログ相関回路の提案を行っている。なかでも、①提案アナログ回路によって相関回路が小占有面積で実現できること、②電荷誤差キャンセル法による低消費電力化、③スマート・スライディング相関法を用いた低電力アナログ・マッチド・フィルタの考案、などの成果は、無線受信器の性能向上に向けた有益な情報を提供するもので、半導体工学・電子工学の発展に貢献するところが大きい。

よって、本論文は博士論文として価値あるものと認める。