



Title	フラッシュメモリーのプロセスインテグレーションに関する研究
Author(s)	齋藤, 朋也
Citation	大阪大学, 2005, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/45810
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名 さいとうともや 齋藤 朋也

博士の専攻分野の名称 博 士 (工 学)

学 位 記 番 号 第 19504 号

学 位 授 与 年 月 日 平成 17 年 3 月 25 日

学 位 授 与 の 要 件 学位規則第 4 条第 1 項該当

工学研究科電子情報エネルギー工学専攻

学 位 論 文 名 フラッシュメモリーのプロセスインテグレーションに関する研究

論 文 審 査 委 員 (主査)

教 授 谷口 研二

(副査)

教 授 谷野 哲三 教 授 北山 研一

情報科学研究科教授 岸野 文郎 教 授 尾浦憲治郎

教 授 森田 瑞穂 助教授 原 晋介 助教授 松岡 俊匡

論 文 内 容 の 要 旨

本論文は、筆者が大阪大学大学院工学研究科電子情報エネルギー工学専攻量子デバイス工学講座と米国 Halo LSI Inc. にて行った Si 結晶中のボロン過渡増速拡散のモデリングとその応用例であるフラッシュメモリー開発に関する研究の成果をまとめたものである。

第 1 章では本論文の研究の背景と目的を述べた。

現在のフラッシュメモリーは構造や書き込み・消去動作原理に基づくさまざまなデバイスが存在し、それぞれにおいて特徴を生かしたアプリケーションが開発されている。しかし酸化膜のバリアを越えて電子を注入するため、どれも電圧のスケーリングに関しては進んでいない。ここでは、新たなデバイス形状である高濃度ボロンチャネルドープを持つ 40 nm 超短チャネルスプリットデバイスを用いてフラッシュメモリーの低電圧動作を目的とした本研究の位置付けを行った。

第 2 章では、熱処理時に発生するボロンの増速拡散現象の基礎的な実験を行い、ボロン拡散モデルの提案とシミュレーションによる検証を行った。

デバイスの開発には、まずシミュレーターを用いた最適化を行ってから、実際のデバイスの作成に入るため、シミュレーターに用いるモデルの開発が重要となる。実験では 6 層のボロンマーカ層を持つ超格子構造のシリコンエピ基板を用いて、熱処理後のボロンマーカ層の再分布を調べた。シリコン原子を注入することにより発生する格子間シリコン原子がボロンの増速拡散を引き起こすメカニズムを観測し、そのモデルの提案を行った。発生した格子間シリコン原子が {311} 欠陥に成長し分解するモデルや I4 クラスターモデルなどを新たに導入し、シミュレーションにより検証を加えた。

第 3 章では、2D-デバイス・シミュレーションと実際作成した超短チャネル浮遊ゲートデバイスとを用いて超短チャネルの特徴である低電圧動作を検証する。

超短チャネルデバイスの低電圧書き込みを可能とするためには約 40 nm のチャネルをもち、そのボロン濃度を約 $1 \times 10^{18} \text{ cm}^{-3}$ 程度に制御する必要がある。このとき書き込み動作電圧を印加すると、超短チャネル領域で高電界が発生し電子が加速される。40 nm のチャネル長は電子の平均自由行程の数倍の距離であるために、伝導する電子は散

乱を受けにくくオーバーシュート伝導を起こす。この飽和速度を越えた高エネルギー電子を浮遊ゲート内に注入することにより、低電圧で高効率の書き込みが可能となることを明らかにした。

第4章では、超短チャネルデバイスを応用した Twin MONOS デバイスの開発について述べた。

Twin MONOS は中央のワードゲートを挟んで両側に第3章で述べた超短チャネルゲートを持つ、3つのゲートで構成される新しいデバイスである。メモリー素子部には浮遊ゲートではなく窒化膜トラップ型の ONO 積層膜を利用する。これにより Twin MONOS が低電圧動作だけでなく低電流の書き込みが可能で、かつ高集積化を満たす次世代のフラッシュメモリーとして可能性を示した。ボロンプロファイルや超短チャネルのゲート長の最適化、微細化の可能性など、プロセスインテグレーションの報告も行った。また、読み出し動作、消去動作においても新しい動作条件を導入し、Twin MONOS 特有の電気的特性を確認し、最後に信頼性のデータも示した。

第5章では、本論文で取り上げる各研究の成果についてまとめた。

論文審査の結果の要旨

本論文は、Si 結晶中のボロン過渡増速拡散のモデリングとその応用例であるフラッシュメモリー開発に関するものである。次世代フラッシュメモリーの特性として、低電圧動作に加え低電流の書き込みや高集積化が求められるが、そのためには高濃度ボロンを注入した超短チャネルデバイスが必要であり、本研究ではボロンの拡散メカニズムを解明し、デバイスの開発、試作を行っている。得られた主な成果は以下の通りである。

- (1)ボロン注入後の熱処理に伴うボロンの増速拡散現象を実験により解析して、ボロン拡散モデルを構築すると共に、シミュレーションによる検証を行っている。実験では超格子構造のシリコンエピ基板を用いて、熱処理後のボロンマーカ層の再分布を調べ、シリコン原子注入によって発生する格子間シリコン原子がボロンの増速拡散を引き起こすメカニズムを解明している。さらに、{311} 欠陥の成長と分解過程モデルや I4 クラスターモデルなどを導入したシミュレーションにより検証している。
- (2)2D-デバイス・シミュレーションと試作した超短チャネル浮遊ゲートデバイスとを用いて、低電圧での書き込みには、チャネル長約 40 nm で $1 \times 10^{18} \text{ cm}^{-3}$ 程度のボロン濃度制御が必要であることを明らかにしている。また、オーバーシュート伝導によって、低電圧でも高効率の書き込みが可能となるメカニズムを解明している。
- (3)超短チャネルゲートを利用した新たな Twin MONOS デバイスを設計試作、評価し、次世代フラッシュメモリーとしての要求性能を有することを示している。このデバイスのメモリー部は窒化膜トラップ型の ONO 積層膜が採用されており、低電圧動作に加えて低電流の書き込みや高集積化が容易な特徴を有している。

以上のように、本論文は、6層のボロンマーカ層を有する超格子構造のシリコンエピ基板を用いた高精度の評価手法を用いたボロン増速拡散現象の測定、解析とシミュレーションによる検証を行い、さらに、次世代フラッシュメモリー用の新たな Twin MONOS デバイスの開発に成功している。これらの成果は、多くの電子機器分野に多大な貢献をするものである。よって本論文は博士論文として価値あるものと認める。