OUKA
The University of Osaka
Institutional Knowledge Archive

Title	完全空乏型SOIトランジスタのモデル評価に関する研究
Author(s)	清水, 由幸
Citation	大阪大学, 2005, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/45860
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

氏名	清水由幸（しみずよしゆき）
博士の専攻分野の名称	博士（工学）
学位記番号	第 19505 号
学位授与年月日	平成17年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学位論文名	**完全空乏型SOIトランジスタのモデル評価に関する研究**
論文審査委員	（主査） 教授 谷口 研二 （副査） 教授 谷野 哲三　教授 北山 研一 情報科学研究科教授 岸野 文郎 サイバーメディアセンター教授 小田中紳二　助教授 原 晋介 助教授 松岡 俊匡　情報科学研究科助教授 橋本 昌宜

論文内容の要旨

本論文は、完全空乏型SOIトランジスタのモデル評価に関する研究の成果をまとめたものであり、以下の5章で構成した。

第1章では、本論文の導入部として研究の背景と目的を述べた。

第2章では、第3章の研究を行うために必要な、集積回路チップ内におけるMOSFETの特性のばらつきを評価するための回路の設計に関して述べた。集積回路の中でもアナログ回路においては、同じ回路に組み込まれるMOSFET間の特性の僅かな差が回路全体の性能に影響を与えるため、近年のアナログ回路設計においては必ず考慮に入れなければならない要素である。本章では、このばらつきを統計的に評価するために、集積回路チップ内という限られた面積範囲内に統計に必要な多数のMOSFETを配置し、その全てのMOSFETに対して高精度な電圧条件下での測定を可能にする回路を提案した。

第3章では、第2章で提案した回路を用いて、完全空乏型SOI MOSFETのしきい値電圧のばらつきの評価し、その発生のメカニズムを解析した。従来の研究により、MOSFETのしきい値電圧のばらつきは、ばらつきの標準偏差がゲート面積の平方根の逆数に比例するというモデルが得られている。これに対して完全空乏型SOI MOSFETでは、特定の電圧条件下においてしきい値電圧のばらつきが増大し、従来のモデルとは異なる傾向を示すことを確認した。本章では、このばらつきの増大が発生するメカニズムについて解析を行い、ばらつきの増大が完全空乏型SOI MOSFETの構造によって発生する浮遊ボディ効果に起因することを示した。

第4章では、完全空乏型SOI MOSFETの高周波動作モデルに関する検討を行った。SOI MOSFETは素子分離構造により、基板とMOSFET素子間の容量や、素子と素子の間のクロストークがバルクMOSFETより遥かに小さいことから、高速動作や低雑音が要求されるRF回路への適用が期待される。しかし、MOSFETを高周波で動作させる場合、MOSFETを流れる電流のキャリアである電子（もしくは正孔）が信号の変動に追従できなくなることによって生じるNon-Quasi-Static（NQS）効果の影響が無視できなくなる。本章ではこの影響を考慮して、完全空乏型SOI MOSFETの高周波動作を再現するモデルに関する検討を行った。

第5章では、本論文をまとめた。

論文審査の結果の要旨

本論文は、完全空乏型SOIトランジスタの特性を評価するための回路設計と作製、および、その回路を用いたトランジスタの特性解析に関するものである。本研究で得られた成果は以下の通りである。

(1) 集積回路上の各トランジスタの特性ばらつきを統計的に評価するための回路を設計、作製している。この回路は、ケルビン法による測定手法を回路内に組み込み、しきい値電圧のばらつきの要因を解析できる価値あるもので、独創性がある。

(2) 上記の回路を用いて完全空乏型 SOI トランジスタのしきい値電圧のばらつきの評価と発生要因に関する解析を行い、ばらつきの起因がSOIトランジスタ特有の浮遊ボディ効果によるものであることを明らかにしている。この成果は、SOIトランジスタを用いた集積回路の設計に重要で、工学的にも価値が高い。

(3) 完全空乏型SOIトランジスタの高周波動作について解析を行い、異なる仕様の同型トランジスタを設計するためのモデルを構築している。動作解析により、従来のモデルでは無視されていたチャネル電荷の応答遅延がドレイン電圧に大きな影響を及ぼすこと（NQS効果）を解明し、新たなモデルにこのNQS効果を採りいれている。

以上のように、本論文は完全空乏型SOIトランジスタにおけるしきい値電圧ばらつきを評価するために新たに評価回路を設計・製作し、新たな評価手法を確立するとともに、これを用いた高周波特性を含む詳細な解析を行い、従来モデルでは不完全であった完全空乏型SOIトランジスタを使用する集積回路設計のためのモデルを構築している。この成果は、携帯機器等の動作速度向上と低消費電力が要求される集積回路設計において大きな貢献をするものである。よって本論文は博士論文として価値あるものと認める。