OUKA
Osaka University Knowledge Archive

Title	低消費電力・高速インタフェース回路の設計に関する研究
Author(s)	清水, 新策
Citation	大阪大学, 2005, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/45876
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

氏名	清水新策（しみずしんさく）
博士の専攻分野の名称	博士（工学）
学位記番号	第 19509 号
学位授与年月日	平成17年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学位論文名	**低消費電力・高速インタフェース回路の設計に関する研究**
論文審査委員	（主査） 教授 谷口 研二 （副査） 教授 谷野 哲三　教授 北山 研一　教授 岸野 文郎 教授 尾上 孝雄　助教授 原 晋介　助教授 松岡 俊匡

論文内容の要旨

本論文は、筆者が大阪大学大学院工学研究科電子情報エネルギー工学専攻量子デバイス工学講座（谷口研究室）にて行った低消費電力・高速インタフェース回路の設計に関する研究成果をまとめたものであり、以下の6章で構成された。

第1章

1章では本研究の背景および目的について述べた後、本論文の構成の概略を述べた。

第2章

DS-CDMAインタフェース受信回路の低消費電力化を目的とし、受信回路構成部品であるマッチドフィルタ（MF）の新しい構成を提案した。提案型MFは1相動作でOperational Amplifier（オペアンプ）のオフセットを除去出来る特徴を有していた。そのため、オフセット除去に2相動作が必要なスイッチドキャパシタ型アナログMFに対して、提案型MFで用いるオペアンプのトランスコンダクタンスは65%削減出来た。0.25μmのCMOSプロセスパラメータを用いて回路シミュレーションを行ったところ、PN符号発生回路を含む提案型MF全体の消費電力は電源電圧2.5 V、200 MHz動作で0.6 mWであった。

第3章

PN符号によって拡散されたデータを複数のバスに転送する方法によってレイテンシを1クロックとした、Parallel-CDMA（P-CDMA）インタフェースを提案した。P-CDMAインタフェースは配線間ノイズに強く、また“H”、“L”、“M”の3値によるデータ伝送を行うことが出来た。配線間ノイズを想定したシミュレーションより、P-CDMAの消費電力は、同じエラーレートの小振幅TDMA方式より22%低く出来ることを確認した。また、メタル3層、ポリシリコン2層の0.35μm CMOSプロセスによって設計されたP-CDMAインタフェースの測定より、バス本数16、2値伝送で1.5 Gb/sのスループットを確認した。

第４章

SoC チップ内バスの配線数削減を目的とし、P-CDMA においてバス１本当たりの伝送速度を向上させた Multiple-Bit/Parallel-CDMA（MB/P-CDMA）方式を提案した。MB/P-CDMA はデータ通信を行うとき、コード拡散に加えて振幅変調を行うため、１送信回路は１クロックで複数ビットの信号を伝送出来、高速通信を実現した。メタル３層、ポリシリコン２層の 0.35 μ m CMOS プロセスによって設計された 2-bit/P-CDMA インタフェースは、バス本数８本で 1.12 Gb/s のスループットを実現した。

第５章

低電源電圧下で高速動作が可能な Current Switched Logic（CSL）を提案し、CSL を用いたデマルチプレクサを提案した。0.25 μ m の CMOS プロセスルールによる提案型デマルチプレクサのシミュレーションより、１V の電源電圧で 4 Gb/s の高速シリアル—パラレル変換を確認した。このときの消費電力は 32 mW であり、これまで提案されてきた CMOS デマルチプレクサと比較すると、1-bit を伝送するために必要な電力が最も低い結果が得られた。

第６章

本論文で取り上げた各研究課題に関する成果についてまとめた。

論文審査の結果の要旨

本論文は、大規模集積回路の低消費電力化、低ノイズ化を目的として、集積回路内インタフェースに関して符号分割多重接続を利用した新しい回路構成および新しいデータ転送システムの研究開発に関するものである。本研究で得られた主な成果は以下の通りである。

⑴集積回路内 CDMA（Code Division Multiple Access）インタフェースの受信回路ブロックであるアナログマッチドフィルタの新たな回路を設計、試作している。本回路では M 系列の特性を利用した回路動作数の低減により、既存 SC 型アナログマッチドフィルタに比べ素子ばらつきに起因する伝送エラーと消費電力の低減を実現している。

⑵CDMA 技術を応用し、送信データを複数のバスに拡散するパラレルインタフェースを初めて提案することで、カップリングノイズによる伝送エラーの削減方法を示している。本インタフェースはレイテンシを１クロックとし、既存の CDMA インタフェースよりはるかに短い時間でデータ転送が行えることを示している。また３値伝送によって、TDMA（Time Division Multiple Access）インタフェースに比べ同じエラーレートにおいて消費電力が 22%削減できることを示している。

⑶CDMA 技術を用いたパラレルインタフェースに振幅変調技術を初めて応用し、動作周波数に対するスループットの向上方法を示している。本インタフェースは TDMA インタフェースに比べて、S/N が電圧振幅９以上の環境で優位にあることを示している。

⑷高速 I/O の受信回路の要素ブロックであるデマルチプレクサの新たな回路を設計、試作している。新型デマルチプレクサは電源電圧に対するスループットが一般的な CMOS デマルチプレクサに比べて高く、１V の電源電圧において 4 Gb/s の伝送速度を達成している。

以上のように、本論文は大規模集積回路システムのインタフェース回路に着目し、ノイズによる伝送エラーの削減と低消費電力化、高速化を同時に実現するシステム、および新しい I/O 回路ブロックを提案しており、集積回路設計技術のさらなる発展に大きい貢献をするものである。よって本論文は博士論文として価値あるものと認める。