



Title	SoC Architecture Synthesis Method based on System Level Flexible IP
Author(s)	村岡, 道明
Citation	大阪大学, 2005, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/45932">https://hdl.handle.net/11094/45932</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、<a href=" <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> ">大阪大学の博士論文について</a>をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	むらおかみち道明
博士の専攻分野の名称	博士(工学)
学位記番号	第 19596 号
学位授与年月日	平成 17 年 3 月 25 日
学位授与の要件	学位規則第 4 条第 1 項該当 基礎工学研究科情報数理系専攻
学位論文名	SoC Architecture Synthesis Method based on System Level Flexible IP (システムレベルのフレキシブルな IP を用いた SoC アーキテクチャ合成手法)
論文審査委員	(主査) 教授 今井 正治 (副査) 教授 菊野 亨 教授 東野 輝夫 教授 尾上 孝雄 助教授 武内 良典

### 論文内容の要旨

本論文では、SoC (System-on-Chip) に集積される大規模システムの複雑さにより生じる設計工数増大の問題を解決する手法として、システムレベルのフレキシブルな IP (V コア) を考案し、その再利用を基にした SoC 設計手法のコンセプトを提案している。本設計手法の中心は、V コアに基く SoC アーキテクチャ合成手法およびそのアーキテクチャのハードウェア/ソフトウェア協調検証手法から構成される。

V コアには、機能 V コア、ソフトウェア V コア、ハードウェア V コアの 3 種類がある。機能 V コアはシステムレベルの機能定義に使用され、ソフトウェア V コアおよびハードウェア V コアは SoC の機能をソフトウェアやハードウェアとして実現する際に使用される。V コアは、パラメタライズされた階層化モデルを用いているため、その内部構成や外部インターフェースがフレキシブルとなり、SoC の設計が容易化される。

SoC アーキテクチャ合成手法は、V コアを用いて SoC のアーキテクチャの合成を行う手法である。本手法は、機能 V コアにより定義された SoC のシステムレベル機能モデルを入力として、そのモデル中の機能 V コアをソフトウェア V コアおよびハードウェア V コアへの割付け手法と V コア間の通信の逐次詳細化手法により、SoC のアーキテクチャ合成を実現する。

提案するハードウェア/ソフトウェア協調検証手法は、ソフトウェアのベースックブロックの実行サイクル数をあらかじめ算出しておき、ソフトウェア全体の実行サイクル数はその算出結果を利用して実行時に計算することでソフトウェアシミュレーションを高速化する TBA (software execution Time Back-annotation Algorithm) 方式を用いている。命令列を 1 命令ごとに逐次的に実行する従来の ISS (Instruction Set Simulation) 実現方式と比較すると、ターゲットプロセッサ上で実行するソフトウェアのシミュレーションが 10 倍以上高速化される。これにより、従来の RTL 設計より早期段階において SoC のアーキテクチャ設計における高速なハードウェア/ソフトウェア協調検証が可能となる。

ケーススタディとして、提案する設計手法の中心である SoC アーキテクチャ合成手法に基づき、ウェアラブルコンピュータ用の SoC を試行設計することで、設計工数の削減率を評価した。その結果、従来の RTL ベース設計手法と比較すると、提案する V コアを用いた手法により、SoC の設計工数が 78% 削減され、本設計手法の有効性を示すこ

とができた。

## 論文審査の結果の要旨

本論文は、SoC (System-on-Chip) に集積される大規模システムの複雑さにより生じる設計工数増大の問題を解決する手法として、システムレベルのフレキシブルな IP (V コア) を考案し、その再利用を基にした SoC 設計手法のコンセプトを提案している。本設計手法の中心は、V コアに基く SoC アーキテクチャ合成手法およびハードウェア/ソフトウェア協調検証手法から構成されている。

V コアには、機能 V コア、ソフトウェア V コア、ハードウェア V コアの 3 種類がある。機能 V コアはシステムレベルの機能定義に使用され、ソフトウェア V コアおよびハードウェア V コアは SoC の機能をソフトウェアやハードウェアとして実現する際に使用される。V コアはパラメタライズされた階層化モデルを用いているため、その内部構成や外部インターフェースがフレキシブルとなるので、V コアを用いて設計を行うことにより SoC の設計が容易になる。

SoC アーキテクチャ合成手法は、V コアを用いて SoC のアーキテクチャを合成する手法である。この手法は、機能 V コアにより定義された SoC のシステムレベル機能モデルを入力として、そのモデル中の機能 V コアをソフトウェア V コアおよびハードウェア V コアへの割付け手法と V コア間の通信の逐次詳細化手法により、SoC のアーキテクチャ合成を実現する。

提案しているハードウェア/ソフトウェア協調検証手法は、ソフトウェアの基本ブロックの実行サイクル数をあらかじめ算出しておき、ソフトウェア全体の実行サイクル数はその算出結果を利用して計算することでソフトウェア・シミュレーションを高速化する TBA (software execution Time Back-annotation Algorithm) 方式を採用している。この手法を命令列を 1 命令ごとに逐次的に実行する従来の ISS (Instruction Set Simulation) 方式と比較すると、ターゲットプロセッサ上で実行するソフトウェアのシミュレーション速度を 10 倍以上高速化する。これにより、SoC のアーキテクチャ設計段階における高速なハードウェア/ソフトウェア協調検証が可能になる。

ケーススタディとして、提案する SoC アーキテクチャ合成手法に基づいて、ウェアラブル・コンピュータ用の SoC を試行設計することで、設計工数の削減率を評価している。従来の RTL ベースの設計手法と比較して、提案する V コアを用いた設計手法によって SoC の設計工数が大幅に削減されることが示された。この結果は提案設計手法の有効性を示している。以上の研究成果は、SoC (System-on-Chip) に集積される大規模システムの複雑さにより生じる設計工数増大の問題解決を大きく前進させるものであり、博士（工学）の学位論文として価値のあるものと認める。