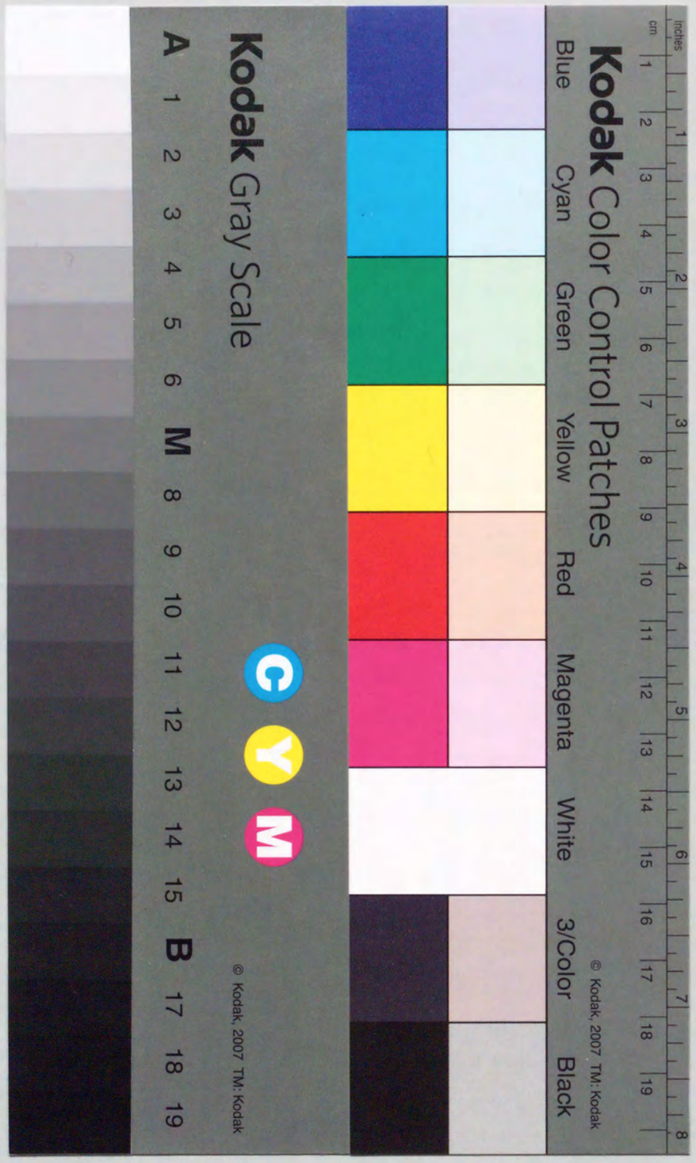
OUKA
The University of Osaka
Institutional Knowledge Archive

Title	GaAs電界効果トランジスタの高周波特性および雑音特性の向上に関する研究
Author(s)	中島, 成
Citation	大阪大学, 1996, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3110214
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka



GaAs 電界効果トランジスタの高周波特性および雑音特性の向上に関する研究

1995年11月

中　島　　成

GaAs電界効果トランジスタの高周波特性
および雑音特性の向上に関する研究

1995年11月

中　島　　成

内 容 要 旨

本研究は、GaAs 集積回路(IC)の基本素子となるショットキーゲート型電界効果トランジスタ(MESFET)の高周波特性、低雑音性向上のために必要な素子作製技術、素子構造を検討し、これまで必ずしも明らかにされていなかったGaAs MESFETの高速性、低雑音性の起因を明らかにするとともに、量産性に優れたGaAs IC への展開を図ることを目的としている。

第1章では、序論としてGaAs電子デバイスの開発の歴史と電子デバイス産業における位置づけを概観する。その中でGaAs電子デバイスの社会普及に向けての問題点とMESFETの特性決定要因に関して未解明であった点を要約し、本研究の目的と必要性を明らかにした。

第2章では、GaAs MESFETの基本的な作製方法の改良結果について述べる。単層レジストをダミーゲートとしてソースおよびドレインの低抵抗領域をゲートに対して自己整合的に形成するプロセスは、表面準位に起因するチャンネル領域の寄生抵抗の低減に有効であることを示すとともに、従来プロセスに比べ工程数が少なく素子各部の寸法を正確に制御できる特徴を持っていることを明らかにした。また、この新しいプロセスを用いて0.5 μmゲートGaAs MESFETをウェハ面内に均一にかつ再現性よく形成できることを実証した。

第3章では、素子の微細化を進めて行く際に問題となる「短チャンネル」効果の抑制法について述べる。短チャンネル効果の発生要因は、チャンネルの2次元効果によるキャリアの基板への漏れ電流と、対峙する高不純物濃度ソース／ドレイン低抵抗領域から基板への漏れ電流の2つに大別できる。前者に対してはパルスドープ活性層を、後者に対してはソース／ドレイン領域をn+, n', n"と多段階に形成した上、n+, n'層の下にp型層を設ける新LDD(Lightly Doped Drain)構造を採用することにより、短チャンネル効果を抑制できることを明らかにした。その結果、実用上問題のないゲート長0.3 μmのGaAs MESFETが作製できることを確認した。

第4章では、パルスドープ高濃度不純物層の電子輸送特性を述べる。有機金属気相成長法で作製した100Å厚のパルスドープ層を持つ試料についてシュブニコフ・ド・ハース振動、電流ー電圧特性、ホール効果の測定を行った結果、V型ポテンシャル内に2次元電子ガスが形成されており、同一キャリア濃度のバルクに比べ優れた高電界輸送特性を有することを示した。

第5章では、本研究で開発したプロセスおよび素子構造を適用したGaAs MESFETの高速／高周波特性を調べ、HEMT (High Electron Mobility Transistor)を含む様々な素子の特性と比較検討することによりMESFETの高速性を決める要因の解明を試みている。作製されたゲート長0.3 μmのGaAs MESFETでは、450 mS/mmの伝達コンダクタンスと52 GHzの電流遮断周波数を得ることができた。これらの結果はHEMTの特性と同等であり、MESFETの高速／高周波特性は低電界移動度よりはむしろ電子飽和速度によって支配されていることが明らかとなった。

第6章では、GaAs MESFETの雑音特性の向上手法について述べる。パルスドープ構造MESFETの高濃度不純物層の厚みと雑音特性との関係を調べ、不純物層厚を薄くすると雑音特性が向上することを見い出した。パルスドープ高濃度不純物層厚をHEMTの2次元電子ガス厚と同等の100 Åにすることにより、ゲート長0.3 μmのGaAs MESFETで12 GHzでの雑音指数が0.72 dBとHEMTと同等の性能が得られた。

第7章では、以上の研究結果を総括し本研究の結論を述べるとともに、今後の問題点および残された課題について言及する。

目　　次

第1章 序　　論

1-1 本研究の背景・・・・・・・・・・・・・・・・・・・・・・・・ 1

1-2 本研究の目的・・・・・・・・・・・・・・・・・・・・・・・・ 4

1-3 本論文の構成・・・・・・・・・・・・・・・・・・・・・・・・ 6

1-4 参考文献・・・・・・・・・・・・・・・・・・・・・・・・・・ 8

第2章 ダミーゲート法による自己整合型MESFETの作製

2-1 緒　　言・・・・・・・・・・・・・・・・・・・・・・・・・・ 11

2-2 GaAs MESFETの構造と動作原理 ・・・・・・・・・・・・・・・ 12

2-3 寄生抵抗低減のための構造 ・・・・・・・・・・・・・・・・・ 14

2-3-1 耐熱ゲートを用いた自己整合プロセス ・・・・・・・・・・ 15

2-3-2 ダミーゲートを用いた自己整合プロセス・・・・・・・・・・ 17

2-4 生産性、制御性に優れた自己整合プロセス・・・・・・・・・・ 19

2-4-1 単層レジストを用いたダミーゲートプロセス ・・・・・・・ 19

2-4-2 イオン注入に対する阻止能 ・・・・・・・・・・・・・・・・ 20

2-4-3 ダミーゲートの加工 ・・・・・・・・・・・・・・・・・・・ 20

2-4-4 パターン反転工程 ・・・・・・・・・・・・・・・・・・・・ 22

2-5 MESFET作製プロセス ・・・・・・・・・・・・・・・・・・・・ 24

2-6 結　　言・・・・・・・・・・・・・・・・・・・・・・・・・・ 29

2-7 参考文献・・・・・・・・・・・・・・・・・・・・・・・・・・ 30

第3章 短チャンネル効果の抑制

3-1 緒　　言・・・・・・・・・・・・・・・・・・・・・・・・・・ 34

3-2 短チャンネル効果とは・・・・・・・・・・・・・・・・・・・・ 34

3-2-1 短チャンネル効果の要因とこれまでの対策 ・・・・・・・・・ 36
3-3 パルスドープ構造による短チャンネル効果の抑制・・・・・・・ 37
3-3-1 パルスドープ構造 ・・・・・・・・・・・・・・・・・・・・ 37
3-3-2 有機金属気相成長法によるパルスドープ構造の形成 ・・・・ 40
3-3-3 素子の作製(Rapid Thermal Annealを用いた活性化 ・・・・・・ 41
3-3-4 短チャンネル効果の高濃度層厚依存性 ・・・・・・・・・・ 46
3-4 新LDD構造による短チャンネル効果の抑制 ・・・・・・・・・・ 48
3-4-1 p層埋め込み構造とは・・・・・・・・・・・・・・・・・・・ 48
3-4-2 LDD構造とは ・・・・・・・・・・・・・・・・・・・・・・ 49
3-4-3 新LDD構造の提案 ・・・・・・・・・・・・・・・・・・・・ 50
3-4-4 新LDD構造の作製方法 ・・・・・・・・・・・・・・・・・・ 51
3-4-5 新LDD構造による短チャンネル効果の抑制 ・・・・・・・・・ 53
3-5. 結　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・ 55
3-6. 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・ 57

第4章 パルスドープ構造による電子輸送特性の改善
4-1 緒　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・ 60
4-2 高濃度薄層半導体におけるバンド構造 ・・・・・・・・・・・・ 61
4-2-1 パルスドープ構造 GaAs ・・・・・・・・・・・・・・・・・ 62
4-2-2 シュブニコフ・ド・ハース(SdH)振動 ・・・・・・・・・・・ 62
4-2-3 パルスドープ構造GaAs のSdH振動 ・・・・・・・・・・・・ 63
4-3 半導体中の電子移動度と飽和速度 ・・・・・・・・・・・・・・ 66
4-3-1 パルスドープ構造の電子移動度・・・・・・・・・・・・・・ 67
4-3-2 パルスホール効果による高電界輸送特性評価・・・・・・・・ 70
4-3-3 パルスI-V測定による高電界輸送特性評価 ・・・・・・・・・ 72
4-4 ダブルパルスドープ構造による電子輸送特性の改善 ・・・・・・ 73
4-4-1 ダブルパルスドープ構造・・・・・・・・・・・・・・・・・・ 73
4-4-2 ダブルパルスドープ構造GaAs MESFET・・・・・・・・・・・ 75
4-5 結　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・ 78
4-6 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・ 80

第5章 GaAs MESFETの高速、高周波特性
5-1 緒　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・ 84
5-2 素子の高速動作、高周波特性を表す指標 ・・・・・・・・・・・ 84
5-3 素子の評価技術 ・・・・・・・・・・・・・・・・・・・・・・ 87
5-4 素子の評価結果 ・・・・・・・・・・・・・・・・・・・・・・ 89
5-4-1 DC特性 ・・・・・・・・・・・・・・・・・・・・・・・・・ 89
5-4-2 高周波特性 ・・・・・・・・・・・・・・・・・・・・・・・ 91
5-4-3 考　　察 ・・・・・・・・・・・・・・・・・・・・・・・・ 93
5-5 サブ0.25 μm以下での特性解析 ・・・・・・・・・・・・・・・ 96
5-5-1 GaAs MESFETの寄生容量 ・・・・・・・・・・・・・・・・・ 97
5-5-2 寄生容量の影響 ・・・・・・・・・・・・・・・・・・・・・ 101
5-6 電子速度のオーバシュート効果 ・・・・・・・・・・・・・・・ 102
5-7 高速化、高周波化への方針 ・・・・・・・・・・・・・・・・・ 103
5-7-1 ゲート長の短縮 ・・・・・・・・・・・・・・・・・・・・・ 103
5-7-2 短ゲート長での素子構造の最適化 ・・・・・・・・・・・・・ 103
5-7-3 寄生抵抗の低減 ・・・・・・・・・・・・・・・・・・・・・ 104
5-7-4 寄生容量の低減 ・・・・・・・・・・・・・・・・・・・・・ 104
5-7-5 材料の選択 ・・・・・・・・・・・・・・・・・・・・・・・ 105
5-8 結　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・ 106
5-9 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・ 107

第6章 GaAs MESFETの雑音特性

6-1 緒　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 112

6-2 雑音指数とは ・・・・・・・・・・・・・・・・・・・・・・・・ 113

6-2-1 雑音指数を決める要因 ・・・・・・・・・・・・・・・・・・ 115

6-2-2 Rs, Rgの低減方法 ・・・・・・・・・・・・・・・・・・・・ 118

6-2-3 Kfの低減方法 ・・・・・・・・・・・・・・・・・・・・・・ 120

6-3 雑音指数の評価方法 ・・・・・・・・・・・・・・・・・・・・・ 120

6-4 パルスドープ構造による低雑音化 ・・・・・・・・・・・・・・・ 122

6-4-1 素子の作製方法・・・・・・・・・・・・・・・・・・・・・・ 122

6-4-2 雑音特性のチャンネル厚依存性・・・・・・・・・・・・・・・ 123

6-4-3 チャンネル層の薄層化の効果・・・・・・・・・・・・・・・・ 126

6-5 12 GHz帯低雑音MMICへの応用・・・・・・・・・・・・・・・・・ 128

6-6 低雑音化への方針 ・・・・・・・・・・・・・・・・・・・・・・ 130

6-6-1 ゲート長の短縮 ・・・・・・・・・・・・・・・・・・・・・・ 130

6-6-2 寄生抵抗、寄生容量の低減 ・・・・・・・・・・・・・・・・・ 131

6-6-3 素子構造の最適化 ・・・・・・・・・・・・・・・・・・・・・ 131

6-6-4 材料の選択 ・・・・・・・・・・・・・・・・・・・・・・・・ 132

6-7 結　　言 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 132

6-8 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 134

第7章 結　　論

7-1 本研究の総括 ・・・・・・・・・・・・・・・・・・・・・・・・ 140

7-2 今後の課題 ・・・・・・・・・・・・・・・・・・・・・・・・・ 140

7-3 参考文献 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 143

謝　　辞 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 145

関連発表論文

本論文内容に直接関わる著者発表論文 ・・・・・・・・・・・・・・ 147

その他論文 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 148

本論文内容に直接関わる国際会議発表 ・・・・・・・・・・・・・・ 149

その他国際会議発表・・・・・・・・・・・・・・・・・・・・・・・ 151

第1章　序　　論

1-1 本研究の背景

半導体電子デバイスは、1947年にBardeenらにより発明されたGe点接触トランジスタによって開発の幕が開いた。その直後、接合型トランジスタが開発、製造され、1960年には後の集積回路(IC)の基盤となるプレーナプロセスが発表された。その後半導体デバイスの進歩は目覚ましく、Si MOSFET (Metal Oxide Semiconductor Field Effect Transistor)を中心にして、今日の情報化社会を築く礎として必要不可欠な存在に成長した[1]。この間のICの集積度の進歩も著しく、1960年から1980年にかけては年率２倍の速度で進み、1995年のIEEE International Solid-State Circuits Conference (ISSCC)ではついに1GbitのDRAM (Dynamic Random Access Memory)が発表されるに至った[2,3]。

現在のICはそのほとんどがSiを素材として構成されている。これはICの基本素子であるトランジスタが、安定な表面酸化膜をゲート酸化膜とするMOSFETで構成されるという優位性に負うところが大きい[4]。

一方、化合物半導体とりわけGaAsは、その優れた電子物性によりポストSi材料として古くから注目され研究が進められてきた。

GaAsの特長を挙げると以下のようになる。

１）Siは共有結合性結晶であるが、GaAsはイオン結合性が強い結晶である。

２）バンド構造もSiが間接遷移型であるのに対して直接遷移型であり、このことは発光素子と電子素子を集積化したOEIC (Opto-Electric IC)の実現をも可能にする。

３）電子移動度がSi の約6倍の4000cm^2/Vsec(ドーピング濃度1×10^{17}/cm^{3}の時）を示す。このことが低消費電力化や高速化に優位に働く。

４）エネルギーギャップが1.42 eV とSiの1.12 eVに比べて広いため、深い準位を利用することで抵抗率10^7～10^8 Ωcmの半絶縁性の基板が得られる。このことは集積化の際の素子間分離を容易にするとともに、配線容量の低減にも寄与している。
またSiより高温動作が可能である。

５）伝導帯バンド構造に起因して負の微分移動度を生じる。この効果を利用してGunn発振器などのTELD (Transferred Electron Logic Device)が実現可能である。

６）3元あるいは4元の混晶の組成比を変えることにより、基板と格子整合を取りつつヘテロ接合（異種間半導体接合）を作ることができる。この特長は半導体レーザなどの光デバイスやHEMT(High Electron Mobility Transistor)やHBT(Heterojunction Bipolar Transistor)などの電子デバイスやいわゆるエネルギーギャップ工学(gap engineering)に利用されている。

７）耐放射線特性に優れる。このことは宇宙や原子炉などの環境下での使用を可能にしている。

GaAsの電子デバイスとしての利用は、マイクロ波帯から始まった。電子の谷間遷移効果を用いたGunn発振器[5]や、低雑音および高出力特性を活かせるショットキーゲート型電界効果トランジスタ(MESFET)である。最初のGaAs MESFETは、1966年カリフォルニア工科大のMeadにより報告された[6]。そして早くも1970年代にはマイクロ波帯の増幅器として実用化された。GaAs MESFETは主に軍事用／宇宙用として米国を中心に開発が進み、現在では60 GHzを越えるミリ波帯まで適応できる素子が実現されている[7]。

一方、集積回路としては1974年にはHewlett-Packard社より最初のGaAs MESFET論理ゲートICが報告された[8]。続いて集積度向上を目指した選択イオン注入技術とプレーナ技術の開発が行われ、この技術にはRockwell社が先導的役割りを果たした[9]。選択イオン注入による動作層の形成は、エピタキシャル動作層に比べ均一性に優れ、数種類のしきい値電圧が同一基板上に実現できること、素子間分離の容易さ、プレーナ化による配線の段差切れ防止に有効であることより、今日のGaAs ICの基本技術となっている。

さらにこの技術はMESFETの高性能化、高均一化を目指したソース／ドレイン領域の自己整合（セルフアライン）技術に発展していく[10,11]。セルフアライン技術は特にノーマリオフ型（またはエンハンスメント型とも言う）のMESFETの特性向上に有効であり、これによりDCFL(Direct Coupled FET Logic)型LSI回路が実現された。そして日本を中心にSi ICの置き換えを目的として高速メモリICの開発が盛んに行われた。GaAsの場合には

半絶縁性基板を使うために、SiのようなDRAMは実現が困難でありSRAM(Static Random Access Memory)を中心に開発が進められた。GaAsの高速性／低消費電力性を保ち集積度を上げるために回路形式にはDCFLが採用された。そして試作レベルでは16K SRAMまでが実現されたが[12,13]、集積度、コスト、平均したアクセス時間などの点でSi ICとの明確な優位性を示すことができなかった。GaAsの場合、Siのような安定な自然酸化膜が得られないためMOS構造が実現できず、MESFETでは論理振幅が大きく取れない。そのため回路の動作余裕度は、しきい値電圧(Vth)のばらつきに弱い。これが後のICの集積度に大きな差を産み出した一因である。これ以外にもウェハの結晶としての不完全さに基づくMESFETの特性ばらつきやSiウェハとの口径差も原因である。

GaAs電子デバイスが一般の民生機器に広く使われるようになったのは衛星放送(DBS:Direct Broadcast Satellite)受信用のコンバータとしてであろう。12 GHzという高周波帯を使用するDBSにはGaAs MESFETの持つ高速性と低雑音性がいかんなく発揮された。特に1980年に発明されたAlGaAs/GaAsヘテロ接合を利用したHEMT(High Electron Mobility Transistor)[14]は、当時のMESFETよりもはるかに優れた低雑音性を示し、月産数百万チップのオーダで出荷されてきた。

さらに最近では、TVチューナ、ファイバを使った光通信分野(155 Mbps-2.48 Gbps)、移動体通信／携帯電話(800 MHz-1.9 GHz)に代表される無線通信分野においてもGaAsデバイスは注目を集めている[15−17]。 TVチューナ部では低雑音／低歪み用のデュアル・ゲートFETにGaAsが採用されたのを始め、光通信では、大量の情報を高速で処理することが必要なため発光素子である半導体レーザの駆動回路や、受光素子であるフォトダイオードの増幅回路や、信号処理を行うための各種回路にGaAs ICが採用されている。無線通信においても、出力段のパワー増幅器にGaAs MESFETが採用され低電圧駆動／低消費電力の特長を活かしバッテリーの寿命の向上に大きく寄与しており、受信部においては低雑音特性を活かしてRF増幅部にGaAs ICが採用されて始めている。これらの分野ではメモリのような大規模な集積回路は必要でなく、中／小規模な集積回路で十分である。しかしながらSiデバイスもバイポーラトランジスタによる高速化／低雑音化、

MOSFETによる高効率化を進めており性能面、価格面での競争が激化していくものと予想される。GaAsデバイスを広く世の中に浸透させるためには、GaAsデバイスが持つ高周波特性、低雑音特性、低電圧駆動／低消費電力特性を活かしつつSiを凌駕する高機能化、低価格化が必要と考えられる。

図1-1にGaAs MESFET/ICの開発の経緯を示す。

なお、詳細は次の参考文献に詳しい[18-22]。

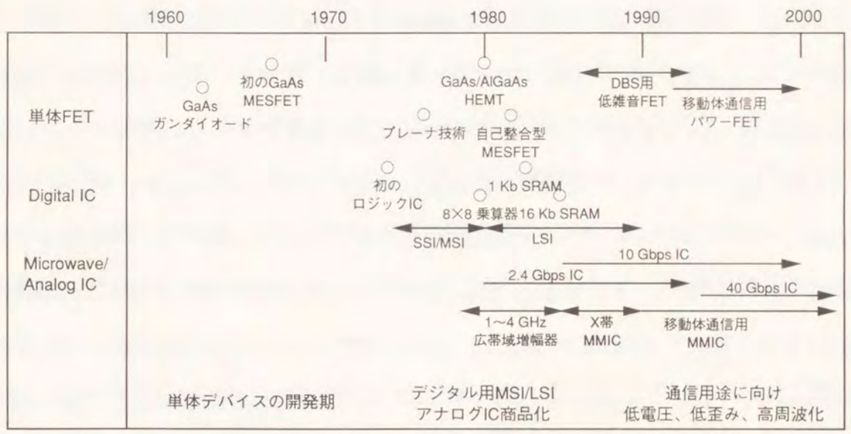


図 1-1 GaAs MESFET/ICの開発の経緯

1-2 本研究の目的

GaAs ICの市場はSi ICの置き換えというより、Si ICでは実現困難と考えられる領域を補完する領域にある。GaAs ICが広く世の中に浸透し産業の柱に成長するためには、その特性を活かし安価で安定に生産できる体制が求められる。そのためには最適な作製技術、素子構造の選択が必要である。

セルフアライン技術は、GaAs LSI実現のために必須の技術であったがMESFET単体や

Small Scale IC (SSI)/Medium Scale IC (MSI)クラスのICにとっても歩留り向上のために必要な技術である。　またGaAsデバイスの高速／高周波特性向上のためにはゲート長の短縮が必須である。しかし現在のリソグラフィ技術では0.5 μm以下のパターンを得るためには、電子ビーム露光や位相シフト法などの特殊な技術[23]を必要としコストやスループットの面で問題が残されている。

また、GaAs MESFETではゲート長を短縮していく際に「短チャンネル効果」が素子特性の向上、均一性を妨げる要因となっている。これらの問題を解決し、GaAs デバイスが安定に生産できる生産技術を確立することが必須である。

一方、特性の向上のためには電子が走行するチャンネルの最適設計も重要である。チャンネルの構造としては、MESFETはn型不純物をドープしたGaAs層を用いる。しかし低雑音素子や超高速素子として期待されてきたHEMTは、選択ドープしたAlGaAs/GaAs またはAlGaAs/InGaAs などのヘテロ接合を用いて、不純物が存在しない層をチャンネルに用いている。確かにHEMTの高速性、低雑音性は優れたものではあるが、何がこの特性をもたらしているのであろうか。HEMTが開発された当時は、選択ドープ構造による電子移動度の向上がその大きな理由とされてきた。しかし筑波大学の長谷川は、HEMTがMESFETよりも優れた特性を示す理由は、高電子移動度よりも空乏層の厚みの差によるものでないかと指摘した[24]。この論文をきっかけに応用物理学会誌でも、討論の広場で"高速電子デバイスのスイッチング速度の決定機構"という企画がなされたが、その当時は明確な結論を得るに至らなかった[25]。

「デバイス特性を決定している物理的機構」という基本問題を明確にすることは、GaAsを用いた電子デバイスの特性向上の設計指針になるはずである。

以上のことを踏まえ、本研究はGaAs 電子デバイスの適応分野である高周波領域と低雑音領域に最適なデバイス構造を研究する。そのため基本素子となるMESFETの作製技術、素子構造を開発し、作製された素子を評価、解析することによりこれまで必ずしも明らかにされていなかったGaAs MESFETの高速性、低雑音性の起因を明らかする。

1-3 本論文の構成

本論文は第1章から第７章までで構成されている。

第2章では、GaAs MESFETの作製方法について述べる。GaAsは表面準位が多いためにMESFETを形成した場合、表面空乏層の影響を受けソース領域／ドレイン領域での寄生抵抗が増加する。そのために寄生抵抗を低減するためのさまざまな構造および作製方法が開発されてきた。本論文では、再現性、均一性に優れたプレーナ型のデバイス構造作製を目的にして、ソース／ドレイン低抵抗領域をゲートに対して自己整合的に形成する自己整合プロセスの開発[26]を中心に述べる。

第3章では、素子の微細化を進めて行く際に問題となる「短チャンネル効果」の抑制について述べる。ゲート長の短縮化に伴い、「短チャンネル効果」によりFETのしきい値電圧が負側にシフトしピンチオフ特性が劣化すると共に、伝達コンダクタンス(gm)の低下などの特性劣化、しきい値電圧(Vth)のばらつき増大などの特性ばらつきを招く。本章では「短チャンネル効果」発生の要因を分析し、その抑制のため不純物濃度を深さ方向にパルス状に変化させた「パルスドープ」構造と呼ぶチャンネル構造採用による改善[27]と、新しいLDD(Lightly Doped Drain)構造によるソース／ドレイン領域の改善[28]について述べる。

第4章では、第3章で提案した高濃度薄層をパルス状に配した「パルスドープ」構造の電子輸送特性を述べる。高濃度層をMESFETのチャンネルに採用することは、不純物散乱による電子移動度の低下やドリフト速度の低下のため素子特性の劣化が懸念される。本章ではまず、シュブニコフ・ド・ハース振動測定により「パルスドープ」構造のバンド構造を調べた結果[29]を述べる。次にパルスI-V, パルスホール効果の測定により「パルスドープ」構造の高電界輸送特性を調べ、バルクに比べ優れた特性を示すことを明らかにした[30]。最後にこの良好な電子輸送特性が、パルスドープ構造特有のV型ポテンシャルを有するバンド構造に起因していることを述べる。

第5章では、製作したGaAs MESFETの高速／高周波特性について述べる。さらに本研究で開発された素子の特性を、MESFETに対して2～3倍高い電子移動度を有するHEMT

素子の特性と比較、解析することにより電界効果トランジスタの高速性を決める要因を明らかにする。さらに、微細素子で問題となる寄生容量について解析を行い、最後に高速、高周波化の指針について述べる。

第6章では、GaAs MESFETの雑音特性について述べる。本研究で提案したプロセスおよび「パルスドープ」構造を用いて作製したGaAs MESFETの雑音特性を解析した。高電子移動度を有するHEMTと従来のMESFETのチャンネルの厚みの差に着目して実験を行い、これまで必ずしも明らかでなかった電界効果トランジスタの雑音特性を決める要因について実験的に得た知見を述べる[31]。さらに素子の低雑音化の指針についても述べる。

第7章ではこれらの研究結果を総括し本研究の結論を述べるとともに、今後の問題点および残された課題について言及する。

1-4 参考文献

1) A. Toffler : "The Third Wave", William Collins Sons & Co Ltd, 1980

2) M. Horiguchi et al., "An Experimental 220 MHz 1 Gb DRAM", 1995 IEEE International Solid-State Circuits Conference, 14.5

3) H. Mori et al., "A 1 Gb DRAM for File Applications", 1995 IEEE International Solid-State Circuits Conference, 14.6

4) 例えば　徳山　巍著　"MOSデバイス", (株）工業調査会

5) J.B. Gunn, "Microwave Oscillations of Current in III-V Semiconductors", Solid State Comm., 1, No.4, pp.595-598, 1963

6) C.A. Mead, "Schottky Barrier Gate Field Effect Transistor", Proc. IEEE, 54, No.2, pp. 307-308, 1966

7) Milton Feng, and Joy Laskar, "On the Speed and Noise Performance of Direct Ion-Implanted GaAs MESFET's", IEEE Trans. on Electron Devices, Vol. 40, No.1, pp.9-17, 1993

8) R. Van Tuyl, and C.A. Liechti, "High-Speed Integrated Logic with GaAs MESFETs", ISSCC Dig. Tech. Paper, pp.114-115, 237, 1974

9) B.M. Welch and R.C. Eden, "Planar GaAs Integrated Circuits Fabricated by Ion Implantation", IEDM Tech. Dig., pp.205-208, 1977

10) N. Yokoyama, T. Mimura, M. Fukuta, and H. Ishikawa, "A Self-Aligned Source/Drain Planar Device for Ultla-High-Speed GaAs MESFET VLSI's", ISSCC Dig. Tech, Paper, pp.218-219, 1981

11) K. Yamasaki, K. Asai, and K.Kurumada, "GaAs LSI-Directed MESFET's with Self-Aligned Implantation for n^+-Layer Technology (SAINT)", IEEE Trans., ED-29, No.11, pp.1772-1777, 1982

12) M. Hirayama, M. Togashi, N. Kato, M. Suzuki, Y. Matsuoka, and Y. Kawasaki, "A GaAs 16-kbit Static RAM Using Dislocation-Free Crystal", IEEE Trans. ED-33, No.1, pp.104-110, 1986

13) H. Nakano, M. Noda, M. Sakai, S. Matsue, T. Oku, K. Sumitani, H. Makino, H. Takano, and K. Nishitani, "A high-speed GaAs 16Kb SRAM of 4.4 ns/2 W using triple-level metal interconnection", Techinical Digest in IEEE GaAs IC Symp., pp.151-154, 1990

14) T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Field-Effect Transistor with Selectively Doped GaAs/AlxGa1-xAs Heterojuctions", Jpn. J. Appl. Phys., 19, No.5, pp. L225-227, 1980

15) H. Mizukami, H. Ikedo, K. Ideno, T. Nagashima, and S. Yamada, "Low supply voltage GaAs ICs for a TV tuner," Inst. Phys. Conf. Ser., No.129: Chapter 11, pp.863-868, 1993

16) 多良 勝司, "移動体通信機器用 MMIC", 電子技術、1995-2, pp.29-34, 1995

17) 宮垣 克則、" 通信用高周波デバイス、新素子で、ひたすら低雑音、高出力へ、" 日経エレクトロニクス 1990. 6.4. pp.189-201

18)Paul Greiling, "The Histrical Development of GaAs FET Digital IC Technology", IEEE Trans. MTT-32, No.9, pp.1144-1155, 1984

19) "実用期に突入するGaAs LSIの技術", 日経マイクロデバイス、1985年春号　特別編集版、pp.25-34

20) Charles A. Liechti, "GaAs IC技術"、Semiconductor World, 1985, 5, pp.149-155

21) "新製品ラッシュのGaAs IC", 日経マイクロデバイス、1985年10月号　pp.154-159

22) "GaAsデジタルICの開発、SSIは市場へ、LSIは難題と格闘中", 日経エレクトロニクス、1987. 5.4. (no.420), pp.99-115

23) L.G. Studebaker, "Sub-0.2 Micron Gate Lithography Using E-Beam, X-Ray and Optical Technologies-An Overview", Technical Digest in IEEE GaAs IC Symp., pp.321-324, 1994

24) 長谷川 文夫、"HEMTはほんとうに高電子移動度トランジスタか？", 電子通信学会研究会、ED85-73, pp.25-32, 1985

F. Hasegawa, "Is HEMT really a high electron mobility transistor?", IEEE Trans. Electron Devices, Vol. ED-32, No.11, p. 2528, 1985

25) 長谷川、浜口、石橋、三村、長谷川、" 高速電子デバイスのスイッチング速度の決定機構"、応用物理　pp.359-385, 1988年

26) S. Nakajima, G. Ishii, Y. Saito, N. Kuwata, T. Fukuzawa, K. Koike,and H. Nishizawa, "Manufacturability of Dummy-gate Self-aligned LDD GaAs MESFETs for High Volume Production", Technical Digists of IEEE GaAs IC Symposium, pp.119-122, 1994

27) S. Nakajima, K. Otobe, T. Katsuyama, N. Shiga, and H. Hayashi, "OMVPE grown GaAs MESFETs with step-doped channel for MMICs," Technical Digest in IEEE GaAs IC Symposium, pp.297-300, 1988

28) S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Application", IEEE Trans, Microwave Theory and Tech., Vol.42, No.12, pp.2517-2524, 1994

29) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot electron transport in a pulse-doped GaAs structure", Semiconductor Science Technologies, Vol.7, pp.B372-274, 1992

30) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy", Applied Physics Letters, vol.57, No.13, pp.1316-1317, 1990

31) S. Nakajima, K. Otobe, N. Shiga, N. Kuwata, K.Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-Noise Characteristics of Pulse-Doped GaAs MESFET's with planar Self-Aligned Gates", IEEE Trans. Electron Devices, Vol.39, No.4, pp.771-776, 1992

第２章　ダミーゲート法による自己整合型MESFETの作製

2-1 緒　　言

GaAs MESFETはSiの高速デバイスと比較すると、ユニポーラでかつショットキーゲート型デバイスという点で製造工程が簡単である。そのためマスク枚数が少なくて済むという利点がある。表2-IにGaAs IC, Si CMOS IC, Si Bipolar ICの典型的なプロセスを比較した。

ウェハの口径ではSiの150 mm(6")Φに対して100 mm(4")Φと小さいが、同じ多層配線を用いてもマスクは3～7枚も少ない。そのため製造日数はSi デバイスに比べて短い。

表2-1 各デバイスを用いた場合のプロセス比較

GaAs MESFET	Si Bipolar	Si Bi-CMOS
100 mm S.I. Sub.	150 mm S.C. Sub.	150 mm S.C. Sub.
2-3 Metal Layers	2-3 Metal Layers	2-3 Metal Layers
13 Mask Layers	16 Mask Layers	20 Mask Layers

S.I. : Semi-Insulating, S.C. : Semi-Conductive

一方、GaAs デバイスはSiデバイスに比べて

・結晶自体にストイキオメトリに関する問題がある。

・プロセス中の熱処理で蒸気圧の高いAsが解離しやすい。

・結晶が極性を有しているためへき開性が強い。

・現在実用化されている結晶の口径が４" Φと小さい。

などの製造上の問題がある。GaAsは電気的特性、光学的特性の面でSiに対して様々な利点を持つが、化合物半導体であるが故に結晶性自体は不完全であり、まずこの点がデバイスを作製する上で均一性や再現性の問題となっている。

1985年頃から結晶を引き上げる際に入る転位とMESFETのしきい値電圧(Vth)の関係が

取りざたされ[1,2]、結晶の無転位技術が進んだ[3,4]。しかしその後の研究により転位そのものはVthと相関がなく、転位によって引き起こされるストイキオメトリのずれの方が影響することが明らかになってきた[5]。そして結晶引き上げ後のインゴットアニールという手法により転位を均一化することで、デバイス作製に適したウェハ作製技術が1980年代後半より確立されてきた[6,7]。

一方、デバイス作製技術の方も導電層の形成技術にイオン注入法が導入され、デバイス構造もプレーナ型の自己整合構造が開発された。また注入されたイオンを活性化するためのアニール技術（保護膜やアニール条件）の開発も進んだ。デバイスを作製する場合は生産性に優れたプロセスにより、優れた特性のデバイスを再現性よく均一に作り出すことが重要である。

本章では、まずMESFETの動作原理を概説しデバイス特性に影響を与える要因を分析する。次にこれまでに開発されてきた自己整合プロセスを概略し、それらの問題点を述べる。そして新たに開発した単層レジストをダミーゲートに用いた自己整合プロセスとその利点について述べる。

2-2 GaAs MESFETの構造と動作原理

GaAs の場合、Si の場合のSiO_2ような良質で安定な自然酸化膜が得られない。そのためSi MOSFETのように反転モードで動作するMOSFETやMISFET(Metal Insulator Semiconductor Field Effect Transistor)デバイスは実現されていない。またディプレッションモードで動作するMISFETでは、酸化膜とGaAs 界面に存在する多数の界面準位のためドレイン電流のドリフトやヒステリシスなどの問題があり[8,9]、現在では構造が単純なMESFETに主役が移っている。

図2-1にGaAs MESFETの模擬的断面構造を示す。半絶縁性基板上にイオン注入やエピタキシャル法によりチャンネルを形成し、その表面にはオーミック接合からなるソース／ドレイン電極、ショットキー接合からなるゲート電極が形成されている。ソース電極に対してドレイン電極に正の電圧を印加すると、電子がソースからドレインに向かって

流れる。ゲート電極の電圧を変化させることで、ゲートから延びる空乏層の厚みが変化しソース／ドレイン間電流を変調することができる。典型的なMESFETの電流／電圧特性を図2-2に示す。ドレイン電流(Id)がドレイン電圧(Vd)に対して増加する線形領域とVdにほとんど依存しない飽和領域に分けることができる。Vdを一定にして、ゲートに負の電圧を印加していくとチャンネルが狭まり、ついにはドレイン電流が流れなくなる。その時のゲート電圧をMESFETのしきい値電圧(Vth)と言う。

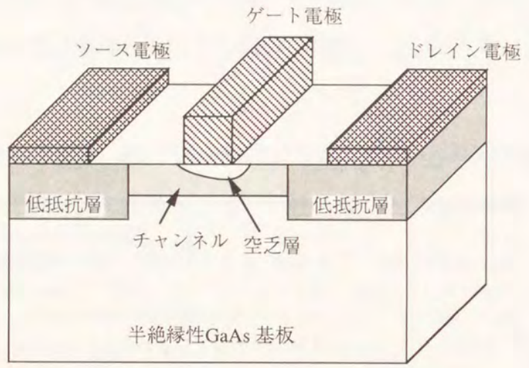


図2-1 GaAs MESFETの模擬的断面構造

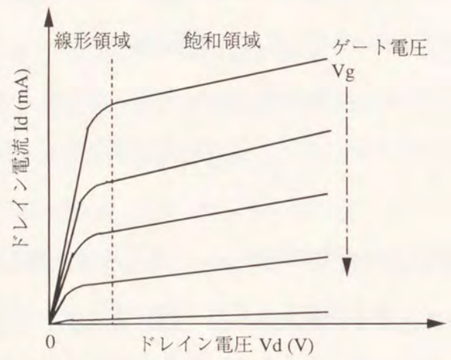


図2-2 代表的なGaAs MESFETの電流／電圧特性

MESFETの特性を表す重要なパラメータであるVthは次式で与えられる。

$$Vth=Vbi-(qN_Da^2/2\varepsilon^*\varepsilon_0)$$

ここでVbiは金属／半導体の接触電位差、N_Dはキャリア密度、ε^*は半導体の比誘電率、ε_0は真空の誘電率、aはチャンネル厚みである。高精度のVth制御のためにはキャリアプロファイルの正確な制御が重要である。このためエピタキシャル成長により導電層を形成する場合は厚みと不純物のドーピング量制御が、イオン注入法の場合は注入条件や注入後の活性化アニール条件の制御が重要である。

GaAs MESFETでは、表面準位の影響のために生じるソース／ゲート間あるいはゲート／ドレイン間の寄生抵抗低減も重要である。これは表面準位のため表面空乏層が導電層に拡がり電流通路を狭めるため、チャンネルとの間に直列抵抗が入ったのと等価になり十分な特性を引き出せなくなるからである。そのために表面準位の影響をなくす様々な構造が考えられた。

2-3 寄生抵抗低減のための構造

図2-3に寄生抵抗低減のために開発された代表的な構造を示す。

まず(a)は、ゲート電極近傍のチャンネル部を掘り下げ寄生領域を厚く保ったリセス構造である[10]。(b)は、ソース／ドレイン電極をゲート電極の際まで近接させ、寄生抵抗部分を可能な限り低減した短電極間構造である[11,12]。(c)は、高濃度で深いn+領域をソース／ドレイン電極の下に形成した構造である[13]。(d)は(c)の構造をさらに改良し、ゲート電極に対して高濃度で深いn+領域を自己整合的に形成した構造である[14,15]。自己整合とは、それ以前の工程で形成したパターン構造を用いて自己のパターン構造を形成することをいう。MESFET特性のウェハ面内での均一性やウェハ間での再現性は、デバイスの高性能化や歩留り向上のために重要である。(a)のリセス構造では、リセス領域形成の際のエッチングばらつきによりチャンネル厚にばらつきが生じ、均一性や再現性に優れた素子を実現することは困難である。

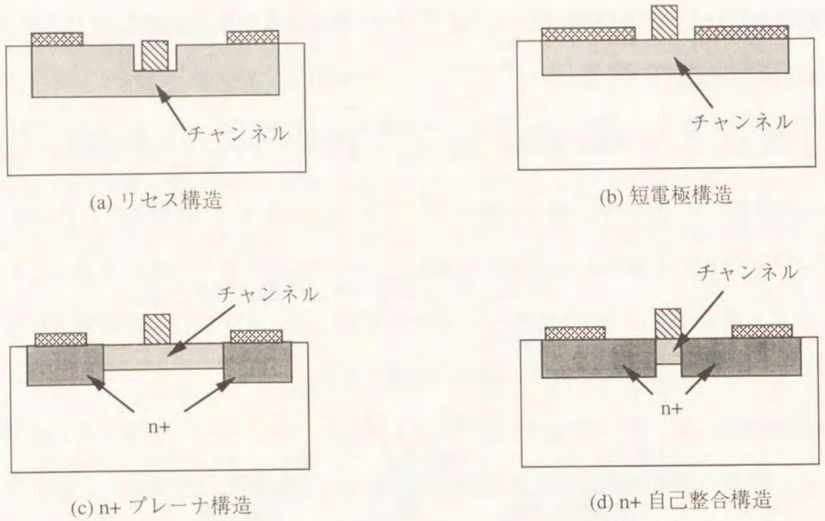


図2-3 寄生抵抗低減のための各種構造

そのためイオン注入を用いたプレナー型の構造が注目されるようになった。この構造では、(d)のような寄生抵抗低減のためソース側、ドレイン側のイオン注入領域をゲートに対して自己整合的に形成する構造が理想的である。この構造の実現のため大別して2種類のプロセスが提案されている。

2-3-1 耐熱ゲートを用いた自己整合プロセス

ひとつは高温でもGaAsと反応しないWSiなどの耐熱金属をゲート電極として用い、それをマスクにイオン注入を行いソース／ドレイン高濃度領域を形成するプロセスである[14]。このプロセスの作製工程を図2-4に示す。まず選択イオン注入によりチャンネルを形成する。次にWSiなどの耐熱性の金属をスパッタ法によりウェハ全面に形成し、ゲートパターンをフォトリソグラフィにて形成する。このパターンをマスクに反応性イオンエッチ(Reactive Ion Etch : RIE)にて耐熱性金属を加工する。加工後の耐熱金属をマスクに高濃度領域形成のためのイオン注入を行う。そしてSiO_2やSiONなどの絶縁膜でウェハ全面を覆い、注入されたイオンの活性化のためのアニールを行う。アニール温度としては

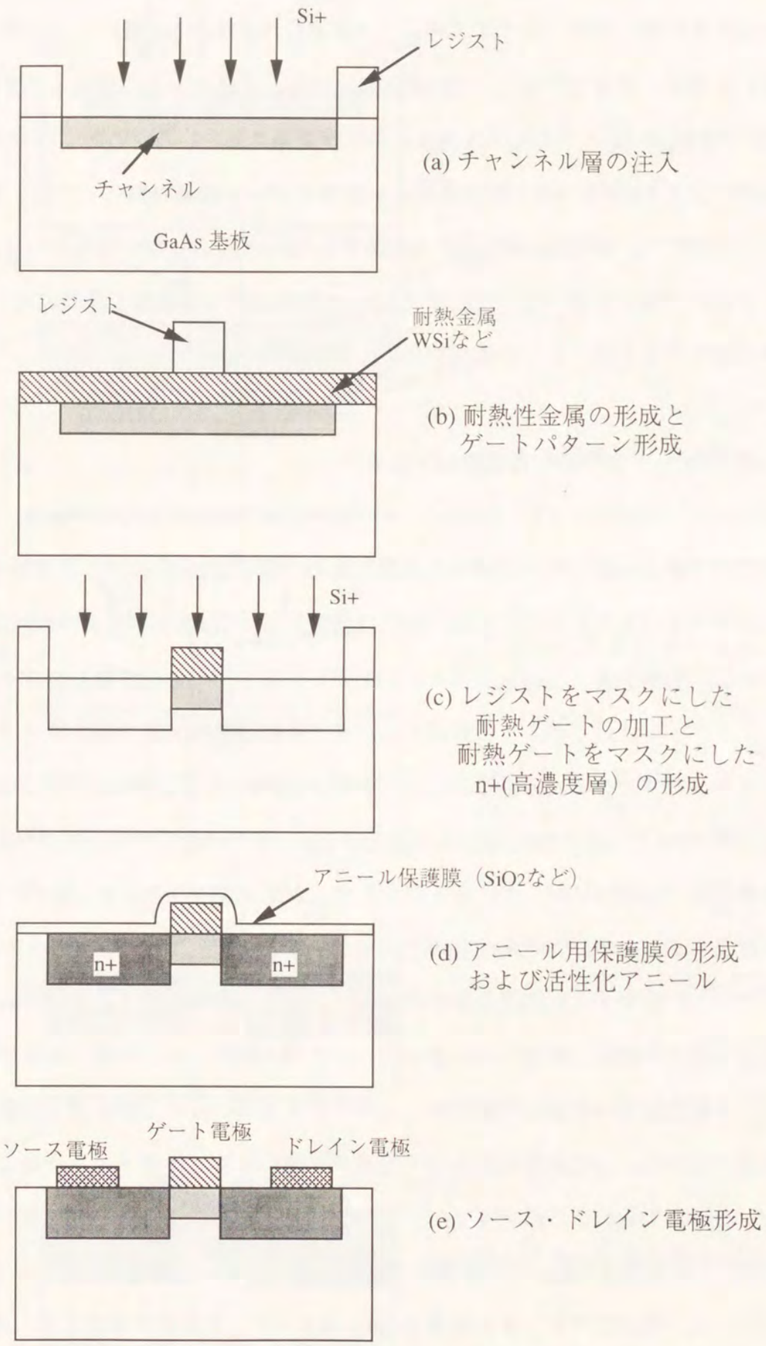


図2-4 耐熱ゲートによるGaAs MESFETの作製フロー

800～850℃である。最後にソース／ドレイン領域のパターンを形成し、AuGe系のオーミック金属を蒸着し合金化することでFETが完成する。耐熱ゲートの材料としては、WSiの他にWN[16], WAl[17], TiWN[18], WSiN[19]などが開発されている。このプロセスは簡便さからディジタルLSIを中心に採用された。しかしゲート金属材料としては、注入されたイオンの活性化に必要な800℃付近の高温でもGaAsと反応しない材料という限定がありゲート抵抗の増大を招いていた。またGaAsと耐熱金属との熱膨張係数の大きな差もアニールの際に歪みを起こし、活性化率の不安定要素の一因となっていた[20]。

2-3-2 ダミーゲートを用いた自己整合プロセス

もうひとつは、ダミーゲート（置換ゲート）プロセスと呼ばれるものである。このプロセスの代表であるSAINT[15]と呼ばれる作製工程の一例を図2-5に示す。まず選択イオン注入によりチャンネルを形成した後、表面保護膜としてSiN膜をプラズマCVD法によりウェハ全面に形成する。次にレジスト／SiO_2／レジストからなる３層レジストを形成する。ダミーゲートは以下のように形成する。まず中間層のSiO_2膜を最上層のフォトレジストパターンをマスクに反応性イオンエッチング(RIE)にて加工する。さらに最下層のフォトレジストをSiO_2をマスクにRIEにて加工する。この時RIEでのエッチング条件／時間を制御することでSiO_2に対して下層レジストにアンダーカットを入れ、T型のダミーゲートを形成する。上層レジストはこの工程で消失する。T型に加工されたパターン（ダミーゲート）をマスクに高濃度層形成のためのイオン注入を行う。この時SiO_2がイオン注入のマスクとなる。次にスパッター法によりSiO_2膜をウェハ全面に形成する。ダミーゲート上に形成されたSiO_2の膜質は、レジスト側壁部に付いた部分が多孔質（ポーラス）になっている。この性質を利用して緩衝フッ酸によるスライトエッチにより側壁部のSiO_2のみ除去する。さらにダミーゲートをリフトオフにより除去してダミーゲート部に開口パターンを形成する。この状態にて注入されたイオンの活性化アニールを行う。ソース／ドレイン領域のパターンを形成しAuGe系オーミック金属を形成する。最後にゲートパターンをSiO_2に重なるように形成し、Ti/Pt/Auのゲート金属を形成することで

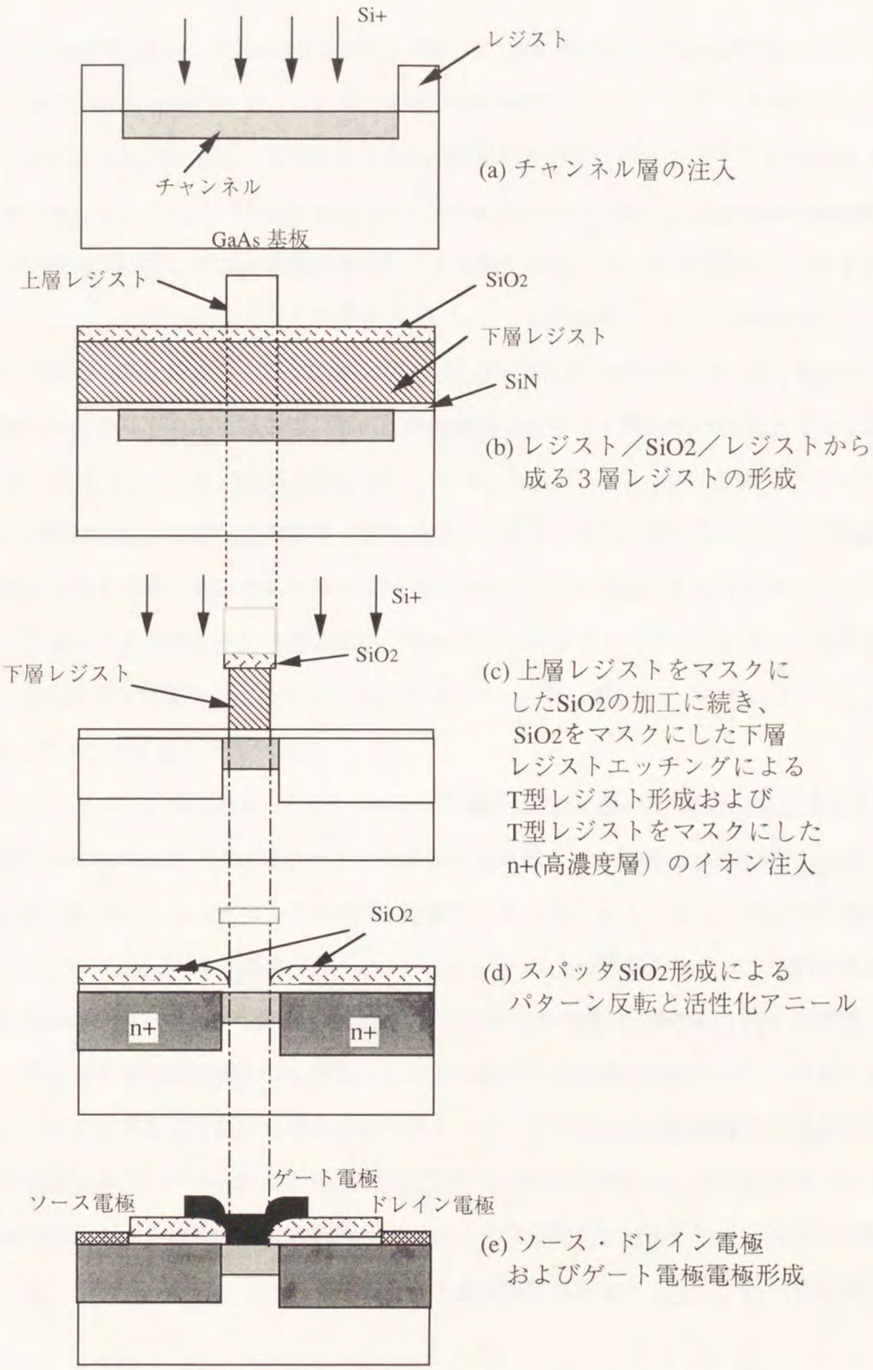


図2-5 ダミーゲート法(SAINT)によるGaAs MESFETの作製フロー

FETが完成する。ダミーゲート部に真のゲート電極が形成されていることがわかる。このプロセスではダミーゲート形成時に下層レジストにアンダーカットを入れるが、これは活性化アニールの際に高濃度領域が熱拡散によりゲート領域にまで拡がりゲート容量の増加を招くことを防ぐためである。ダミーゲートのプロセスとしては、他にSiO_2をダミーゲートとしてフォトレジストでパターン反転を行うもの[21]、SiN膜をダミーゲートとしてCVDで形成したSiO_2膜でパターン反転を行うものなど[22]がある。

SAINTプロセスの特長は、RIEにて下層レジストにアンダーカットを入れることである。そのため横方向拡散による容量の増加を招かず、かつ初期パターンをさらに短縮するので光学露光を用いても0.5 μm以下のゲート長が得られる。またアニール時にゲート金属が形成されていないため、耐熱性には優れないが低抵抗であるAu系の金属を選択できることなどがある。以上の特徴によりデジタル応用のみならず、ゲート抵抗の低減が要求されるアナログやマイクロ波の分野への応用にも適していると考えられる。

しかしこのプロセスは3層レジストを用いる複雑な工程のため生産性に問題があった。

2-4 生産性、制御性に優れた自己整合プロセス

特性の優れたGaAs MESFETを均一にかつ再現性よく作製するには、自己整合プロセスが必須である。本研究では前述した２つのプロセスからダミーゲート法を選択し、更に工程を簡略化することを考えた。

これは、GaAs MESFET, ICの今後の応用分野はSiのようなディジタルLSIではなく、アナログやマイクロ波の分野になると考えたからである。このような分野では、ゲート抵抗の低減化が必要であるが、ダミーゲート法の場合は耐熱ゲート法と異なりゲート金属の選択が自由である。さらにマイクロ波帯での特性向上には、ゲート長の短縮が必須であるが、ダミーゲート法では光学露光とエッチング技術を組み合わせることで、短ゲート長化を容易に実現できる可能性があるからである。

2-4-1 単層レジストを用いたダミーゲートプロセス

工程の簡便化のためにダミーゲートとしては、SAINTの3層構造T型レジストに替えてフォトレジスト単層を用いることを考えた。

この場合、次の点を考慮しなければならない。

1）ソース／ドレイン領域形成の際、イオン注入に対して十分な阻止能を有すること。

2）SAINTの３層レジストのアンダーカットに相当するレジストの短縮工程を行えること。

3）ダミーゲートを真のゲートと置き換えるためダミーゲートパターンを反転させなければならないが、その際に反転させる材料と十分なエッチング選択比があること。

フォトレジストは、ある厚み以上では注入イオンに対して十分な阻止能を有し、酸素プラズマにより容易にエッチング可能である。またパターン反転にSiO_2を用いた場合、緩衝フッ酸に対してエッチングの選択性が大きくとれる。

2-4-2 イオン注入に対する阻止能

注入イオンの不純物分布は、LSS理論をもとに深さ方向にはガウス分布で近似しピーク位置(Rp)と標準偏差(ΔRp)で決定できる曲線で表される。各種イオンのRpやΔRpはGibbonsらの「Projected Range Statistics」に記載されている[23]。

選択注入マスクに用いる被膜の厚さは、(Rp+3ΔRp)以上が目安となる。フォトレジストの200 KeVの加速エネルギのSiイオンに対するRpは0.9082 μm, ΔRpは0.1339 μmであるから、フォトレジストの厚みを1.31 μm以上に設定することでSiイオンに対しては200 KeVの加速エネルギまで阻止することができる。フォトレジストの厚みは、フォトレジストの粘度(Cpで表される）と塗布時の回転数を調整することで所望の値が得られる。

本研究ではヘキスト社のAZ-5214を4100rpmで塗布することにより、1.60 μmの厚みを得ている。

2-4-3 ダミーゲートの加工

フォトレジストは、酸素プラズマによりエッチングできる。レジスト膜をC_xH_yと表すと反応式は次のようになる。

$$C_xH_y + O \rightarrow CO_2 + H_2O$$

そのためエッチングを組み合わせることにより光学露光で得たパターンをさらに短縮でき、光学露光の限界を越えた微細パターンの形成が可能になる。ここで重要なことはレジストの縦方向、横方向をできる限り同じ速度（等方性）でエッチングすることである。縦方向（つまり厚み）はイオン注入の阻止能に関係し、横方向は後のゲート長に関係する。

そのため、制御性に優れた平行平板型プラズマ装置を用いた。装置の概略を図2-6に示す。酸素ガスの圧力を最適化することにより等方性エッチングの条件が得られ、RFパワーを最適化することにより制御性のよいエッチング特性が得られた。図2-7にエッチング時間とレジストの縦／横方向のエッチング量の関係を示す。縦／横方向共100Å/minの速度でエッチングされ、制御性も±10％以内である。

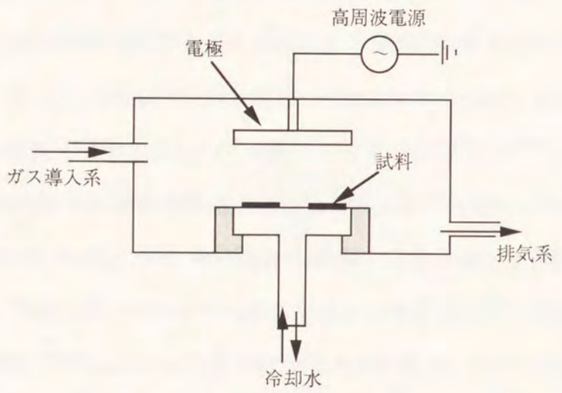


図2-6 平行平板型プラズマエッチング装置の概略

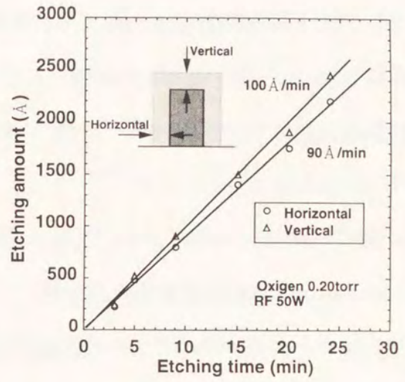


図2-7 フォトレジストのエッチング特性

2-4-4 パターン反転工程

ダミーゲートパターンを反転する絶縁膜はSiO_2が適している。これは後工程（ゲートの窓開け）で下地のSiN膜（アニールの際の保護膜）をCF_4ガスでエッチングする場合、エッチングの選択比が大きく取れるためである。なおダミーゲートのフォトレジストは熱に弱いために、SiO_2の堆積には通常の熱CVDやPE-CVDなどの方法は使用できない。一方、スパッタ法[24]やECR(Electron Cyclotron Resonance)-CVD法[25]は比較的低温で良質な絶縁膜が形成でき、膜質に方向性を有するためフォトレジストなどのパターン上にデポした際、側壁と平面部分の膜質差をつけることができる。パターン反転では緩衝フッ酸でのスライトエッチにより側壁の膜のみを除去し、ダミーゲートをリフトオフするが、この時に十分な選択比が必要となる。もし十分な選択比が取れなければ、残るべき絶縁膜の膜厚が薄くなったりリフトオフした部分にバリが生じる。膜厚が薄くなると、後のFETの作製工程で述べるが、ゲート金属がパターン反転に用いた絶縁膜に重なることにより生ずるMIS容量の増大を招く。またバリが生じると金属膜の付きまわりが悪くなり断線が生じる場合がある。

パターン反転を良好に行うため、ダミーゲートとして用いたレジストに対しては露光

条件、現像条件などを最適化することにより、側面をできる限り垂直にして矩形に近い形状に制御した。またレジスト側壁部とウェハ面上での膜質の差を大きくするために、SiO_2の形成には基板側にもRFバイアスを印加するバイアススパッタ法を用いた。このため、側壁部と平面部に形成されたSiO_2膜の緩衝フッ酸（$NH_4F:HF=120:1$)に対するエッチングレートは10倍以上の差がある。

図2-8にn+工程での、初期パターンからパターン反転までのダミーゲートの走査電子顕微鏡(Scanning Electron Microscope : SEM)による断面写真を示す。初期のパターンは矩形を示し、酸素プラズマエッチングによりパターンが縮小され、最後はSiO_2膜により正確に反転されている様子がわかる。

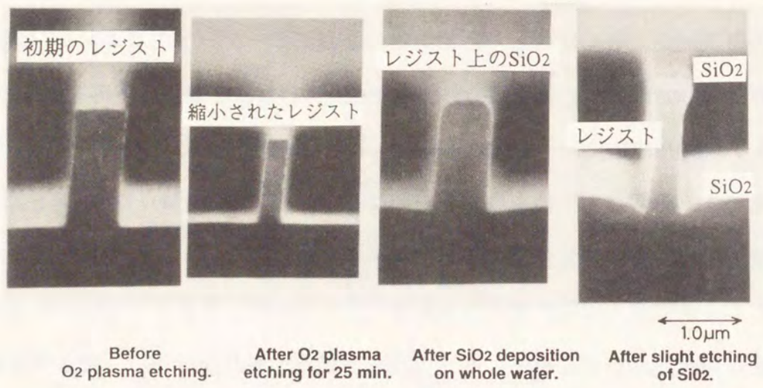


図2-8 パターン反転工程でのダミーゲートの断面写真

2-5 MESFET作製プロセス

以上の技術を組み合わせたプロセスをGaAs MESFETの作製に適応した。

図2-9に主要な工程図を示す。「短チャンネル効果」抑制のため、チャンネルは次章で述べるp層埋め込み構造を、ソース／ドレイン領域はLightly Doped Drain (LDD)構造を採用している。

ウェハを洗浄し、まずフォトリソグラフィーのための合わせマークを基板中に作り込んだ後、フォトレジストをマスクに半絶縁性基板に選択イオン注入によりチャンネルを形成する。さらにGaAsの表面保護のためにPE-CVD法によりSiN膜 800Åを形成する（図2-9-a）。

次にSiN膜の上にダミーゲートとなる厚さ1.6 μmのフォトレジストパターンを形成する。このフォトレジストをマスクに高濃度層(n+層)形成のためのイオン注入を行う（図2-9-b）。

次に先程述べた酸素プラズマによるエッチングにより、フォトレジスト（ダミーゲート）パターンの短縮を行う。その後中間濃度層(n'層)形成のためのイオン注入を行う（図2-9-c）。

ダミーゲートのパターンを正規のゲート電極と置換するためにダミーゲートの位置に開口部を形成する（これをパターン反転と呼ぶ）。パターン反転は以下の手順で行う。ダミーゲートが形成されているウェハ全体にスパッター法でSiO_2膜を3000Å形成する（図2-9-d）。スパッター法では段差被覆性（ステップカバレージ）に優れた膜が形成できるが、基板側にもバイアスを印加すること（バイアススパッタ法）で段差の側壁に形成される膜質と平面上に形成される膜質を大きく違えることができる。つまり側壁部は非常に多孔性（ポーラス）な膜になり、平面上では緻密な膜が得られる。この性質を利用することでダミーゲートの側壁に付いた膜のみを除去する。緩衝フッ酸(HF:NH4F = 1:120)によりウェハ全体に形成したSiO_2膜をわずかにエッチングすれば、側壁のSiO_2はエッチング速度が早いため完全に除去され平面上のSiO_2のみが残ることになる。この状態でウェハをフォトレジストの溶剤であるアセトンに浸ければ、不要なフォトレジスト

とその上のSiO_2を除去することができる（図2-9-e）。

その後、注入されたイオンを活性化するための熱処理(800℃、20分、N_2雰囲気中）を行う。耐熱ゲートの様なGaAsと熱膨張係数が大きく異なる材料が存在しないため、安定した活性化が行える。

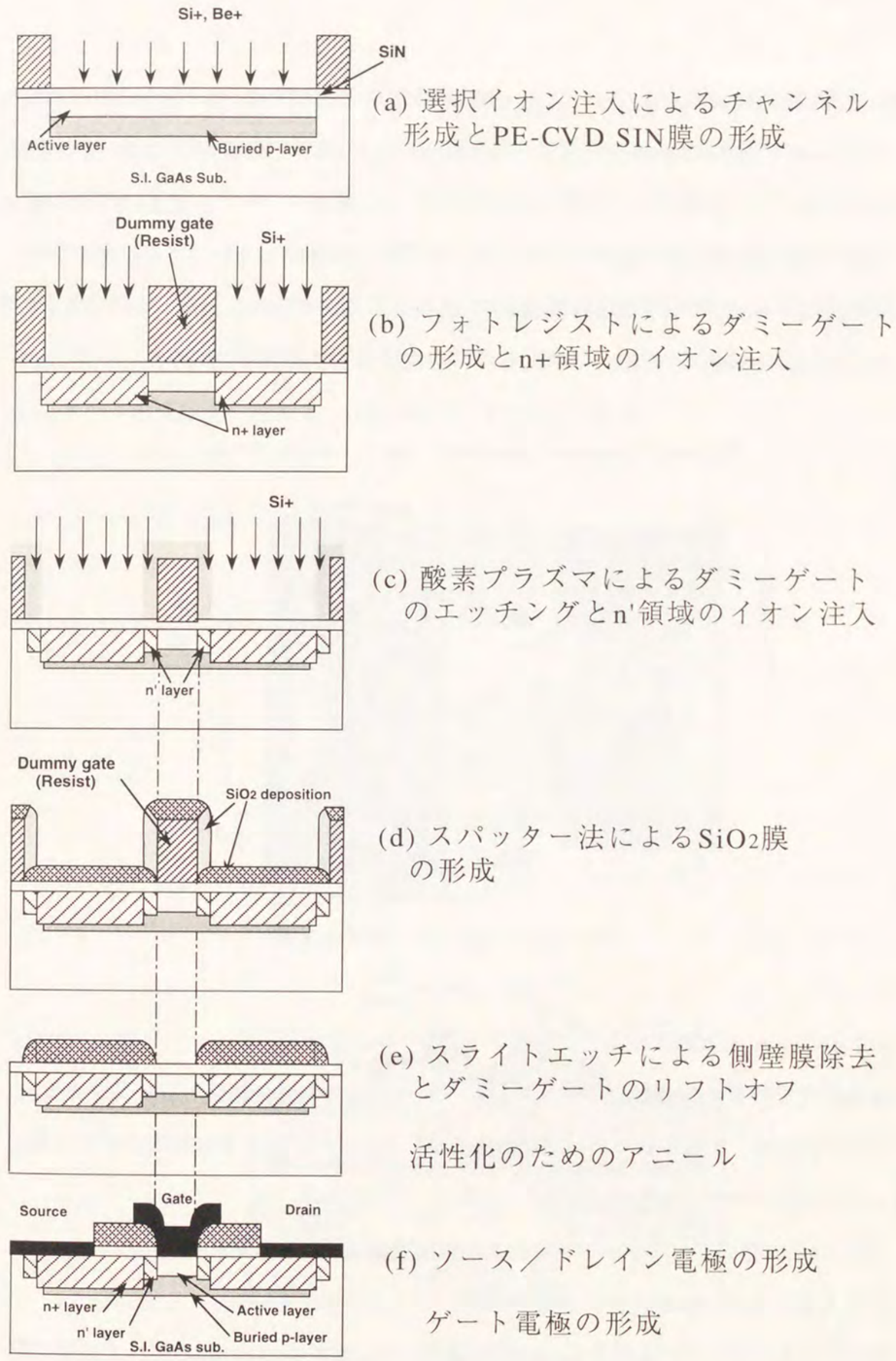
次にフォトリソグラフィによりソース／ドレイン電極パターンを形成して、反応性イオンエッチング(RIE)にてSiO_2/SiN膜をエッチングした後、AuGe/Niを蒸着しリフトオフにより不要な部分を取り除く。　そして合金化のために450℃、１分の熱処理を行う。

ゲート電極の形成には先ずフォトリソグラフィによりゲート電極パターンを形成する。この時、露光時の合わせ余裕を見込んでSiO_2の開口部より広いパターンを形成する必要がある。パターン形成後、CF_4を用いたRIEにて反転パターンを形成したSiO_2をマスクにSiN膜をエッチングする。この時にはRIEでのダメージによりGaAs表面が損傷を受け、ショットキー特性が劣化しないようエッチング条件を最適化することも必要である[26]。GaAs表面が露出した後、低抵抗金属であるTi/Pt/Auを順次蒸着し不要な部分をリフトオフすることでLDD構造を有するMESFETが完成する（図2-9-f）。

ダミーゲートの位置に正確に真のゲート電極が形成されているので、n^+, n'層をゲート電極に対して自己整合的に形成することができる。

SAINT工程のT型ダミーゲートでは、工程上LDD構造を得ることは困難である。また耐熱ゲートプロセスでは、LDD構造を得るには耐熱ゲートを加工した後にn'層の注入を行い、さらに絶縁膜により側壁を形成してn^+層のイオン注入を行う必要がある[27]。そのため工程数が増加するという欠点がある。その点、本研究で開発したプロセスでは、初期のパターンを酸素プラズマエッチングで短縮することによりLDD構造を形成できるため単純である。

またこのプロセスではダミーゲート（フォトレジスト）の短縮量(Lg-n+)やn^+, n'の形成条件は、MESFETの伝達コンダクタンスg_m, ドレインコンダクタンスg_d, ゲート／ドレイン間耐圧V_bなどの値が用途に応じて最適になるように考慮して設定する。例えばアナログ用にはLg-n+間を0.3 μmとし、g_mは少し低いがV_bが高くなるように設定している。



(a) 選択イオン注入によるチャンネル形成とPE-CVD SIN膜の形成

(b) フォトレジストによるダミーゲートの形成とn+領域のイオン注入

(c) 酸素プラズマによるダミーゲートのエッチングとn'領域のイオン注入

(d) スパッター法によるSiO_2膜の形成

(e) スライトエッチによる側壁膜除去とダミーゲートのリフトオフ

活性化のためのアニール

(f) ソース／ドレイン電極の形成

ゲート電極の形成

図2-9 単層レジストをダミーゲートに用いたGaAs MESFETの作製フロー

特に短縮量(Lg-n+)は、これらパラメータに影響を与えると考えられる。図2-10にはLgを一定にして実験的にLg-n+を変えて、Lg-n+がVbやgdに及ぼす影響を示した。ここでgdは図2-2において、任意のゲート電圧におけるドレイン電流のドレイン電圧に対する傾きであり（図2-10でのgdはVg=0 V, Vd=2.0 Vの条件）、Vbはゲート／ドレイン間に逆方向に電圧を印加していった場合にゲートに1μA/1μmの電流が流れるゲート電圧である。gdはFETの利得(gm/gd)を決定し、VbはFETに印加できる最大電圧を決定する。

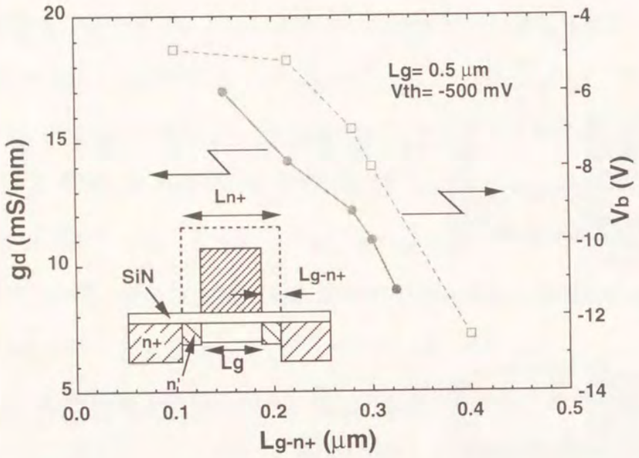


図2-10 Lg-n+がgdとVbに与える影響

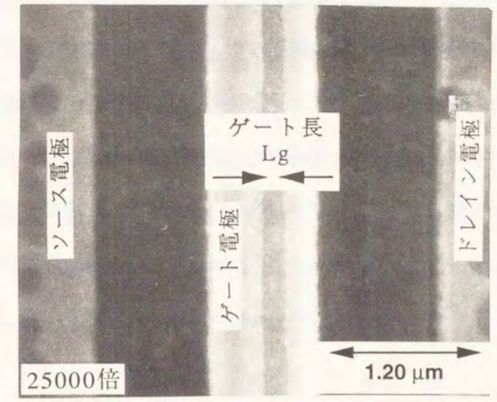
VbやgdはLg-n+に大きく依存していることがわかる。これらパラメータは特にアナログ回路の特性に影響を与えるものである。従って、Lg-n+は正確に制御する必要がある。本プロセスでは、工程中にウェハ状態のままでレジストパターンをSEMによりモニタできるため常にこの寸法を正確に制御することができる[28]。

このことはT型のダミーゲートプロセスや絶縁膜側壁を用いる耐熱ゲートプロセスに比べて大きな利点となる。

またフォトレジストの短縮量(Lg-n+)を片側0.3 μmに選べば、0.3 μmのゲート長は初期のレジストパターンが0.9 μmから得ることができ、光学露光を用いても光学露光の限界

を越えた微細なゲート長を実現することができる。このことは、GaAs MESFETの高速性向上に不可欠である。実際に作製した0.3 μmゲート長を有するMESFETのSEM写真を図2-11に示す。

本プロセスはサブ0.5 μmのMESFETのゲート長までも再現性／均一性よく作製するのに適している。実際に0.5 μmのゲート長を有するMESFETは、Vthの面内ばらつきが20 mV以下、ウェハ間でのばらつきも30 mV以下という優れた均一性と再現性を有し、5Gbpsクラスの光通信に対応できる各種ICの生産に実用されている。



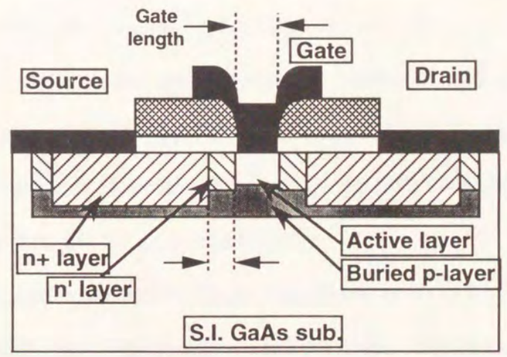


図2-11 0.3 μmゲートを有するGaAs MESETのSEM写真

2-6 結　　言

寄生抵抗の低減とIC実現に不可欠であるプレーナ型のGaAs MESFETを作製するため、改良ダミーゲート法による自己整合プロセスを開発した。

従来のダミーゲート法に比べフォトレジスト単層をダミーゲートに選択することにより、加工精度、プロセスの簡便さの点で優位であることが分かった。

平行平板型ドライエッチング装置を用いた酸素プラズマによるエッチングによりダミーゲートの精密な加工が可能となった。

バイアススパッタ法により形成したSiO_2によりダミーゲートパターンを正確に反転することで高濃度層(n+)／中間濃度層(n')をゲート電極に対して自己整合的に形成し、LDD構造GaAs MESFETを実現することができた。

このプロセスはn+やn'層の幅、ゲート長を正確に制御することが可能なため、従来から問題になっていたMESFETの特性ばらつきを著しく低減することも成功した。さらに、素子特性の向上に必須なゲート長の短縮に関しても、通常の光学露光を用いて光学露光の限界を越える0.5 μm以下の微細ゲートを形成できることを実証することができた。

2-7 参考文献

1) S. Miyazawa and Y. Ishii, "Dislocations as the Origin of Threshold Voltage Scattering for GaAs MESFET on LEC-Grown Semi-Insulating GaAs Substrate", IEEE Trans. Electron Devices, ED-31, pp.1057-, 1984

2) 宮澤 、笠原 、佐野 、江川 、中村 、上西 、長谷川 、"討論の広場、GaAs FET しきい値電圧を支配するもの", 応用物理、第56巻、第 1 号、pp.19-44, 1987年

3) K. Tada, S. Murai, S. Akai, and T. Suzuki, "Growth and Characterization of Dislocation-Free GaAs Mixed Cristal for IC Substrate", Technical Digest in IEEE GaAs IC Symposium, pp.49-52, 1984

4) 宮澤 信太郎、千川 圭吾、"FEC法によるGaAs無転位結晶成長技術", Semiconductor World 1985. 6, pp. 101-109

5) J. Kasahara, M. Arai, and N. Watanabe, "Extremely uniform threshold voltage distribution of GaAs FET made on LEC-grown crystals," Electron. Lett., Vol.21, No.22, pp.1040-1042, 1985

6) S. Miyazawa, T. Honda, Y. Ishii, and S. Ishida, "Improvement of crystal homogeneities in liquid-encapsulated Czochralski grown semi-insulating GaAs by heat treatment," Appl. Phys. Lett., 44 (4), pp.410-412, 1984

7) J. Kasahara, M. Arai, and N. Watanabe, "Threshold Voltage Uniformity of GaAs-FETs on Ingot-Annealed Substrates," Jpn. J. Appl. Phys., 25, pp.L85-86, 1986

8) T. Sugano, F. Koshiga, K. Yamasaki, and S. Takahashi, "Application of anodization in oxgine plasma to fabrication of GaAs IGFET's", IEEE Trans. ED, ED-27, pp.449-, 1980

9) N. Yokoyama, T. Mimura, and M. Fukuta, "Planar GaAs MOSFET integrated logic", IEEE Trans. Electron Devices, Vol. ED-27, pp.1124-, 1980

10) K. Ohata, K. Itoh, F. Hasegawa, and Y. Fujiki, "Super low noise GaAs MESFET's with a deep-recess structure, IEEE Trans. Electron Devices, ED-27, pp.1029-1034, 1980

11) M. Berth, M. Cathelin, and G. Durand, "Self-Aligned Planar Technology for GaAs Integrated Circuits", IEDM Tech. Dig., 1977, pp.493-496

12) T. Furutsuka, K. Takahashi, M. Ishikawa, S. Sano, and A. Higashisaka, "A GaAs 12×12 Bit Expandable Parallel Multiplier LSI using Sidewall-Assisted Closely-Spaced Electrode Technology", IEDM Tech. Dig., pp.344-347, 1984

13) F.S. Lee, R.C. Eden, S.I. Long, B.M. Welch, and R. Zucca, "High Speed LSI GaAs Integrated Circuits", Proc. IEEE Int. Conf. Circuits and Computers, pp.697-700, 1980

14) N. Yokoyama, T. Mimura, M. Fukuta, and H. Ishikawa, "A Self-Aligned Source/Drain Planar Device for Ultra-High-Speed GaAs MESFET VLSI's", ISSCC Dig. Tech. Papers, pp.218-219, 1981

N. Yokoyama, T. Ohnishi, K. Odani, H. Onodera, and M. Abe, "TiW Silicide Gate Self-Alignment Technology for Ultra-High-Speed GaAs MESFET LSI/VLSI's", IEEE Trans. Electron Devices, Vol.ED-29, No.10, pp.1541-1547, 1982

15) K. Yamasaki, K. Asai, and K.Kurumada, "GaAs LSI directed MESFET's with self-aligned implantation for N+ layer technology (SAINT)", IEEE Trans. Elecrton Devices, Vol.ED-29, pp.1772-1777, 1982

16) N. Uchitomi, Y. Kitaura, T. Mizoguchi, Y. Ikawa, N. Toyoda, and A. Hojo, "Refractory WN Gate Self-Aligned GaAs MESFET Technology and Its Application to Gate Array IC's", Extended Abstract of the 16th Conference on Solid State Devices and Materials, pp.383-386, 1984

N. Uchitomi, M. Nagaoka, K. Shimada, T. Mizoguchi, and N. Toyoda, "Characterization of reactive sputtered WNx films as a gate metal for self-alignment GaAs metal-semiconductor field effect transistors," J. Vac. Sci. Technol., vol. B4, no.6, pp.1392-1397, 1986

17) H. Nakamura, Y. Sano, T. Nonaka, T. Ishida, and K.Kaminishi, "A Self-Aligned GaAs MESFET with W-Al Gate", Techical Digest in 1983 IEEE GaAs IC Symposium, pp.134-137

18) A.E. Geissberger, R.A. Sadler, M.L. Balzan, and J.W. Crites, "TiW nitride thermally stable Schottky contacts to GaAs: Characterization and application to self-aligned gate field-effect transistor fabrication", J. Vac.Sci. Technol. B5 (6), pp.1701-1706, 1987

A.E. Geissberger, I.J. Bahl, E.L. Griffin, and R.A. Sadler, "A new refractory self-aligned gate technology for GaAs microwave power FET's and MMIC's, " IEEE Trans. Electron Devices, Vol.35, pp.615-622, 1988

19) K. Onodera, M. Tokumitsu, S. Sugitani, Y. Yamane, and K. Asai, "A 630-mS/mm GaAs MESFET with Au/WSiN Refractory Metal Gate", IEEE Trans. Elecron Device Lett. vol.9, No.8, pp.417-418, 1988

K. Asai, H. Sugawara, Y. Matsuoka, and M. Tokumitsu, "Refractory sputtered WSiN films suppresses As and Ga out-diffusion", J. Vac. Sci. Technol., vol.B6, pp.1526-, 1988

20) T. Otsuki, "Annealing behavior of implanted Si in semi-insulating GaAs in the presence of stress", J. Appl. Phys. 61(3), pp.928-932, 1987

21) M. Hagio, S. Katsu, M. Kazumura, and G. Kano, "A New Self-Align Technology for GaAs Analog MMIC's", IEEE Trans. Electron Devices, vol.ED-33, No.6, pp.754-758, 1986

22) T. Tambo, O.Ishikawa, H. Yagita, K. Inoue, T. Onuma, "Low-Noise GaAs MESFET by Dummy-Gate Self-Alignment Technology for MMIC", Technical Digest in IEEE GaAs IC Symposium, pp.49-52, 1987

23) J.F. Gibbons, W. S. Johnson, S. W. Mylroie, "Projected Range Statistics", Semiconductors and Related Materials 2nd edition, Halsted Press, Dowden, Hutchinson & Ross, Inc.

24) T. Serikawa and T. Yachi, "Lift-off Patterning of Sputtered SiO_2 Films," J. Electrochem. Soc.: Solid-State Science and Technology, Vol.128, No.4, pp.918-919, 1981

25) S.Shikata, H. Hayashi, H. Takahashi, and K. Yoshida, "Formation of Submicron Silicon-nitride pattern by lift-off method using ECR-CVD," Proceeding of the SPIE-The International Society for Optical Enginnering, Vol.797, pp.126-129, 1987

26) S.W. Pang, G.A. Lincoln, R.W. McClelland, P.D. DeGraff, M.W. Geis, and W.J. Piacentini, "Effect of dry etching on GaAs," J. Vac. Sci. Technol., B 1 (4), pp.1334-1337, 1983

Y. Yamane, K. Yamasaki, and T. Mizutani, "Annealing Behavior of Damage Introduced in GaAs by Reactive Ion Beam Etching," Jpn. J. Appl. Phys., Vol.21, No.9, pp. L537-538, 1982

27) S. Asai, N. Goto, M. Kanamori, Y. Tanaka, and T. Furutsuka, "A High Performance LDD GaAs MESFET with a Refractory Metal Gate", Extended Abstracts of the 18th Conference on Solid State Device and Materials, pp.383-386, 1986

28) S. Nakajima, G. Ishii, Y Saito, N. Kuwata, T. Fukuzawa, K.Koike, and H. Nishizawa, "Manufacturability of Dummy-gate Self-aligned LDD GaAs MESFETs for High Volume Production", Technical Digest in IEEE GaAs IC Symposium, pp.119-122, 1994

第3章　短チャンネル効果の抑制

3-1 緒　言

電子デバイスの特性向上のためにはデバイスの微細化が必須条件である。ゲート長が短かくなるとチャンネル内の電界が高くなり、電子はほぼ飽和速度で走行するようになる。最近では電子の走行距離が短い場合、電子が数多くの散乱を受ける前にチャンネル内を走行してしまうことにより、定常状態よりも早い速度で走行する「速度オーバシュート」を起こす可能性が指摘されている[1)]。この現象は散乱緩和時間の短いSiより、散乱緩和時間の長いGaAsに顕著に現われデバイスの性能をさらに向上させるのに役立つ[2)]。また電子の有効質量がGaAsの方が軽いことも、高電界の速度を高めることに寄与する。

さらにデバイスの微細化はデバイス自体の容量の低減につながり、デバイス自身のスイッチング速度を高めることに寄与する。ゲート端部のフリンジング容量のような寄生容量を除いて、MESFETの真性容量はゲート長に反比例して小さくなるからである。

しかしながら、単にデバイスを微細化していっても素子特性は思うように向上しない。これは「短チャンネル効果」によるためであり、GaAs MESFETのみならずSi MOSFETにおいても問題になっている。GaAs MESFETの場合、短チャンネル効果は半絶縁性基板へ流れる漏れ電流が原因である。

本章ではまず、GaAs MESFETでの短チャンネル効果とその要因について述べる。次に短チャンネル効果抑制のためこれまで試みられてきた方法を概説する。そして本論文の目的である高周波特性と雑音特性向上のために短ゲートデバイスの構造として、高濃度薄層($4\times10^{18}/cm^3$, 100 Å)をパルス状に配したパルスドープ構造とソース／ドレイン低抵抗層を多段にすると共に、この低抵抗層を囲い込むような反対の導電型を有する導電層を形成する新しいLDD (Lightly Doped Drain) 構造を提案し、その効果を実証する。

3-2 短チャンネル効果とは

GaAs MESFETにおいてゲート長を短縮していくと次のような現象が現われる。

・しきい値電圧(Vth)が負側にシフトする。

・ピンチオフ特性が悪くなりサブスレッショルド電流が増加する。

・伝達コンダクタンス(gm)が低下する。

この現象を「短チャンネル効果」と呼び、素子の微細化を阻む一因となっている。

図3-1に短ゲート長を有するGaAs MESFETの静特性を、図3-2にはVthのゲート長依存性の一例を示す。ゲート長が1.0 μmを切るあたりから負側へのシフトが顕著になっている。

また短チャンネル効果のため、ゲート長のばらつきに対応してVthもばらつくので素子特性の均一性を要求されるIC実現にも大きな障害となる。

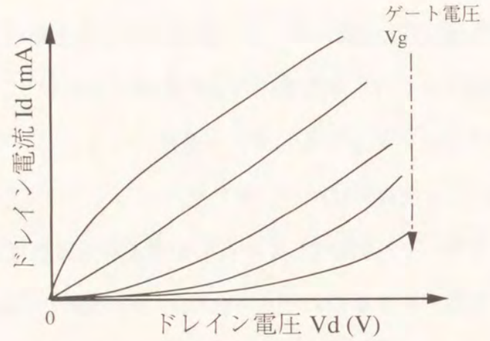


図3-1 短ゲートを有するGaAs MESFETの電圧／電流特性

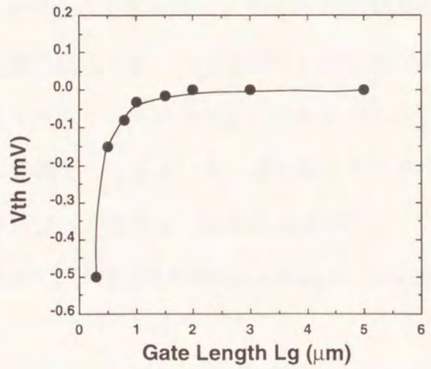


図3-2 GaAs MESFETのゲート長とVthの関係

3-2-1 短チャンネル効果の要因とこれまでの対策

短チャンネル効果の要因には次の２つが挙げられている。

１）チャンネルの２次元効果

ゲート長の短縮に伴い空乏層の形は矩形より半円に近づいてくる。空乏層の形が矩形の場合は、ソースからドレインに向かう水平方向の電界のみを考えればよい（グラジュアルチャンネル近似）。この近似が成り立つためには、チャンネル厚み(a)とゲート長(Lg)の比(a/Lg)は1/5より十分小さくする必要がある[3,4]。

この近似が成り立たなくなれば、空乏層の中では水平方向のみならず垂直方向の電界を考慮せねばならず、この垂直方向の電界によりチャンネル内の電子が基板側に流れ出し、Vthのシフト、ピンチオフ特性の劣化といった問題を引き起こす。この様子を図3-3に示した。

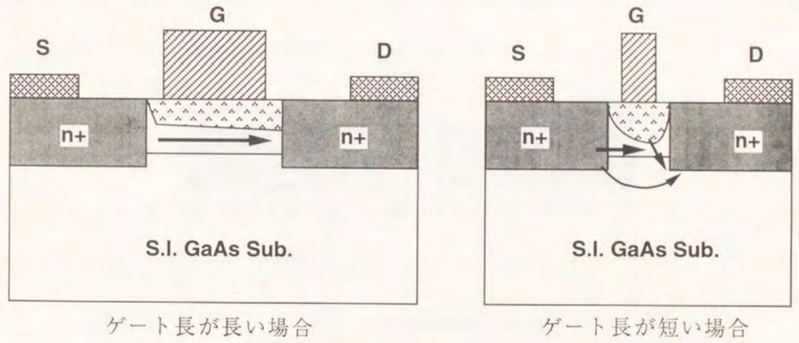


図3-3 短チャンネル効果の一要因である空乏層の変形（2次元効果）

この対策としてはチャンネルの薄層化が有効である。

UenoらはMBEにより形成した200 Å, $3.6\times10^{18}/cm^3$のGaAs層をMESFETのチャンネルに使用した[5]。Kuzuharaらは、SiF_2^+分子イオン注入により極浅チャネルを形成した[6]。またYamaneらは、Si^+の10 KeV注入にRTA(Rapid Thermal Anneal)による活性化アニールを

組み合わせることで極浅チャネルを形成した[7]。いずれの報告も短チャンネル効果が抑制され、サブ0.5 μm領域で良好な特性を得ている。

2）対峙するn+領域からの基板リーク電流

短チャンネル効果は、基板内部にn+層を形成した自己整合型のMESFETにおいて特に顕著である。これはゲート長の短縮と共に対峙するn+間隔も短縮され、n+領域から半絶縁性基板を伝わってリーク電流が流れるためである[8]。

このリーク電流を抑制するためにはn+層を浅くする構造が提案されたが、表面準位の影響を受けやすくなり寄生抵抗の増大を招きgmの低下につながる[9]。そのためにn+層の深さは変えずにn+層の導電型とは反対の導電型を示す層（n型に対してはp型）を埋め込むことで、p-n接合による電位障壁を設けることが提案された[10,11]。

この構造を図3-4に示す。この構造では、p層の形成は活性層と同時に行われるためチャンネルの下にもp層が形成され、チャンネルの薄層化にも有効である。

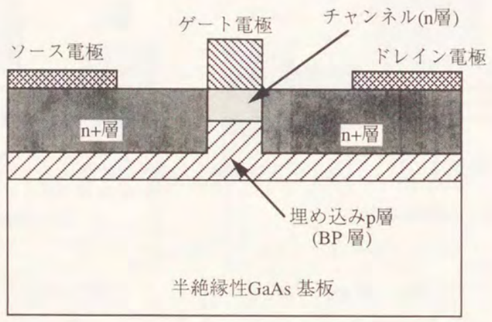


図3-4 埋め込みp層を有するGaAs MESFETの断面構造

3-3 パルスドープ構造による短チャンネル効果の抑制方法

3-3-1 パルスドープ構造

チャンネルの２次元効果が現われないようにするためにはa/Lg<1/5の関係を保てばよい。

これにはチャンネルを高濃度薄層化することが有効であるとされてきた[12]。

a/Lg=1/10としてゲート長0.25 μmのMESFETを考えた場合、チャンネルの厚みは250Å以下にしなければならない。この場合MESFETを動作させるために最低必要な不純物濃度(Ndmin)は、MESFETのショットキ障壁高（Φ）を0.7Vと仮定すると

$$Ndmin=2\varepsilon^{*}\varepsilon_{0}\Phi/qa^{2}=1.62\times10^{18}\ /cm^{3}$$

となる。ここでε^{*}は半導体の比誘電率、ε_{0}は真空の誘電率、qは電荷、aはチャンネル厚である。

ただしこの場合のVthは0 Vとなり、実際には電流密度がもっと要求される場合にはこれ以上の不純物濃度が必要となる。高濃度層をチャンネルに用いることはショットキー特性を劣化させゲート耐圧の低下も招く[13]。この様な現象はマイクロ波の応用ではゲートリーク電流増加によるノイズ特性の劣化、耐圧の低下による高出力特性の劣化を招き、またデジタルの応用では論理振幅が低下し回路の動作余裕が減少することが考えられる[14]。実際、これまでの薄層チャンネルを用いたGaAs MESFETはショットキー障壁高が低くゲート耐圧も低いため、その応用分野は限られている。

そこで本研究では短チャンネル効果低減のために高濃度で薄層化したチャンネルを用いると共に、ショットキー特性を劣化させないために高濃度層の表面側に低濃度層を設ける「パルスドープ」構造を採用した。

パルスドープ構造の断面図と不純物分布を図3-5に示す。

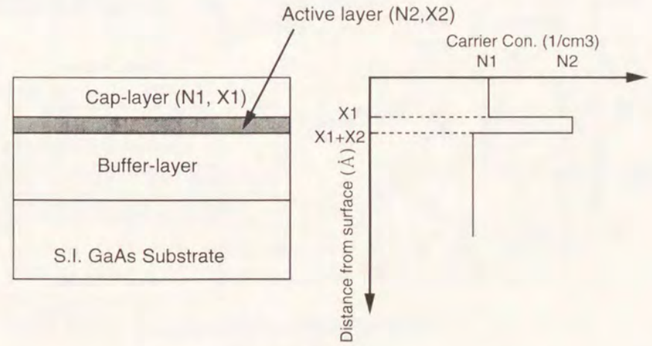


図3-5 パルスドープ構造の断面とその不純物分布

パルスドープ構造ではしきい値電圧Vthは１次元のポアッソン方程式を解くことにより次の様に与えられる。

$$\frac{d^2\Phi}{dx^2} = -\frac{qN1}{\varepsilon s} \qquad 0 \leqq x \leqq X1$$

$$\frac{d^2\Phi}{dx^2} = -\frac{qN2}{\varepsilon s} \qquad X1 \leqq x \leqq (X1+X2)$$

境界条件x=X1+dで$\frac{d\Phi}{dx}=0$とx=X1で$\frac{d\Phi}{dx}$が連続であることを用いて

$$Vth = Vbi - \frac{qN2}{2\varepsilon s}X2^2 - \frac{qN2}{\varepsilon s}X1X2 - \frac{qN1}{2\varepsilon s}X1^2$$

ここで、Vbiは金属／半導体の接触電位差、N1,X1は表面側の低濃度層のキャリア濃度と厚みで、N2,X2は高濃度層のキャリア濃度と厚みである。またεsは半導体の誘電率である。

さらに高濃度層を均一にドープした構造とパルス状にドープした構造の表面電界強度を比較したものが図3-6である。ここではVthとして-1.0 Vを、不純物濃度として

$1\times10^{18}/cm^3$を仮定している。パルスドープ構造の場合、最大電界強度が2.1×10^5 V/cmであるのに対し、均一ドープの場合4.4×10^5 V/cmと２倍以上になることがわかる。ショットキー効果による障壁高低下（$\Delta\Phi=(q\varepsilon_m/4\pi\varepsilon_s)^{1/2}$)を計算するとパルスドープ構造の場合0.048 Vであるのに対して、均一ドープの場合は0.070 Vとなりパルスドープ構造のショットキー特性に対する有効性がわかる。

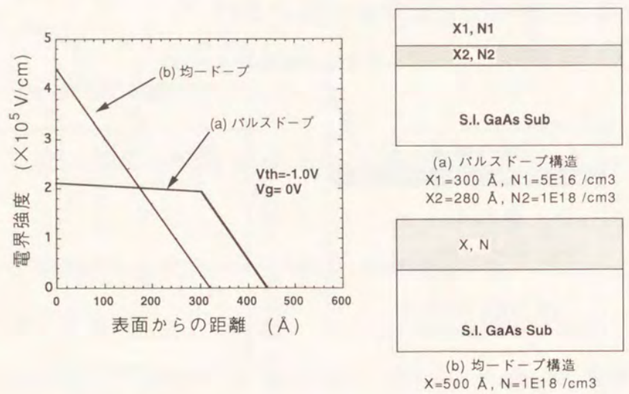


図3-6 パルスドープ構造と均一ドープ構造の電界強度分布の比較

3-3-2 有機金属気相成長(OMVPE)法によるパルスドープ構造の形成

高濃度薄層化は最近の優れた結晶成長法により容易に実現可能となった。本研究では有機金属気相エピタキシャル(Organometallic Vapar Phase Epitaxy : OMVPE)法によりパルスドープ構造を成長した。OMVPE(MO-CVDとも言う）技術は、III族元素の有機化合物とV族元素の水素化合物を原材料として用いる気相エピタキシャル結晶成長法である。この技術は、従来技術であるLPE(Liquid Phase Epitaxy : 液相エピタキシャル）やVPE (Vapar Phase Epitaxy : 気相エピタキシャル）と比較して次のような優れた特徴を有する。

１）極限としては、単分子層程度の薄膜成長が可能

２）多元混晶の組成制御が可能

３）薄膜(～10 Å)、多元混晶の多層ヘテロエピタキシャル層の形成が可能

４）ウェハ面内エピタキシャル層特性の均一性が良好

ここで使用したOMVPEの成長装置は縦型炉の減圧タイプである。装置の概略図を図3-7に示す。原料ガスとしてはトリメチルガリウム(TMG)とアルシン(AsH_3)をGaAsの成長に、ジシラン(Si_2H_6)をn型のドーパントとして用いた。

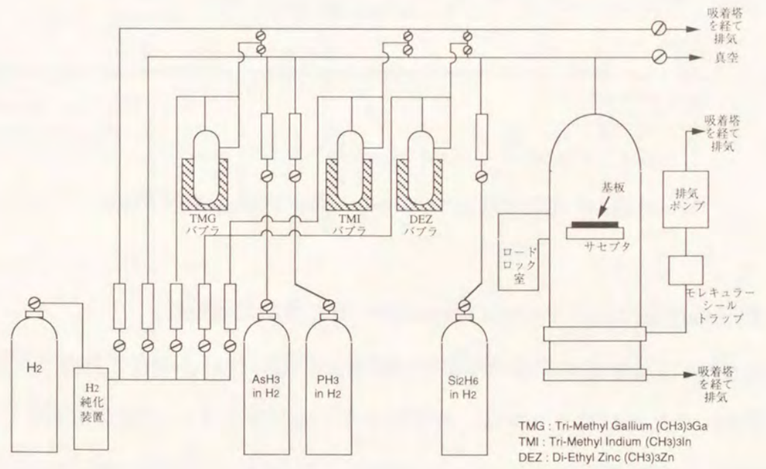


図3-7 OMVPE装置の概略

有機化合物および水素化合物は室温近傍では安定であるが、結晶成長温度ではいずれも分解し元素を解離する。TMGとAsH_3を原料として用いたGaAsの生成は次のように表される。

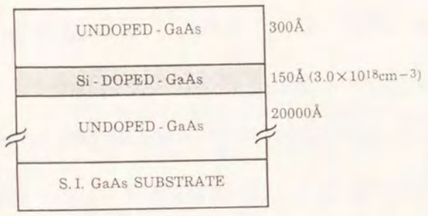
$(CH_3)_3Ga + AsH_3 \rightarrow GaAs + 3CH_4$

本研究で用いた成長温度は650℃、成長圧力は60 Torr, である。

V族とIII族の流量比を変える（これはV族源の有機金属中のCの成長層中への取り込み量を制御する）ことによって、バッファー層をp型に表面アンドープ層をn型にしている。バッファー層をp型にすることにより、対峙するn+からの基板リーク電流を抑制することができるからである。実際に成長した断面構造を図3-8に示す。

またGaAs層のドーピング／厚みの面内均一性も2"Φにて5％と3％と良好である[15]。

Growth Condition



Substrate	Cr doped (100)
Growth pressure	60 torr
Growth temp.	650 °C
Source gas	TMG, AsH_3
Dopant gas	Si_2H_6
V / III ratio	8 (buffer layer)
	110 (active layer and cap layer)

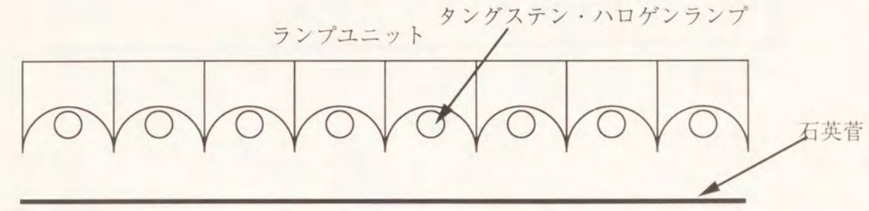
図3-8 実際に成長したパルスドープ構造の断面構造

3-3-3 素子の作製(Rapid thermal Anneal (RTA)を用いた活性化)

素子の作製方法は第2章で述べたダミーゲートを用いた自己整合プロセスである[16]。n+層の活性化のためのアニールは、超薄層を有するパルスドープ構造を維持するため熱による不純物拡散を最小に押さえる必要がある。熱源にランプを用いるランプアニール（一般にはラピッドサーマルアニール(RTA)）は、数秒～数十秒の短時間に800～1000℃の高温でアニールするため高活性化率を保ちつつ、不純物拡散を押さえることが知られ

ている[17,18]。そのためパルスドープ構造GaAs MESFETの作製には、RTAによる活性化を用いた。本研究でのRTAは、タングステン／ハロゲンの光源を用いている。

RTA装置の概観を図3-9に示す。RTAでは短時間に昇温／降温が行われるため、ウェハ中心部と周辺部での温度差が大きくなり、熱応力によるウェハ周辺でのスリップラインの発生やウェハのそりが問題となる。そのためウェハ周辺にSi ウェハをくり抜いたガードリングを設置し、ウェハ面内の均熱性を向上させている。



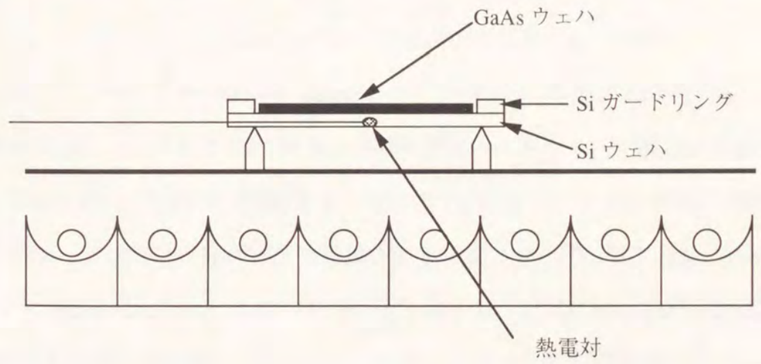


図3-9 RTA装置の概略

次にRTAにて不純物拡散が抑制されているかを調べるため、GaAs中にSiを周期的にドープした試料を用意しアニール前後の拡散の様子をSIMS (Secondary Ion Mass Spectroscopy)にて調べた。図3-10に試料のドーピングプロファイルを示す。

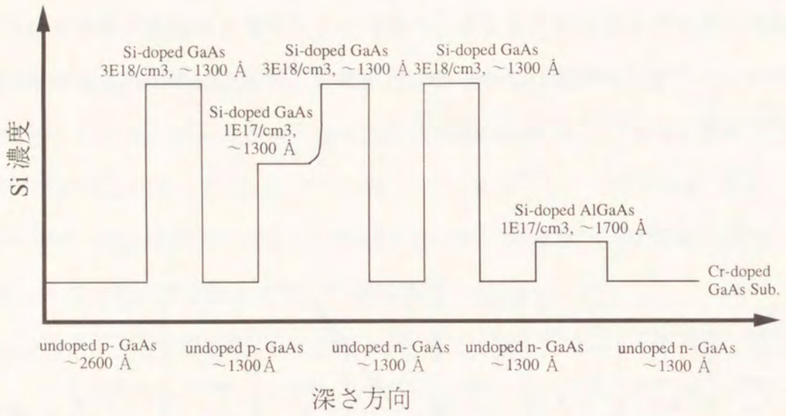


図3-10 RTAによる不純物拡散を調べるためのSIMS分析用試料の構造

この試料を、通常の抵抗加熱による炉アニール(Furnace Anneal: FA)した場合と、RTAアニールした場合のSi のプロファイルの比較を図3-11示す。FAでのアニール条件は窒素雰囲気中で800℃、20分であり、一方RTAでの条件は窒素雰囲気中860℃、7秒である。FAでアニールした試料では、明らかにSi イオンの拡散が見られるのに対して、RTAでアニールした試料では as grownの試料とほとんど変わりないプロファイルが得られていることがわかる。温度や時間などのアニール条件は、パルスドープ構造の急峻性を保持すること共にn+層の活性化を十分行うことが満足するように設定する必要がある。

図3-12にRTAでのアニール温度を変えた時のドーピングプロファイルの変化をC-V(Capacitance-Voltage)測定より求めた結果を示す。容量測定は1 MHzの周波数で行った。アニール温度が900 ℃以上では表面のキャリア密度が減少し、テイル側の急峻性も失われていることがわかる。アニール時間に関しては、どの温度においても2秒以上では拡散度合いは変わらなかった。つまり時間よりもむしろ温度の方が拡散には影響を及ぼす。

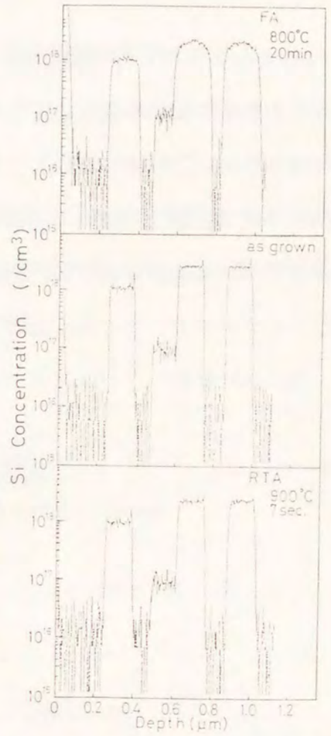


図3-11 アニール前後の不純物拡散の比較

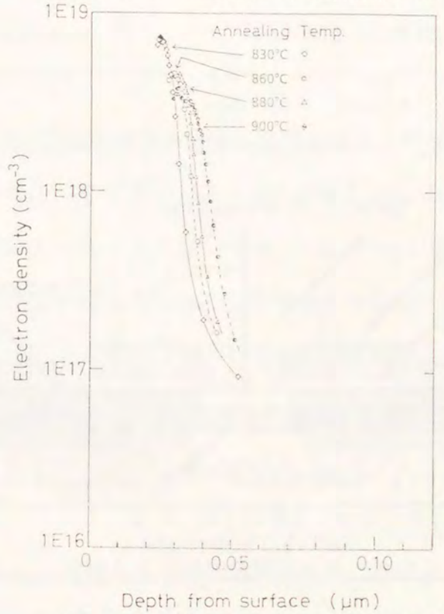


図3-12 C-V法より求めた電子濃度分布

そのためアニール時間は、2秒として温度を最適化した。

アニール温度とn+領域のシート抵抗の関係を図3-13に示す。アニール温度が860℃以上でシート抵抗はほぼ飽和しており160Ω/□が得られた。この値はFAアニールした場合の値180 Ω/□よりも低く、RTAが不純物拡散を抑制しかつ高活性化を得る方法であることを示している。以上の結果よりアニール条件は860 ℃、2 secと設定した[19]。

この条件では結晶成長後のキャリアプロファイルがほぼ保たれ、チャンネル層薄層化の効果が十分に期待できる。図3-14に作製したパルスドープ構造MESFETの断面図を示す。

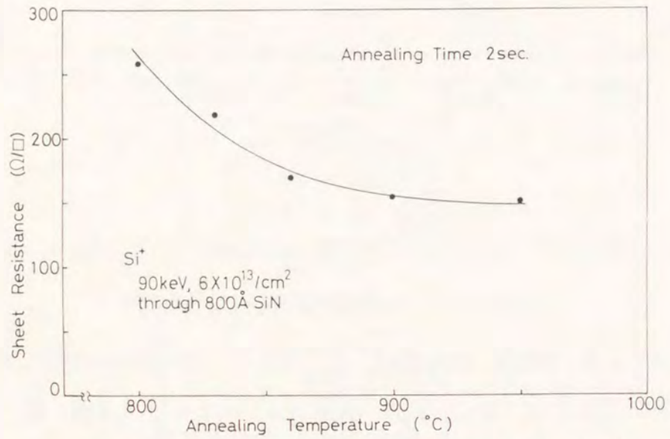


図3-13 アニール温度とn+領域のシート抵抗の関係

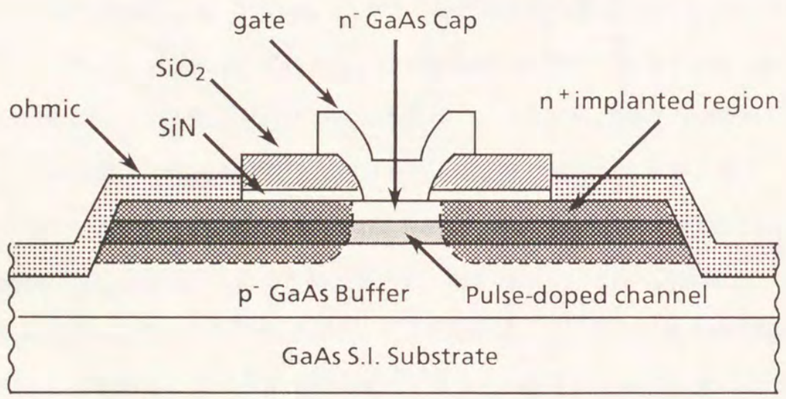


図3-14 作製したパルスドープ構造GaAs MESFETの断面構造

3-3-4 短チャンネル効果の高濃度層厚依存性

高濃度薄層化の効果を調べるため、高濃度層厚が150 Åでキャリア濃度が$3\times10^{18}/cm^3$と、高濃度層厚が100 Åでキャリア濃度が$4\times10^{18}/cm^3$のパルスドープ構造をMESFETのチャンネルに用いて比較した（両者のVthを合わすためドーピング濃度を変えている）。図3-15に活性層厚100 Åの場合のMESFETのVgとgm, Idsの関係を示す。ゲート長は0.3 μmである。

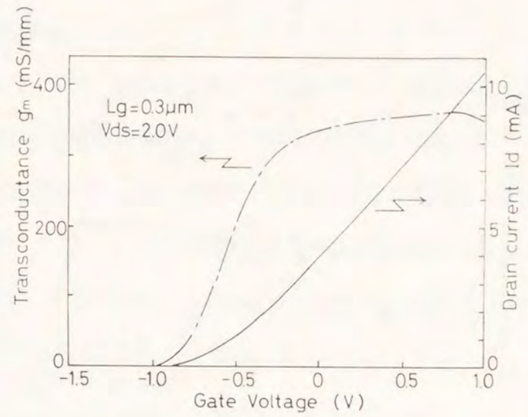


図3-15 ゲート長0.3 μmのパルスドープ構造GaAs MESFETのVgとgm, Idsの関係

gmはVgに対してピンチオフ近傍から急激に立ち上がり、その後は広い範囲に渡ってほぼ一定の値を示している。この特性はパルスドープ構造MESFETではホモ接合でも電子が狭い領域に閉じ込められいることの証拠であり、gmがVg に対してピークを持つHEMTや通常のMESFET と異なっている。この特性は大振幅の入力に対する出力の歪みを押さえる上で大きな利点であり[20]、近年低歪み特性を必要とする高出力FETの構造としても期待されている[21-23]。

図3-16ゲート長に対するVthのシフト量とgmの変化を示す。ゲート長に対するVthのシフト量は高濃度薄層化することにより、ゲート長1.2 μmから0.3 μmにて210 mVと100 mV程度小さくなっている。gmの向上も高濃度薄層化することにより大きくなり、ゲート長0.3 μmにて380 mS/mmが得られている。またショットキー特性に関してもショットキー

障壁高0.65 V, n値1.3と良好な値が得られている。これは表面アンドープ層を有するパルスドープ構造の利点である。

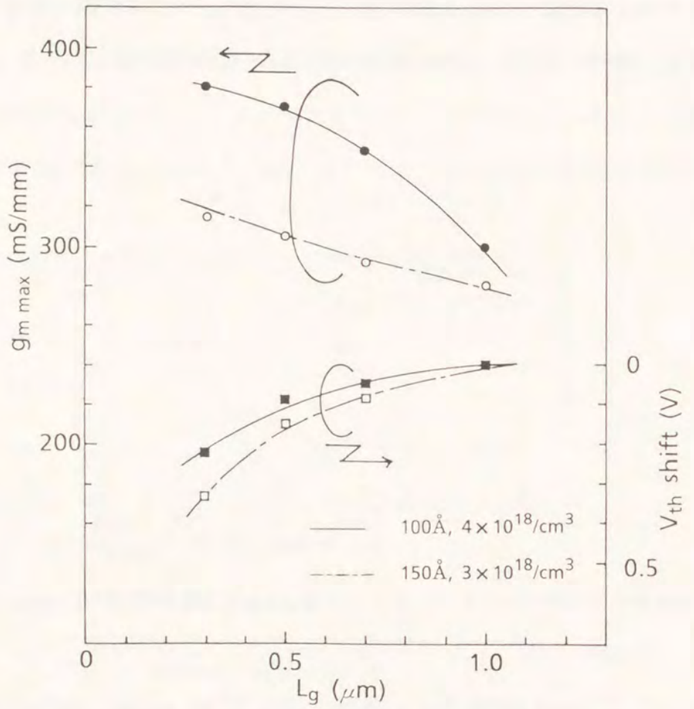


図3-16 パルスドープ構造GaAs MESFETにおけるgmとVthのゲート長依存性

以上のことから、パルスドープ構造を活性層に採用することによりショットキー特性を劣化させずに、短チャンネル効果を低減できることを確認した。

なお本構造では100 Åの厚みのチャンネルを用いたが、原子層ドーピング(δドーピング）を用いて極限の厚みを有するGaAs MESFETも開発されている[24,25]。δドーピングを用いた場合は、Siのドーピングは3×10^{12}/cm^{2}で飽和してしまう。そのため所望のドレイン電流値が制限されてしまう。また熱処理による不純物の拡散やキャリアの大幅な減少も報告されており[26]、実用上は解決すべき問題が残っている。

3-4 新LDD構造による短チャンネル効果の抑制

これまではチャンネルの構造を改良することで、短チャンネル効果を抑制する方法を提案してきた。これはチャンネルの２次元効果を抑制するためであった。本節では短チャンネル効果のもうひとつの要因である対峙するn+層からの基板リーク電流を、ソース／ドレイン領域構造の改良によって抑制する方法について述べる。

3-4-1 p層埋め込み構造とは

図3-4に示したp層を埋め込む構造では、活性層下にもp層が形成されるためp層から延びる空乏層にてチャンネルを薄層化して、２次元効果を抑制することにも有効である。しかしながら、このp層はゲート寄生容量を増加させないために活性層により空乏化していなければならない[4,5]。これによりp層濃度の上限が決定される。一方、p/n 界面に生じる障壁高は次式で表されるように、p層の濃度が高い程大きくなり、その分n+層から基板へのリーク電流が抑制されることが予想される。

$$V_{bi}=(k_BT/q)\ln(n_{no}p_{po}/n_i^2)=(k_BT/q)\ln(N_AN_D/n_i^2)$$

ここでk_Bはボルツマン定数、Tは温度、qは電子の電荷、n_{no}はn型領域の電子濃度、p_{po}はp型領域の電子濃度、N_Aはアクセプタ濃度、N_Dはドナー濃度である。

素子単体の容量より配線容量の方がはるかに大きいLSIには、素子の容量はそれほど影響せずむしろ駆動能力、言い換えればgmが性能を決める。そのためLSI用MESFETとして短チャンネル効果を抑制し素子特性の均一性を図るため、完全空乏化条件以上の濃度の埋め込みp層が使用された例はあり、p層の高濃度化による「短チャンネル効果」の抑制を示している[27,28]。

そこで本研究では、MESFET単体の容量を増加させずに短チャンネル効果を抑制するため、活性層下のp層（BP層）とは独立にn+, n'層の下にBP層よりも濃度の濃いp層（Surrounding p-layer : SP層）を形成する新しいLDD構造を提案する。

3-4-2 LDD構造とは

通常のn+ 自己整合型FETでは、チャンネルとドレイン領域ではキャリア濃度に大きな差があるためチャンネルのドレイン端で高電界領域が生じる。この高電界領域のため電子はホットとなり本来のチャンネルより飛び出す。Si MOSFETにおいては、ホットエレクトロンがゲート酸化膜中に注入され素子特性の変動を起こすことが問題となった。そのためドレイン側のキャリアプロファイルの水平方向の傾斜を緩やかにして、電界集中を緩和する構造が発明された[29,30]。その中でもLightly Doped Drain (LDD)構造は、1 μm以下のデバイスにもっともよく使用される構造である。従来の高濃度領域(n+)をゲートから離し、その間にチャンネルと高濃度層との中間的な濃度領域(n')を形成している。中間濃度領域を設けることでドレイン端でのピーク電界強度を緩和することができる。この構造は1986年にGaAs MESFETにも初めて適用された[31]。

図3-17にその断面構造図を示す。

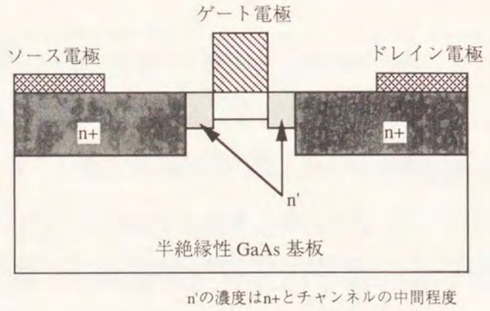


図3-17 LDD構造を有するGaAs MESFETの断面構造

作製方法はSi MOSFETとほぼ同じで、ゲート金属をマスクにn'領域のイオン注入を行った後、CVD法による絶縁膜形成とRIEによる異方性エッチングにより、ゲート金属の側壁にのみ絶縁膜を形成する。そして側壁絶縁膜とゲート金属をマスクにしてn+領域のイオン注入を行う。n+とゲートの間隔は側壁絶縁膜の厚みにより制御する。この構造はGaAs MESFETの短チャンネル効果を抑制し、同時に高gm化と高耐圧化を図ることに成功した。しかしながら、この構造でもゲート長が0.5 μm以下になると十分に短チャンネル効果は抑制できていない。

そのため本研究ではゲート長は0.5 μm以下のGaAs MESFETに対するLDD構造としてn+/n'/n"と３段階にキャリア濃度/厚みを変化させたLDD構造を提案する。

3-4-3 新LDD構造の提案

図3-18に本研究で提案する新LDD 構造を採用したGaAs MESFETの断面構造を示す。

ソース／ドレイン領域はn+/n'/n"とステップ状にキャリア濃度と厚みを変化させた。

キャリア濃度はn+からn"に向かって薄くなり、厚みはn+からn"に向かって浅くなっている。活性層下に形成する埋め込みp層は完全空乏化の条件で形成されている。n+/n'領域からのリーク電流をさらに抑制するため、n+/n'領域の下に濃度の濃いp層(SP層）を形成している。このSP層はゲートの寄生容量を増加させないように、不純物の横方向拡散を考慮して、ゲート電極からはわずかに距離をおいて形成されている。

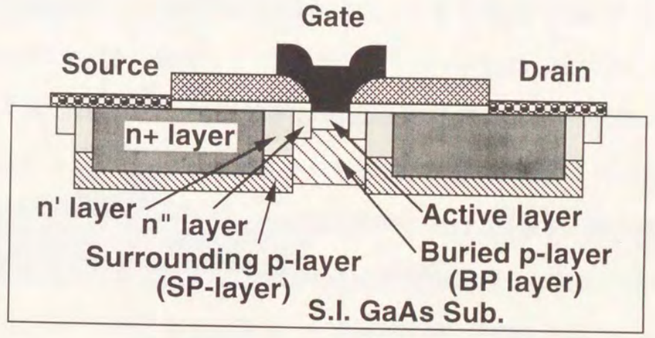


図3-18 新LDD構造の断面構造

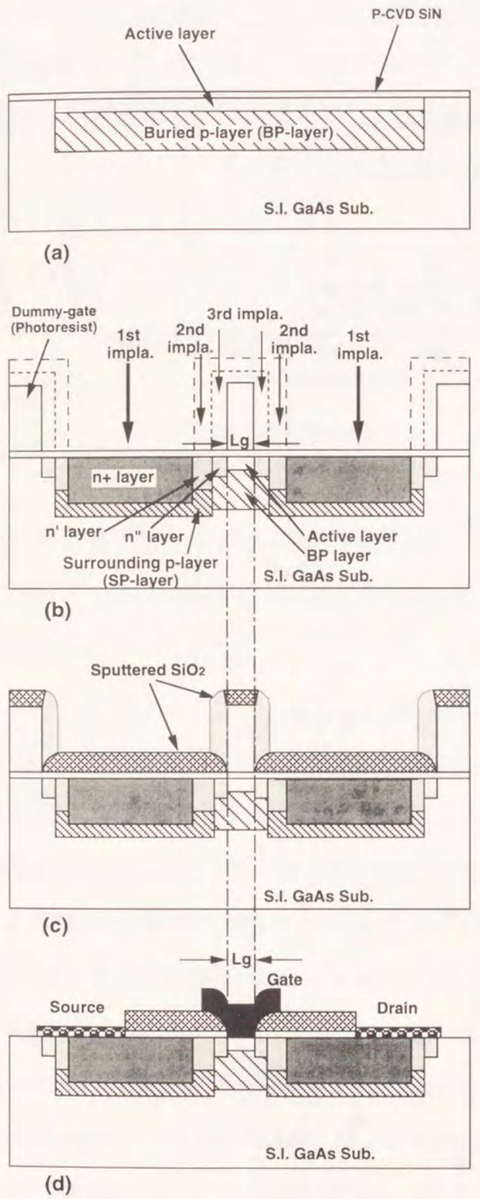
次にこの新LDD構造の作製方法について述べる。

3-4-4 新LDD構造の作製方法

作製プロセスは第2章で説明した工程にダミーゲートのエッチングを１回加えることと、n'の注入の際にSP層形成の注入を追加することで実現できる。作製プロセスの主要断面図を図3-19に示す。新LDD構造形成の部分だけを詳細に述べる(b 参照)。活性層／埋め込みp層(BP層)を形成しPE-CVD SiN膜をGaAs表面に形成した後、フォトレジストによりダミーゲートを形成する。BP層の形成条件は、Beイオンを70 KeV, 4.5×10^{11}/cm^2で注入している。次に初期のダミーゲートパターンをマスクにn+領域形成のためSi イオンを注入する。注入条件は120 KeV, 4×10^{13}/cm^2である。次に酸素プラズマによりダミーゲートの短縮を行う。そしてSP領域形成のためにBe イオンを90 KeV, 4.5×10^{11}/cm^2で注入し、続いてn'領域形成のためSi イオンを80 KeV, 6×10^{12} /cm^2で注入する。さらに酸素プラズマによりダミーゲートの短縮を行った後、n"領域形成のためSi イオンを50 KeV, 4×10^{12} /cm^2で注入する。図3-19でわかるようにSP領域は、BP層が重なって形成されておりBP層よりも高濃度になっている。

なお、SP層の濃度をこれ以上高めても「短チャンネル効果」はそれほど抑制されず、逆にソース／ドレイン領域の抵抗増加を招いた。そのためSP層の注入条件はこの濃度が適切と考える。SP層をn"領域の下まで形成せずn'領域の下までにした理由は、前述したようにBeイオンの横方向拡散を考慮したためである。Beイオンの横方向拡散は定量的には調べられていないが、SP層をn"の下（つまりゲートに隣接する）まで形成した場合は、しきい値電圧が長ゲート長のMESFETにおいても浅くなった。これはBeイオンが横方向拡散によりチャンネル領域に侵入しSi イオンを補償したためと考えられる。そのため本研究ではSP層とゲート端に0.1 μmの間隔を設けた。

本プロセスは、提案した新LDD構造GaAs MESFETを実現することに対して、他の自己整合プロセスより簡便である。例えば耐ゲートを用いた自己整合プロセスの場合は、絶縁膜形成とRIEによる側壁形成を繰り返す必要がある[32]。またSAINTのようにT 字型のダミーゲートを有するプロセスでは多段階層によるソース／ドレイン領域の形成は不可能である。



チャンネル層の注入

P-CVD SiN の形成

ダミーゲートの形成

酸素プラズマによる
ダミーゲートのエッチング

n+, n', SP, n" 層形成の注入

スパッタSiO_2の形成

スライトエッチおよび
リフトオフによる
パターン反転

RTAによるアニール

ソース／ドレイン電極の
形成

ゲート電極の形成

図3-19 新LDD構造を有するGaAs MESFETの作製フロー

3-4-5 新LDD構造による短チャンネル効果の抑制

図3-20に新LDD構造を有するMESFETのVthのゲート長に対する変化を示す。比較のためにSP層を持たない従来のLDD構造を有するMESFETのデータを併記した。従来のLDD構造ではゲート長が2.3 μmから0.3 μmに短縮されるに伴い、Vthは380 mV変化するのに対してSP構造を有する新LDD構造では240 mVに低減されている。

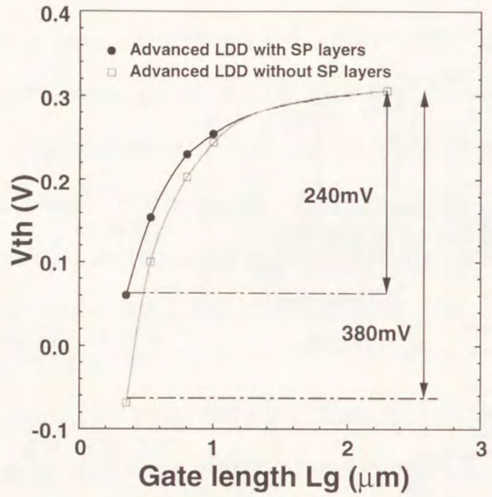


図3-20 新LDD構造を有するGaAs MESFETのVthのゲート長依存性

また図3-21には新LDD構造での各層の役割を確認するため、ゲート長0.3 μmのMESFETのgm-Vg特性を3種類のLDD構造間で比較した結果を示す。本研究で採用したLDD構造と比べるとSP層のない構造は、最大gmは同等であるがピンチオフ特性が悪くまたピンチオフ近傍でgmが低下している。一方、n"層のない構造はピンチオフ特性は良好であるがソース抵抗の増大により最大gmは低下している。ソース抵抗は新LDD構造では0.78 Ω・mmであり、n"層のない構造では0.99 Ω・mmであった。なお最大gmとして460 mS/mmという良好な値が得られている。また短チャンネル効果が抑制されたため、Vthの面内均一性も向上し、3"Φ面内に配置された40個のMESFETの標準偏差で12.5 mVとSP層を有さない構造の半分になっている。

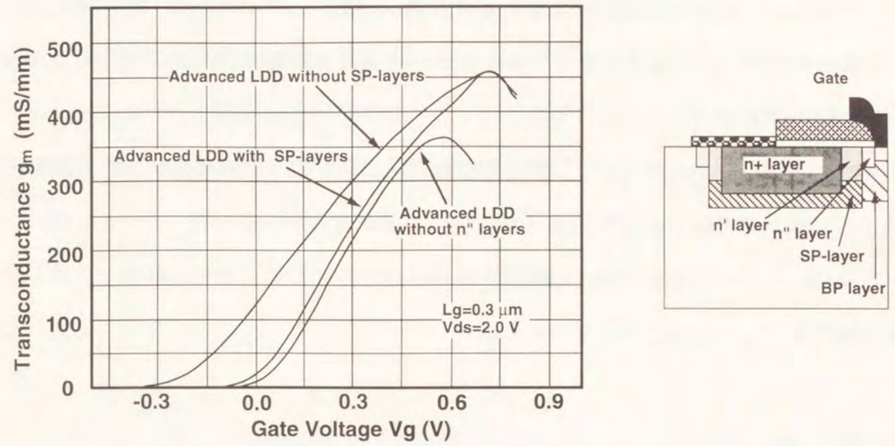


図3-21 各種LDD構造を有するGaAs MESFETの特性比較

さらにSP層が空乏化しない中性領域を形成して、ゲート寄生容量の増加を招かないことを調べるため、SP層を有する構造とSP層を有さない構造の電流遮断周波数(f_T)を比較した。f_Tは以下の式で表される。

$$f_T = g_m / 2\pi C_g$$

Cgはゲート容量であり、この容量が大きいとgmが同じでもf_Tは低くなる。

図3-22にf_Tのドレイン電流依存性を示す。

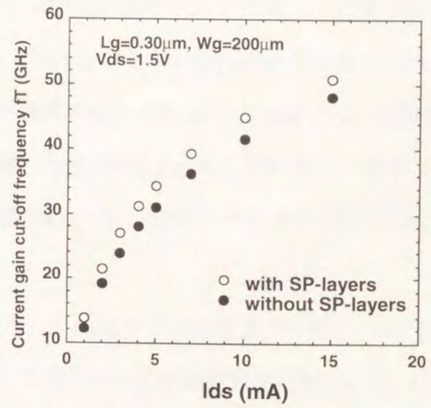


図3-22 SP層の有無によるGaAs MESFETの電流遮断周波数(f_T)の比較

すべてのドレイン電流の範囲でSP層を有するMESFETのfTは、SPを有さないMESFETのfTと同等かそれ以上であることがわかる。この結果よりSP層はゲート容量の増加を招いていないと言える。

以上のことより新LDD構造では、寄生容量の増加を招くことなく寄生抵抗の低減と短チャンネル効果の抑制の両方が実現されていることが明らかになった。

また、パルスドープ構造と新LDD構造を組み合わせることで、さらに短チャンネル効果を抑制できることが実証されている[33]。

3-5 結　言

GaAs MESFETの短ゲート化に伴って発生する「短チャンネル効果」を抑制する以下のような手段を提案した。

(1) 活性層を高濃度薄層化してチャンネルの２次元効果を低減する方法

短にチャンネルを高濃度化するだけではショットキー特性の劣化の問題が避けられない。この問題を解決するために、高濃度薄層チャネルを埋め込み型にし、表面側に低濃度層を設ける「パルスドープ」構造を提案した。この構造に対してポアソンの方程式を解くことで、所望のしきい値電圧(Vth)を得るための各層の厚みとドーピング濃度を設計した。表面のキャップ層を400 Å,チャンネル厚みを100 Åにまで薄層化することにより、良好なショットキー特性を維持し、短チャンネル効果が抑制されゲート長0.3 μmでも実使用上問題のない特性が得られることがわかった。

(2) n+自己整合型MESFETにおける対峙するn+層からの基板リーク電流を低減する方法

これには従来のチャンネル下にBP層を有するLDD構造に、新たにn"層をゲート直近に加えると共に、n+層／n'層を囲い込むような濃度の高いp層（SP層）を形成する新LDD構造を提案した。

n"層を加えることはドレイン端での電界緩和につながり、ホットエレクトロンによる基板リーク電流を抑制する。BP層濃度は完全空乏化を保ったまま、SP層は対峙するn+, n'層からの基板リーク電流をより高い電位障壁により抑制する。

各層の効果を実験的に調べ、新LDD構造の有効性を実証した。つまり、本構造では寄生抵抗や寄生容量の増大を招くことなく短チャンネル効果を有効に抑制できる。

第２章で述べた作製技術と本章で述べたデバイス構造により0.3 μm程度までは実使用上問題のないGaAs MESFETが実現可能となった。

3-6 参考文献

1) J.G. Ruch, IEEE Trans. Electron Devices, ED-19, pp.652-, 1972

2) 菅野 卓雄　監修、"超高速化合物半導体デバイス", 2 章、培風館

3) J.R. Hauser, "Characteristics of junction field effect devices with small channel length-to-width ratios", Solid State Electronics, vol.10, pp.577-587, 1967

4) H.T. Daembkes, W.Brockerfoff, K. Heime, and A. Cappy, "Improved short-channel GaAs MESFETs by use of higher doping concentration", IEEE Trans. Electron Devices, Vol. ED-31, pp. 1032-, 1984

5) K. Ueno et al., "A High Transconductance GaAs MESFET with Reduced Short Channel Effect Characteristics", Technical Digest of IEDM 85, pp.82-85,

6) M. Kuzuhara et al., "High Performance LDD GaAs MESFETs With SiF2+ Implanted Extremely Shallow Channels", Technical Digest of IEDM 86, pp.763-766

7) Y. Yamane et al., "5.9 ps/gate operation with 0.1 μm gate-length GaAs MESFET's", Technical Digest of IEDM 88, pp.894-896

8) 山崎 王義他、昭和58年電子通信学会半導体・材料部門全国大会　p.67

9) N. Kato, K. Yamasaki, K. Asai, and K. Ohwada, " Electron-Beam Lithography in n+ Self-Aligned Gate MESFET Fabrication", IEEE Trans. Electron Devices, Vol. ED-30, pp. 663-668, 1983

10) K. Matsumoto, et al., "Sub-Micron-Gate Self-Aligned GaAs FET with P-type Barrier Layer Fabricated by Ion Implantation", 42nd Annual Device Research Conference VI B-5, 1984

11) K. Yamasaki, N. Kato, and M.Hirayama, "Buried P-layer SAINT for Very High-Speed GaAs LSI's with Submicrometer Gate Length", IEEE Trans. Electron Devices, Vol.ED-32, pp.2420-2425, 1985

12) H. Dambkes, W. Brockerhoff, and K. Heime, "GaAs MESFET's with highly doped (10^{18} cm^{-3}) channels - An experimental and numerical investigation", Tech. Dig. of IEDM , pp.621-624, 1983

13) R.F. Broom, H.P. Meier, and W. Walter, "Doping dependence of the Schottky-barrier height of Ti-Pt contacts to n-gallium arsenide," J. Appl. Phys. 60 (5), pp.1832-1833, 1986

14) M. Suzuki, K. Murase, N. Kato, M. Togashi, and M. Hirayama, "Advantages of Metallic-Amorphous-Silicon-Gate FET's in GaAs LSI Applications", IEEE Trans. Electron Devices, Vol. ED-33, pp.919-924, 1986

15) S. Nakajima, K. Otobe, T. katsuyama, N. Shiga, and H. Hayashi, "OMVPE grown GaAs MESFETs with step-doped channel for MMICs", Tech. Digest of IEEE GaAs IC Symp., pp.297-300, 1988

16) S. Nakajima, G. Ishii, Y. Saito, N. Kuwata, T. Fukuzawa, K. Koike, and H. Nishizawa, "Manufacturability of Dummy-gate Self-aligned LDD GaAs MESFETs for High Volume Production", Tech. Digest of IEEE GaAs IC Symp., pp.119-122, 1994

17) M. Kuzuhara et al., Appl. Phy. Lett., 41, pp.755-758, 1982

18) T. Ohnishi et al., " Experimantal and Theoretical Studies on Short Channel Effects in Lamp-Annealed WSix-Gate Self-Aligned GaAs MESFET's", Extended Abstract of the 16th Conference on Solid State Devices and Materials, pp.391-394, 1984

19) S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC", Tech. Digest of IEEE MTT-S 1990 International Microwave Symposium, pp.1081-1084, 1990

20) R.A. Pucel, "Profile Design for Distortion Reduction in Microwave Field-Effect Transistors," Electron. Lett., 14, p.204, 1978

21) T.S. Tan, et al., " A Low-Distortion K-Band GaAs Power FET," IEEE Trans. Microwave Theory and Tech., Vol.30, No.6, pp.1023-1032, 1988

22) K. Otobe, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-distortion MESFET with advanced pulse-doped structure for power applications," Inst. Phys. Conf. Ser., No.129: Chaper 6, pp.761-766, 1993

23) S.L. G. Chu, J. Huang, W. Struble, G. Jackson, N. Pan, M.J. Schindler, and Y. Tajima,

"A Highly Linear MESFET," Technical Digest in IEEE MTT-S 1991 International Microwave Symposium, pp.725-728, 1991

24) E.F. Shubert, A. Fischer, and K. Ploog, "The Delta-Doped Field-Effect Transistor (δ FET)," IEEE Trans. Electron Devices, Vol. ED-33, No.5, pp.625-623, 1986

25) W.P. Hong, J. Harbison, L. Florez, and J.H. Abeles, "DC and AC Chanracteristics of Delta-Doped GaAs FET," IEEE Electron Device Lett., Vol. 10, No.7, pp.310-312, 1989

26) Y. Yamauchi, T. Makimoto, and Y. Horikoshi, "Annealing Properties of Si-Atomoic-Layer-Doped GaAs," Jpn. J. Appl. Phys., Vol. 28, No.10, pp. L1689-L1692, 1989

27) R.A. Sadler, G.D. Studtmann, A.E. Geissberger, and H.P. Singh, "A High Yield Buried p-layer Fabrication Process for GaAs LSI Circuits," IEEE Trans. Electron Devices, Vol.38, No.6, pp.1271-1279, 1991

28) M. Noda, K. Hosogi, T. Oku, K. Nishitani, and M. Otsubo, "A High-Speed and Highly Uniform Submicronmeter-Gate BPLDD GaAs MESFET for GaAs LSI's," IEEE Trans. Electron Devices, Vol.39, No.4, pp.757-765, 1992

29) S. Ogura et al., "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field Effect Transistor", IEEE Trans.Electron Devices, ED-27, p.1359, 1980

30) E. Takeda et al., "Submicrometer MOS FET Structure for Minimizing Hot-Carrier Generation", IEEE Trans.Electron Devices, ED-29, p.611, 1982

31) S. Asai et al., "A High Performance LDD GaAs MESFET with a Refractory Metal Gate", Extended Abstracts of the 18th Conference on SSDM, pp.383-386, 1986

32) M. Tsunotani et al., "Advanced Self-Alignment Process Technique With Very Thick Sidewall for High Speed GaAs LSIs", Tchnical Digest of IEDM, pp.700-703, 1988

33) K. Matsuzaki, N. Kuwata, S. Nakajima, K. Otobe, N. Shiga, and H. Nishizawa, "Low Noise MMIC Technology with Pulse-doped GaAs MESFET," Proceeding in 1994 Asia Pacif Microwave Conference, pp.283-286, 1994

第4章　パルスドープ構造による電子輸送特性の改善

4-1 緒　　言

GaAsは、同一キャリア濃度で比べるとSiより電子移動度が約6倍大きい。

また高電界特性においてもSiより高いピーク速度を示すことが知られている[1)]。

また、近年ではヘテロ接合を用いてイオン化不純物散乱を増やさずにキャリア濃度のみを増加させる変調ドープ構造が実現され、高電子移動度が得られている[2)]。

一方、第3章で提案した高濃度薄層チャンネルを有するパルスドープ構造では、不純物散乱による電子移動度の低下とそれに伴うデバイス特性の劣化が懸念される。

微細化が進んだ段階では、低電界の輸送特性よりも高電界の輸送特性の方がデバイス特性の決定には重要と言われている。このような理由から半導体中の電子の高電界輸送特性に関しては、シミュレーションと実験の両面より研究がなされている[3-5)]。最近では変調ドープされたAlGaAs/GaAs ヘテロ接合において、「GaAsからAlGaAs中への実空間遷移により高電界での電子速度は高純度GaAs中よりも遅くなる」という結果も報告されている[6,7)]。逆にInP/InGaAs ヘテロ接合ではInGaAs中の電子がInPのΓ点に遷移することによりInGaAsより1.5～2倍高い飽和速度を示すことが示唆されており[8)]、実際にこの系のデバイスが試作され、InGaAsをチャンネルとするデバイス以上の特性が得られている[9,10)]。このように電子輸送特性は、バンド構造とも密接に関係している。

本章ではパルスドープ構造のデバイス特性を予想するため、そのバンド構造と電子輸送特性を調べた。

まず高濃度薄層でのバンド構造をシュブニコフ・ド・ハース振動により調べ、パルスドープ構造内では電子は2次元性を有していることを示す[11)]。次に低電界／高電界での電子輸送特性を評価し、同じキャリア濃度を有するバルクと比較して高い電子速度を有していることを示す。さらにこの高い電子速度は量子井戸構造を有するパルスドープ構造特有の効果であることを述べる[12)]。

4-2 高濃度薄層半導体におけるバンド構造

近年、MBEやOMVPEに代表される結晶成長技術の目覚ましい進歩により原子層オーダーの半導体層も容易に形成できるようになった。この技術により電子デバイスではヘテロ接合を用いたHEMTやHBTといった超高速デバイスが、光デバイスではMQW(Multi Quantum Well)を利用した低しきい値のレーザが生み出された。また不純物のドーピングに関しても、原子層ドーピング(Atomic Layer Doping または Planar Doping、さらに不純物分布の形状よりδ-ドーピングとも言う)技術により局所的に不純物層を形成することができるようになった[13]。例えばMBEにおいてGaAs中にSiを原子層ドーピングする場合は、GaAsの成長中に一旦Ga分子を止めてAs雰囲気下でSiフラックスを飛ばす。同じようにOMVPEでは、Flow-rate Modulation Epitaxy (FME)という方法で原子層ドーピングが実現されている[14]。これらの技術は、HEMTの電子供給層[15-17]やトンネル効果を利用したノンアロイコンタクト[18]やFETのチャンネル[19,20]に適用され、さらに鋸波状にドーピングした構造は光学素子への応用も検討されている。δドーピングのデバイス応用は次の文献に詳しい[21]。

高濃度に原子層ドーピングしたGaAsのバンド構造(ドーピングがδ関数的であるからδドーピングとも言う）は、Zrennarらにより初めて報告された。彼らはシュブニコフ・ド・ハース効果により２次元電子ガスの存在とサブバンド構造を明らかにした[22]。変調（選択）ドーピングしたヘテロ接合では、伝導帯のエネルギー差により電子が電子親和力の小さい半導体側に移り２次元電子ガスを形成する。これに対し、δドープ GaAs ではドーピング面が縮退しており両側の伝導帯を下方に曲げることにより2次元電子ガス状態が得られる。しかし原子層ドーピングでは真にδ関数的な電子濃度プロファイルが実現されているのであろうか？　ドーピングされた不純物もその後の成長により熱拡散により拡がるであろう。Zrennar自身もそのことに疑問を抱き、さらに詳細な解析よりδドープされた層でも80 Å程度の拡がりを持つと報告している[23]。

本研究では、OMVPE法において特別なドーピング方法を用いずに形成した、100 Åの高濃度不純物層を有するパルスドープ構造のバンド構造を探求した。

4-2-1 パルスドープ構造GaAs

評価に用いた試料の構造を図4-1に示す。半絶縁性GaAs 基板上にOMVPE法により、アンドープGaAsバッファー層を10000 Å, Siドープの GaAs層（$4\times10^{18}/cm^3$, 100 Å)、アンドープのGaAsキャップ層を300 Å成長させた。成長温度は650℃、成長圧力は60 Torrである。成長時のV族原料とIII族原料の流量比を制御することによって、バッファー層はp-型にキャップ層はn-型にしている。またGaAsの成長にはtrimethylgallium(TMG)とarsine(AsH_3)をn型のドーパントには disilane(Si_2H_6)を使用している。

ホール効果による測定でのシート電子濃度は$4.5\times10^{12}/cm^2$, 電子移動度は1800 cm^2/Vs（室温での値）である。

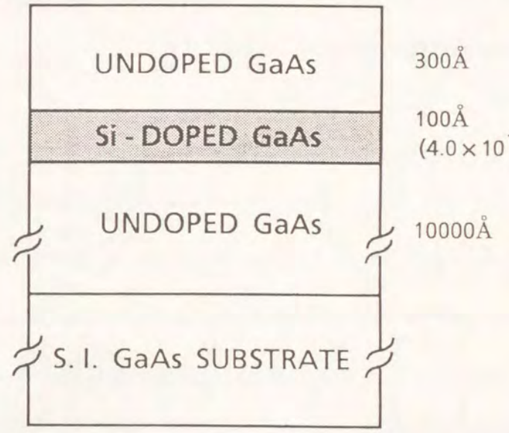


図4-1 評価に用いたパルスドープ構造GaAs

4-2-2 シュブニコフ・ド・ハース(SdH)振動

電子が半導体表面反転層、あるいは変調ドーピングされたヘテロ界面で２次元電子ガス状態を示すことは、シュブニコフ・ド・ハース効果の測定によって明らかにされている[24]。

一般に電子に磁場Bが印加されるとローレンツ力$F=-eV\times B$を受けて、磁場に垂直な等エネルギー面上を$\omega_c=eB/m^*$ なるサイクロトロン運動を行う（ω_cはサイクロトロン角周波数）。ところで、低温、強磁界の条件（$\hbar\omega_c>k_BT$, $\omega_c\tau>1$, ここで$\hbar$はプランク

定数、kBはボルツマン定数、τは緩和時間)では、磁界中の電子の運動は量子化され離散的なエネルギー準位をとる。この離散的なエネルギー準位をランダウ準位と呼びその間隔はħωcとなる（図4-2参照）。通常の３次元結晶では、磁界の強さを増加させるとランダウ準位がフェルミ準位を通過するたびに導電率が周期的に変化する。この量子的振動をシュブニコフ・ド・ハース効果という。２次元電子系では、電子は界面に平行方向には自由に運動できるが、垂直方向に対してはポテンシャルに邪魔されて自由に運動ができない。そのため、２次元電子系での磁場強度に対する導電率の変化は、印加する磁場の向きに依存することになる。つまり界面に対して垂直に磁場を印加した時は、電子は界面に対して平行にサイクロトロン運動をするためSdH振動が得られ、逆に平行に印加した場合はSdH振動は得られない。

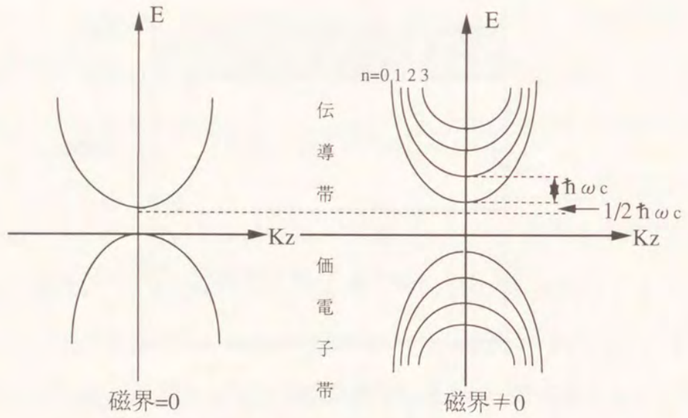


図4-2 磁界中のランダウ準位

4-2-3 パルスドープ構造GaAsのSdH振動

試料をフォトリソグラフィとメサエッチによりホールブリッジに加工し、4.3 Kの極低温下でSdH振動測定を行った。図4-3にその結果を示す。横軸は磁場強度、縦軸は磁気抵抗を磁場強度で１回微分した結果である。ドーピング界面に垂直に磁場を加えた時のみSdH振動が観測されており、本研究で用いた試料でも電子は２次元性を有することが明らかになった。図4-3からは、振動はいくつかの周期より成り立っていることがわかる。

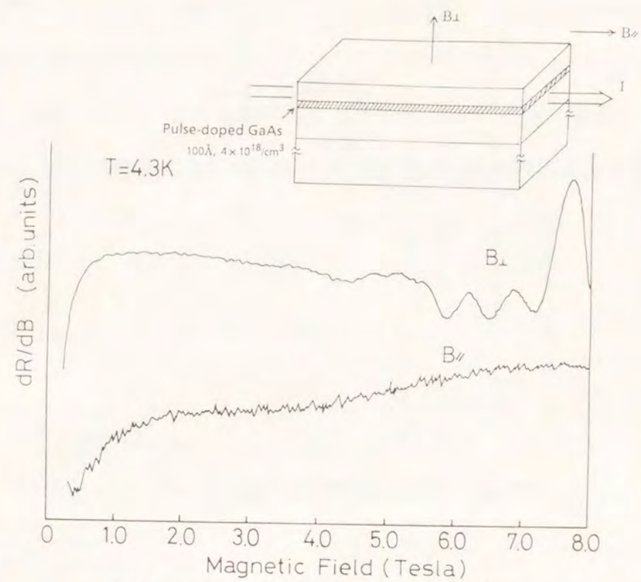


図4-3 パルスドープ構造GaAsのSdH振動

周期の一番短い山のランダウ数を、磁場の逆数に対してプロット（ランダウプロット）した結果を図4-4に示す。得られる直線はn=-1/2で横軸を切っている。このことはħωc(n+1/2)= εFに対応する磁場で、磁気抵抗が極大値をとっていることを示している。この結果は、一番短い周期に対応するエネルギー準位の状態密度の最大値は、２次元電子ガスのランダウ準位の位置にあることを示している。またこの直線の傾きよりこの振動に対応した電子密度Ns1は、電子の有効質量を0.067mと仮定するとNs1=2.9×10^12/cm^2と計算され、その準位のフェルミエネルギーからの間隔 εF1は εF1=103 mVと計算される。

次に、いくつかの周期を分離するためにこの振動をフーリエ変換により分離した。その結果を図4-5に示す。本研究で用いたパルスドープ構造は３つのサブバンドを有していることがわかる。それぞれの準位のフェルミエネルギーからの間隔を求めると、103 mV, 58.5 mV, 20.7 mVとなり電子濃度はそれぞれ2.9×10^12/cm^2, 1.6×10^12/cm^2, 0.6×10^12/cm^2と計算された。

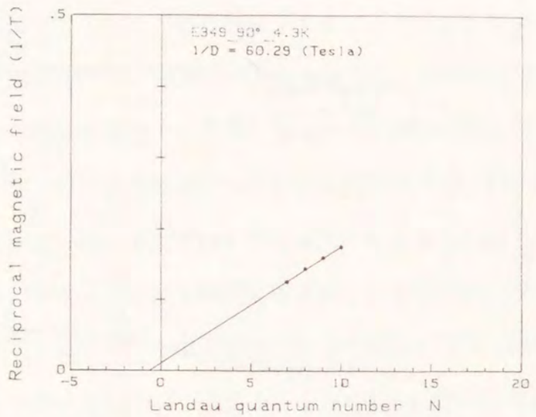


図4-4 一番短い周期に対するランダウプロット

総電子密度は$5.1\times10^{12}/cm^2$となりホール測定より得られた値とほぼ一致する。これらの結果より得られたパルスドープ構造のバンド構造を図4-6に示す。表面側のアンドープ層は表面準位により空乏化しているため、ポテンシャルが持ち上がりV型ポテンシャルを示す。

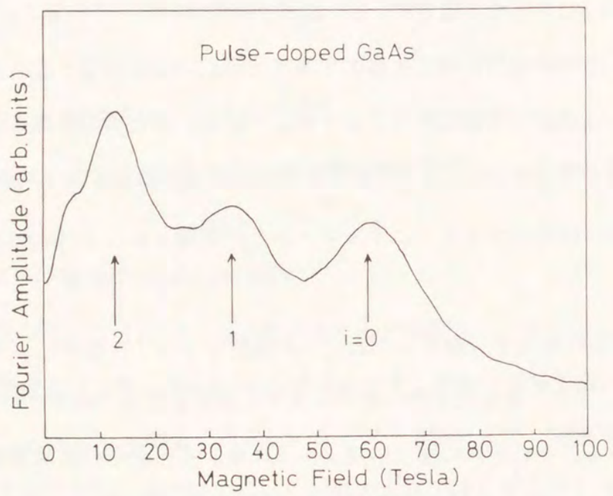
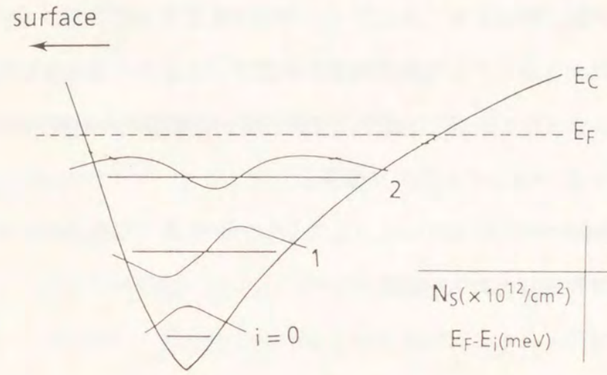


図4-5 フーリエ変換による結果

GaAs中へのSiのδドーピングの場合も、ドーピング濃度に依存するがほぼ同様なサブバンド構造が観測されている[13,25,26]。

以上の結果よりδドーピングという特別な成長方法を用いずとも、通常のOMVPE法により成長した100 Åの高濃度層においても量子井戸構造が形成されることが確認された。



	i = 0	1	2
$N_S(\times10^{12}/cm^2)$	2.9	1.6	0.6
E_F-E_i(meV)	103	58.5	20.7

図4-6 パルスドープ構造GaAsのバンド図

4-3 半導体中の電子移動度と飽和速度

一般に半導体中の電子は、主に音響フォノンと不純物により散乱を受ける。音響フォノンは温度による格子振動に由来するものでその温度依存性は$T^{-3/2}$となる。

一方、不純物散乱のなかでもっとも影響が大きいものは、イオン化不純物散乱である。イオン化不純物散乱は、イオン化した不純物が電子に対してクーロンポテンシャルを及ぼすことが要因である。この散乱の温度依存性は$T^{3/2}$であり音響フォノン散乱の場合と逆である。つまり低温領域ではイオン化不純物散乱が、高温領域では音響フォノン散乱が支配的である。

選択ドープ構造を有するn-AlGaAs/GaAs ヘテロ界面に形成される 2 次元電子ガスは、電子とイオン化ドーナが空間的に分離されているため不純物散乱の影響が少なく、特に

低温で移動度が大きく向上する[2]。

ところでGaAsのような半導体にさらに電界を印加していくと、電子は低い谷（Γ点）から高い谷（L点）に遷移する。これを谷間電子遷移効果という。高い谷では低い谷よりも電子の有効質量が大きい（つまり移動度が低い）ために、高い谷での電子占有確率が増すと負性微分移動度を示すようになる。

さらに電界が高くなり、電子のエネルギーが光学フォノンのエネルギーよりも大きくなると電子は光学フォノンと強く結合する。光学フォノンのエネルギーは音響フォノンのエネルギーに比べて非常に大きい。　そのため、電子が光学フォノンを放出すると電界から得たエネルギーはほとんど0になってしまう。つまり電子の運動エネルギーの最大値は光学フォノンのエネルギー$\hbar\omega_{op}$によって決まる。

GaAs の代表的な速度ー電界特性を図4-7に示す。このような特性は、高電子移動度を有する変調ドープされたヘテロ接合系でも同様である[27]。

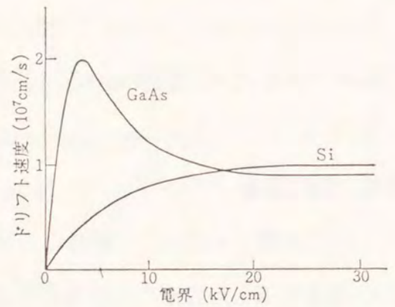


図4-7 GaAsの代表的な速度ー電界特性

4-3-1 パルスドープ構造の電子移動度

第３章で述べたパルスドープ構造は、チャンネルに高濃度層を有するために不純物散乱による電子輸送特性の劣化が懸念される。電子輸送特性の劣化はMESFETの特性にも影響を与えることが考えられる。

まずホール測定により、パルスドープ構造のホール移動度の温度依存性を調べた。その結果を図4-8に示す。電子移動度は、あまり温度に依存しないことがわかる。もし本試料でも不純物散乱が支配的であるなら、低温領域では移動度は$T^{3/2}$の依存性を示すはずである。しかしながら、本試料の移動度の温度依存性は$T^{0.13}$であった。これはパルスドープ構造では不純物散乱が低減されていること、フェルミエネルギーが縮退していること、高濃度化により不純物イオンをスクリーニングしていることによるものと考えられる。

一方、電子濃度は温度に依存し、約200 Kあたりで極小値を示している。またさらに低温領域では、室温よりも高い電子濃度を示している。これらの結果は、4-1章で述べたパルスドープ構造のバンド構造に起因すると考えられる。すなわち、パルスドープ構造ではV型ポテンシャルを有するため低温領域では電子は３つのサブバンドに量子化され分布している。基底サブバンドより上のサブバンドでは、電子の存在確率は不純物中心よりずれた所で高くなる。このような状態では、電子移動度が高くなることが予想される。そのため、移動度の異なる３つのサブバンドの並行電子伝導を考慮しなければならない。

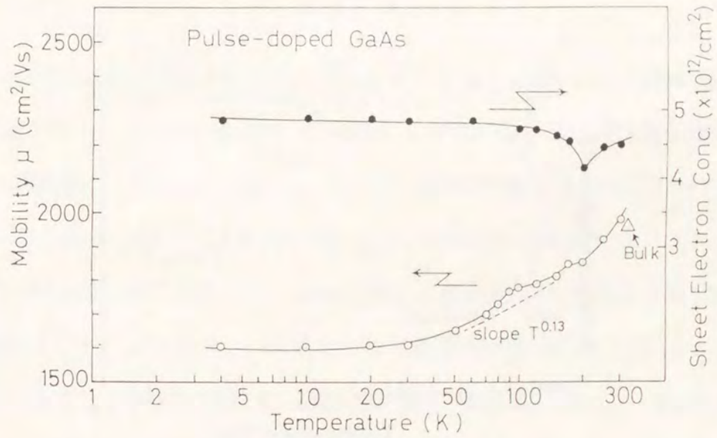


図4-8 パルスドープ構造GaAsの移動度と電子濃度の温度依存性

Makimotoらは、δドープ構造GaAsでも同様な電子濃度の温度依存性を観測し、電子濃度が温度に対して極小値を示す理由を移動度の異なる２つのバンドの並行電子伝導を仮定することで説明している[28]。

２つのバンドの並行電子伝導では、ホール効果より得られるシート電子濃度Nhは次のように表される。

$$Nh=(n_1\mu_1+n_2\mu_2)^2 / (n_1\mu_1\mu_{1h}+n_2\mu_2\mu_{2h}) \quad (1)$$

ここでn_1, μ_1, μ_{1h}はそれぞれ低いエネルギーレベルのバンドのキャリア密度、ドリフト移動度、ホール移動度である。n_2, μ_2, μ_{2h}は高いエネルギーレベルのバンドのそれである。ここで$\mu_{ih}=\mu_i$と仮定する。

また$\mu_2/\mu_1=b>1$、

$n_1+n_2=n_0$（総電子数）、

$n_2=n_0\exp(-qE/kT)$, Eは電子が下のレベルから上のレベルに上がるための活性化エネルギーとする。式(1)を書き直すと次のようになる。

$$Nh=[(b-1)n_2+n_0]^2 / [(b^2-1)n_2+n_0] \quad (2)$$

E=40 meV, b=2.0と仮定して、この式に従って計算された結果を図4-9に示す。電子濃度が極小値を示し、低温側では室温付近よりも高い濃度が得られていることがわかる。

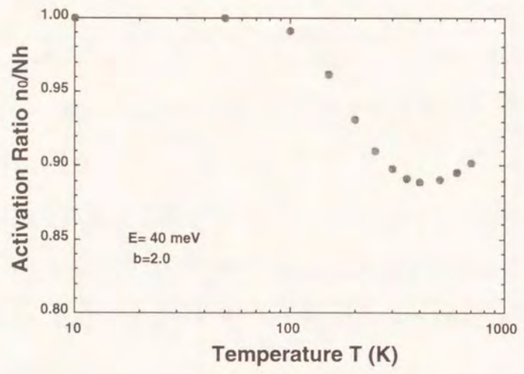


図4-9 2つのサブバンドを考慮した場合の電子濃度の温度依存性（計算結果）

極小値を示す温度が、測定値とずれているのは計算では２つのサブバンドしか考慮しなかったが、実際は3つのサブバンドが存在するためと考えられる。

さらに、量子振動を起こす必要条件$\mu B>1$（μは電子移動度）を満たすことより図4-3のSdH振動からはμ=2500 cm²/Vsが計算される。この値はホール効果で得られる4.3 Kのμ=1600 cm²/Vsよりも大きい。この結果もパルスドープ構造中の電子は、異なる移動度を有するサブバンドに分布していることを示している。

4-3-2 パルスホール効果による高電界輸送特性評価

ホール効果で得られた電子移動度1800 cm²/Vsという値は、同じ濃度を持つバルクでの値よりも高い。Schubertらは、分子線エピタシャル法にて原子層オーダのドーピングプロファイルを持つδドープ構造を作製し、バルクよりも高い移動度を得ている[29]。この現象も前節で述べたパルスドープ構造のバンド構造に起因する。すでに示したようにパルスドープ構造は３つのサブバンドを形成している。基底サブバンドの電子は不純物分布の中心部に位置することになるが、第１、第２サブバンドの電子は不純物分布の中心よりずれた所に位置する。そのためこれらのサブバンドに属する電子は不純物散乱の影響を受けにくくなる。つまりこれらのサブバンドの電子は高い移動度を有することになる。

電子の分布状態は電子が受けるエネルギーにより変化し、それに伴い移動度も変化することが予想される。そこでパルスホール効果により電子移動度の電界依存性を調べた。

測定のため試料は、ホールブリッジに加工され発熱の影響を避けるためパルス幅5 μsec, デューティ比10 -4のパルス電圧を印加した。各端子の電位はオシロスコープにより測定した。図4-10に測定系の概略を示す。測定は室温(25℃)と液体窒素温度(77K)にて行った。図4-11にその結果を示す。低電界では移動度は通常のホール測定より得た値とほど同じであるが、電界強度が0.2-0.3 kV/cmの付近で増加していることがわかる。電子移動度は室温では1500 cm²/Vsより1800 cm²/Vsに、77Kでは1200 cm²/Vsより2000 cm²/Vsにまで増加している。

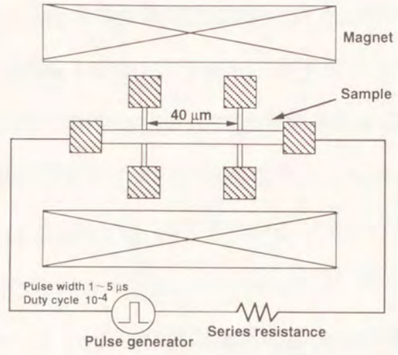


図4-10 パルスホール測定系の概略

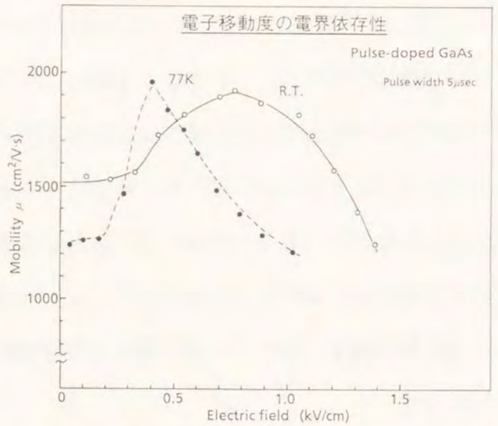


図4-11 パルスホール測定による電子移動度の電界依存性

このことは、基底準位の電子が電界よりエネルギーを得て電子移動度の高い上のサブバンドに移ることより説明できる。77 Kでの方が室温よりも低い電界で増加傾向を示し増加率も大きいのは、77 Kの方がエネルギー状態が低いためより多くの電子が基底準位に存在するためと考えられる。基底準位とフェルミレベルのエネルギー差は100 mV程度しかないので、さらに高電界になると電子はV型ポテンシャルより飛び出し両側のアンドープ層に遷移すると考えられる。そこでホットになった電子は光学フォノンと結合してエネルギーを放出し、一定の速度（飽和速度）に達する。これが電界強度がさらに強

くなった時の移動度が減少する理由である。

このようにパルスドープ構造は、通常のバルクとは異なった電子輸送現象を示すことが明らかになった。

4-3-3 パルスI-V測定による高電界輸送特性評価

短ゲートの素子において実際に素子の性能を支配するのは、低電界の移動度よりむしろ高電界での電子移動度、電子ピーク速度、電子飽和速度ではないかと言われている。実際の素子を考えてみると、ゲート長が1 μmの素子の空乏層に1 Vの電界が印加されたとすれば電界強度は10 kV/cmにも達することがわかる。このような高電界でのパルスドープ構造中の電子の振る舞いを調べることは、素子特性への影響を考えるためにも重要である。

そこでパルス電圧印加による電流－電圧特性を測定した。この測定のための試料は、2 端子素子で電極間隔は10 μmである。測定は、発熱の影響を除くためパルス幅100 ns, デューティ比10^{-4}を用いた。電流値より電子ドリフト速度Vdは次式で与えられる。

$$Vd=J/qn_s$$

ここで、Jは電流密度、qは電荷量、nsはシートキャリア密度である。

比較のために同じキャリア濃度を持つバルク（厚み0.9 μm）の特性も評価した。

図4-12にその結果を示す。低電界領域では両者には大差は見られないが、1 kV/cmを越える高電界領域からはパルスドープ構造の方が高い電子速度を示している。電子ピーク速度は、不純物散乱の少ないアンドープの材料の方が不純物散乱の大きい高濃度な材料より高い[5]。そのため、高電界になると電子がアンドープ層に遷移してしまうパルスドープ構造の方が電子ドリフト速度が高くなると考えられる。　さらに高電界での電子飽和速度Vsatは、不純物散乱よりむしろ光学フォノン散乱が支配的となるので不純物濃度に依存せずほぼ同じ値（室温で1.2×10^7 cm/sec）を示すと考えられる。低電界から高電界領域に推移する際の移動度の増加やドリフト速度の増加は、デバイスの空乏層内の電界強度分布を考えれば電子の平均した速度を高めることに寄与すると考えられる。

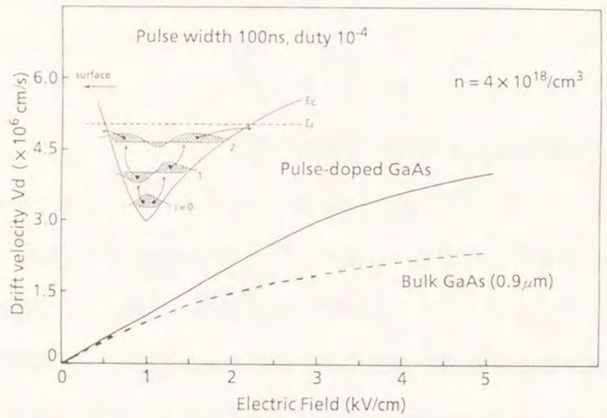


図4-12 パルスI-V測定によるドリフト速度の電界依存性

以上の結果よりパルスドープ構造は高濃度層を有するが、通常のバルクとは異なりV型のポテンシャルに起因する電子遷移効果のために良好な輸送特性を示すことが明らかになった。なおパルスドープ（あるいはδードープ）構造の高電界輸送特性は、最近他の研究機関でも調べられ、本研究同様にバルクの特性より優れていることが報告されている[30,31]。

4-4 ダブルパルスドープ構造による電子輸送特性の改善

4-4-1 ダブルパルスドープ構造

GaAs MESFETの高出力応用を考えた場合、ドレイン電流を増加させなければならない。この場合不純物濃度を増加させるか、不純物層の厚みを増加させることが必要である。パルスドープ構造の場合、不純物濃度が1×10^{18} /cm^{3}台とかなり高くこれ以上濃度を増やすことは困難である。一方、不純物層の厚みを増加させた場合は、前節で述べた量子井戸の形成が崩れ、電子の多くは高電界下で不純物層中を走行しなければならず、ドリフト速度の低下や結果的に素子特性の劣化が懸念される。

そこでパルスドープ層を電子の平均自由行程内に2層配したダブルパルスドープ構造を提案した[32,33]。ダブルパルスドープ構造におけるエネルギーバンド図を図4-13に示す。

各々のパルスドープ層での電子の波動関数が重なり合うことで、両パルスドープ層間にあるアンドープ層での電子存在確率が増加し電子輸送特性の改善が期待できる。

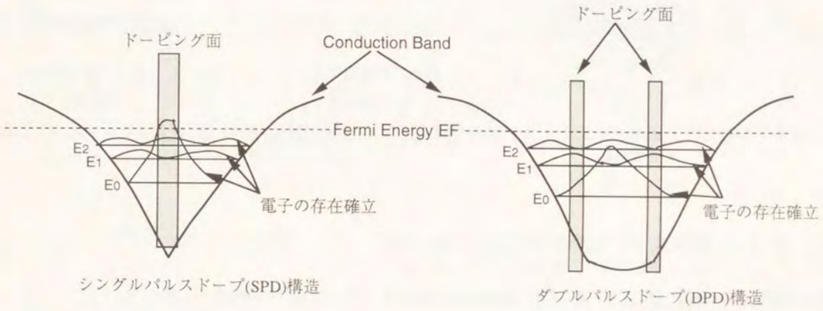


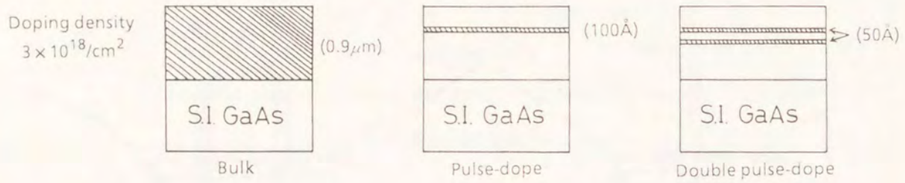
図4-13 ダブルパルスドープ構造GaAs内の電子分布

実際に、この効果を確かめるためにOMVPE法により各種構造を作製して評価した。

シングルパルスドープ構造では、ドーピング層の厚みを100 Åとし、ダブルパルスドープ構造では50 Åのドーピング層を50 Å離して形成した。表4-1にドーピング濃度を同じにした各種構造（バルク、パルスドープ、ダブルパルスドープ）のホール測定より得た電子移動度とシートキャリア濃度の比較を示す。パルスドープ構造を2層配することで1層の場合に比べて電子移動度が増加していることがわかる。このことはアンドープ層での電子存在確率が増加したためであり、高電界輸送特性の改善にもつながると考えられる。ダブルパルスドープ構造では、77 Kにおいて移動度の増加を期待したが見られなかった。これはドーピング層の間隔が狭いため、電子がドーピング面からのクーロン散乱を十分受けにくい距離に存在できなかったためと考えられる。

表4-1 各種構造の電子移動度と電子濃度の比較

	300K		77K	
	μ ($cm^2/V \cdot s$)	N_s ($1/cm^2$)	μ ($cm^2/V \cdot s$)	N_s ($1/cm^2$)
Bulk	1800	3.7×10^{14}	------	------
Pulse-dope	1800	4.5×10^{12}	1500	4.7×10^{12}
Double Pulse-dope	2750	2.4×10^{12}	2730	2.8×10^{12}



4-4-2 ダブルパルスドープ構造GaAs MESFET

前述の結果を確かめるために、通常のパルスドープ(PD)構造とダブルパルスドープ(DPD)構造によるMESFETを試作して比較した。通常のPD構造ではドーピング層を200Åとして、DPD構造では100Åのドーピング層を100Å離して形成した。活性層のドーピング濃度は両者とも$3 \times 10^{18}/cm^3$である。図4-14に両者のエピタキシャル構造断面図を示す。

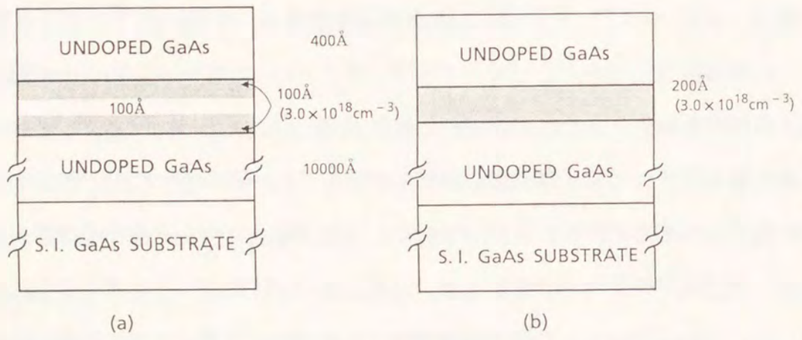


図4-14 ダブルパルスドープ構造とシングルパルスドープ構造の断面図

MESFETの作製プロセスは、第2章で提案したダミーゲート法を用いたn+自己整合プロセスである。n+層形成のために注入したSi+イオンは、RTA(Rapid Thermal Anneal)にて活性化している。この活性化アニールによってもDPD層が崩れないことは、Capacitance - Voltage (C-V)法より求めたキャリアプロファイル分布から明らかである（図4-15参照）。

図4-16にゲート長0.3 μmの両素子のVgとg_m,Idsの関係を示す。DPD構造MESFETの方が、Vthが少し深くなっているが両者ともVgの広い範囲に渡って一定のg_m特性を示している。

DPD構造においてg_mに2つのピークが現われないことは、2つのパルスドープ層がひとつのチャネルとして働いていることを示唆している。最大g_mは両者とも265 mS/mmが得られている。またVg=0 V時のドレイン電流密度は、350 mA/mm以上と図3-15に示した高濃度層厚が100 Åのパルスドープ構造を有するMESFETに比べて大きくなっている。

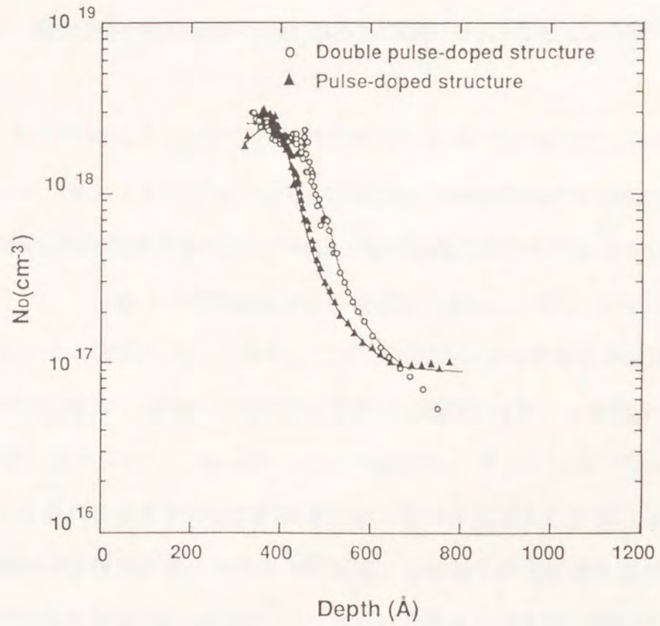


図4-15 C-V法より求めたRTA後の電子濃度分布

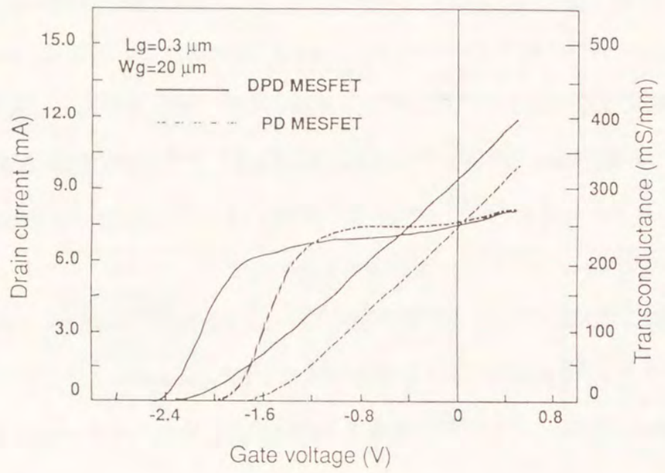


図4-16 DPD GaAs MESFETとPD GaAs MESFETの特性比較

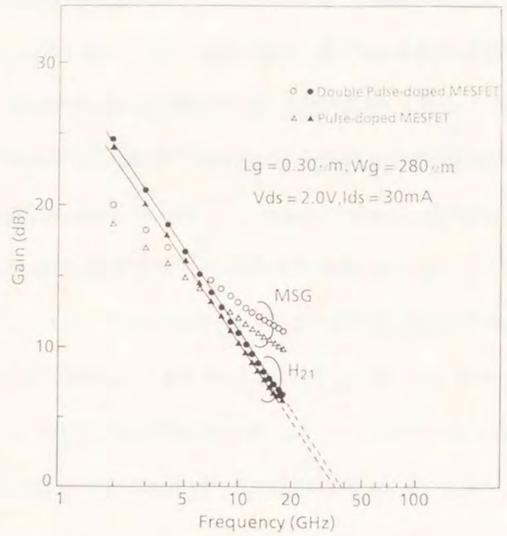


図4-17 DPD GaAs MESFETとPD GaAs MESFETのH21とMSGの周波数依存性

電子輸送特性は、第5章で述べるように高周波特性の測定より評価できる。図4-17には電流利得(H_{21})と最大安定利得(MSG)の周波数依存性を示す。ダブルパルスドープ構造の方がより高い値を示していることがわかる。H_{21}が1となる周波数が電流遮断周波数f_Tと定義され、PD構造では35 GHz, DPD構造では40 GHzが得られる。

短チャネル近似のもとではf_Tは次式にて与えられる。

$f_T = Vave/2\pi Lg$　　；　Vaveは電子の平均したドリフト速度、Lgはゲート長

この結果は、ダブルパルスドープ構造の方がより高いドリフト速度で走行していることを示している。即ち、チャンネル厚を増し電流密度を増加させたい場合は、単にパルスドープ構造の厚みを増すのではなく、薄いパルスドープ構造を電子の波動関数の拡がり程度の間隔で多層に配することが、パルスドープ構造の良好な電子輸送特性を活かすことができるのである。

このようなパルスドープ層を2層にした素子特性の改善は、最近ではSi MESFETにも適応されている[34-36]。

4-5 結　　言

本章では、パルスドープ構造の高濃度層がGaAs MESFETの特性に与える影響を調べるため、パルスドープ構造GaAsのバンド構造と電子輸送特性を解明した。

シュブニコフ・ド・ハース効果の測定より本研究で用いたパルスドープ構造は100 Åの厚みを有するにも関わらず、δドーピングで形成したGaAs同様に2次元電子ガスを有し、そのバンド構造は3つのサブバンドを有するV型ポテンシャルを示すことがわかった。

そのため、電子の分布は不純物散乱の中心からずれた位置にも存在し、同じキャリア濃度を有するバルク材料よりも高い電子移動度を示すことが明らかになった。

素子特性に重要な高電界輸送特性をパルスホール効果、パルスI-V測定により調べた結果、V型ポテンシャルに起因する電子移動度の増加が観測され、また高電界での電子速度は同じ濃度を有するバルク材料のそれよりも高いことが観測された。これはパルスドープ構造内でホットになった電子がV型ポテンシャル内の基底準位より上の準位へ、さ

らには両側のアンドープ層に遷移するためと考えられる。その結果として、高電界では低不純物濃度層と同等な速度を有する。

また量子井戸構造による電子輸送特性の改善に着目して、パルスドープ構造を電子の波動関数の拡がり程度の間隔に2層配したダブルパルスドープ構造を提案し、素子特性の改善効果を明らかにした。

以上のことより、パルスドープ構造は高濃度不純物層を有するが、電子輸送特性は良好で素子特性の劣化を引き起こさないと言える。

4-6 参考文献

1) P. Smith, M. Inoue, and J. Frey, "Electron Velocity in Si and GaAs at Very High Electric Fields", Appl. Phys. Lett., 37, p.797, 1980

2) R. Dingle, H. Stormer, A.C. Gossard, and W. Wiegman, "Electron mobilities in modulation-doped semiconductor heterojunction superlattices", Appl. Phys. Lett., pp.665-667, 1978

3) K. Hirakawa and H. Sakaki, "Hot-electron transport in selectivery doped n-type AlGaAs/GaAs heterojunctions", J. Appl. Phys. 63 (3), pp.803-808, 1988

4) K. Yokoyama, "Drift velocity comparison between high-electron mobility transistors and doped-channel field-effect transistors at very small dimensions", J. Appl. Phys. 63 (3), pp.938-943, 1988

5) W.T. Masselink and T. F. Kuech, "Velocity-Field Characteristics of Electrons in Doped GaAs", J. of Electronic Materials, Vol.18, No.5, pp.579-584, 1989

6) W.T. Masselink, N. Braslau, W.I. Wang, and S.L. Wright, "Electron velocity and negative differential mobility in AlGaAs/GaAs modulation-doped heterostrictures", Appl. Phys. Lett., 51, (19) PP.1533-1535, 1987

7) R.Sakamoto, K. Akai, and M. Inoue, "Real Space Transfer and Hot Electron Transport Properties in III-V Semiconductor Heterostructures," IEEE Trans. Electron Devices, Vol.36, pp.2344-2352, 1989

8) W.T. Masselink, N. Braslau, D. LaTulipe, W.I. Wang, and S.L. Wright, "Electron Velocity at High Electric Fields in AlGaAs/GaAs Modulation-Doped Heterostructures", Solid-State Electronics Vol.31, No.3/4, pp.337-340, 1988

9) T. Enoki, A. Kunihiro, A. Kohzen, and Y. Ishii, "InGaAs/InP double channel HEMT on InP," Fourth Int'l Conf. on InP and Related Mater. Conf. Proc., p.15, 1992

10) S. Strahle, B. Henle, and E. Kohn, "Low voltage characteristics of InGaAs/InP composite channel HEMT structure fabricated by optical lithography," Electron. Lett., Vol. 30, No. 23,

pp.1989-1991, 1994

11) S. Nakajima, N. kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy", Appl. Phys. Lett. 57 (13), pp.1316-1317, 1990

12) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot electron transport in a pulse-doped GaAs structure", Semicond. Sci. Technol., 7, pp.B372-374, 1992

13) C.F.C. Wood, G. Metze, J. Berry, and L.F.Easrman, Appl.Phys.Lett., 51 p.383, 1980

14)N. Kobayashi, T. Makimoto, and Y. Horikoshi, Jpn. J. Appl. Phys. 24 p.L962, 1985

15) N. Moll, M.R. Hueschen, and A. Fischer-Colbrie, "Pulse-Doped AlGaAs/InGaAs Psedomorphic MODFET's," IEEE Trans. Electron Devices, Vol. 35, No. 7, pp.879-885, 1988

16) J.C. Huang, M. Zaitlin, W. Hoke, M.Adlerstein, P. Lyman, P.Saledas, G. Jackson, E. Tong, and G. Flynn, "A High-Gain, Low-Noise, 1/2-μm Pulse-Doped Pseudomorphic HEMT," IEEE Electron Device Letters, Vol. 10, No. 11, pp.511-513, 1989

17) P.C. Chao, M.S. Shur, R.C. Tiberio, K.H. George Duh, P.M. Smith, J.M. Ballingall, Pin Ho, and A.A. Jabra, "DC and Microwave Characteristics of Sub-0.1-μm Gate-Length Planar-Doped Pseudomorphic HEMT's," IEEE Trans. Electron Devices, Vol. 36, No. 3, pp.461-473, 1989

18) E.F. Schubert, J.E. Cunningham, W.T. Tsang, and T.H. Chiu, "Delta-doped ohmic contacts to n-GaAs," Appl. Phys. Lett., 49 (5), pp.292-294, 1986

19) E. F. Schubert, A. Fischer, and K. Ploog, "The Delta-Doped Field-Effect Transistor (δ FET), " IEEE Trans. Electron Devices, Vol. ED-33, No.5, pp.625-632, 1986

20) E.F. Schubert, J.E. Cunnimgham, and W.T. Tsang, "Self-aligned enhancement-mode and depletion-mode GaAs field-effect transistors employing the δ -doping technique," Appl. Phys. Lett., 49 (25), pp.1729-1731, 1986

21) K. Ploog, "Delta-(δ -) Doping in MBE-Grown GaAs: Concept and Device Application," J. Crystal Growth 81, pp.304-313, 1987

22) A. Zrenner, H. Reisinger, F. Koch, and K. Ploog, "Electron Subband Structure of a δ (z)-Doping Layer in n-GaAs", Proc. of the 17th Int. Conf. on the Physics of Semiconductors, pp.325-328, 1985

23) A.Zrenner , F. Koch, and K. Ploog, "Facts and fancies about the δ -doping layer of Si in MBE-grown GaAs", Inst. Phys. Conf. Ser. No. 91, pp.171-174, 1988 (Paper presented at Int. Symp. GaAs and Related Compounds, Heraklion, Greece, 1987)

24) L.L. Chang, H. Sakaki, C.A. Chang, and L. Esaki, Phys. Rev. Lett. 38, p.1489, 1977

25) S. Yamada and T. Makimoto, "Subband mobility of quasi-two-dimensional electrons in Si atomic layer doped GaAs", Appl. Phys. Lett. 57 (10), pp.1022-1024

26) N. Pan, J. Carter, G.S. Jackson, H.Hendriks, and X.L. Zheng, "Si delta-doped field-effect transisors by atmospheric pressure metalorganic chemical vapor deposition", Appl. Phys. Lett. 59 (4), pp.458-460, 1991

27) M. Inoue, M. Inayama, S. Shirafuji, and Y. Inuishi, "Parallel Electron Transport and Field Effects of Electron Distributions in Selectively-Doped GaAs/n-AlGaAs", Jpn. J. Appl. Phys, Vol.22, No.4, pp.L213-215, 1983

28) T. Makimoto, N. Kobayashi, and Y. Horikoshi, "Electron conduction in GaAs atomic layer doped with Si", J. Appl. Phys., 63 (10), pp.5023-5026, 1988

29) E.F. Schubert, J.E. Cunningham, and W.T. Tsang, "Electron-Mobility Enhancement and Electron-Concentration Enhancement in δ -doped n-GaAs at T=300K", Solid State Comm., Vol.63, No.7, pp.591-594, 1987

30) Y. Balynas, A. Krotkus, T. Lideikis, A. Stalnionis, and G. Treideris, "Electro-optical Measurement of High-field Conductivity in δ -doped GaAs Epitaxial Layers", Electronics Lett., Vol.27, No.1, pp.2-3, 1991

31) W.T. Masselink, "High differential mobility of hot electrons in delta-doped quantum wells", Appl. Phys. Lett. 59 (6), pp.694-696, 1991

32) 中島 成、林 秀樹、「電界効果トランジスタ」、特願平 3-10870

" Field Effect Transistor having a double pulse-doped structure ,"
United States Patent- 540811

33) S. Nakajima, N. Kuwata, N. Shiga, K. Otobe, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Characterization of Double Pulse-Doped Channel GaAs MESFET's", IEEE Electron Device Lett., Vol.14, No.3, pp.146-148, 1993

34) S.J. Wang, S.L. Wu, H.D. Chung, T.K. Carns, X.Zheng, and K.L. Wang, "A p-Channel Coupled Delta-Doped Silicon MESFET Grown by Molecular Beam Epitaxy", IEEE Electron Device Lett., Vol.15, No.6, pp.206-208, 1994

35) S.L. Wu, S.J. Wang, and C.C. Liu, "High-Performance Double δ-Doped Channel Si Metal Semiconductor Field-Effect Transistors", Jpn. J. Appl. Phys., Vol.33, pp.L1195-L1197, 1994

36) X. Xheng, T.K. Carns, K.L.Wang, and B. Wu, "Electron mobility enhancement from coupled wells in delta-doped GaAs," Appl. Phys. Lett., 62 (5), pp.504-506, 1993

第5章　GaAs MESFETの高周波特性

5-1 緒　言

GaAsをデバイス材料として用いる利点はその優れた高速動作、高周波特性にある。

近年Siバイポラートランジスタの性能が向上してきたとはいえ、比較的電流容量の大きなもの、また低電圧駆動応用ではGaAs系デバイスの優位は動かない。高速動作や高周波特性の良さは、電子デバイスの特性を評価する上で重要である。しかしながら「デバイス特性を決定している物理機構は何か」という基本問題は必ずしも明確にはなっていない。

1980年に開発された高電子移動度トランジスタ(HEMT:High Electron Mobility Transistor)は、その高い電子移動度ゆえにMESFETよりも優れた特性を示すと言われてきた。しかしながら、デバイスの動作を考えた場合、チャンネルには高電界が印加されているので低電界の移動度は素子特性に大きな影響を与えないとも考えられる。筑波大学の長谷川は、この観点からHEMTの動作原理を見直しHEMTの特性には高電子移動度はほとんど寄与していないことを指摘した[1]。一方、ゲート長が短縮されてきた場合、電子輸送に非定常的つまり電子速度のオーバーシュート効果が見えるため低電界での移動度の高いHEMTがやはり有利ではないかという意見もある[2]。

本章では、本研究で作製したMESFETとこれまでに他研究期間で開発されたHEMTを比較することにより、デバイスの高速性／高周波特性を決める要因を明らかにする。

5-2 素子の高速動作、高周波特性を表す指標

GaAs MESFETの高速動作を表す指標には伝達コンダクタンス gmが用いられる。また高周波特性を表す指標としては電流遮断周波数 f_Tが用いられる。

MESFETのドレイン電流(Ids)はポアソン方程式を解くことで求められる。

計算のために図5-1のようにx,y 座標の向きを取る。今、グラジュアル近似が成り立つ時には一次元のポアソン方程式は次のようになる。

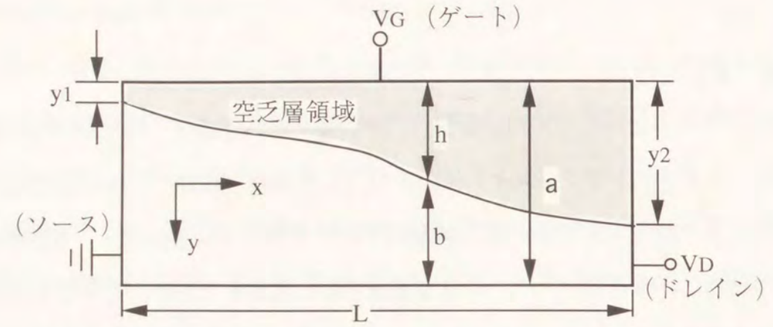


図 5-1 チャンネル内の空乏層の模式図

$-d^2V/dy^2=dEy/dy=\rho(y)/\varepsilon s$ または $-d^2V/dy^2=qNd/\varepsilon s$ (1)

Eyはy方向の電界強度である。

ソース側からxだけ離れた場所での空乏層幅hは

$h=\{2\varepsilon s[V(x)+Vg+Vbi]/qNd\}^{1/2}$ であるので

$dh=\{2\varepsilon s[V(x)+Vg+Vbi]/qNd\}^{-1/2}\cdot(\varepsilon s/qNd)\,dV$ (2)

ソース端、ドレイン端での空乏層幅はそれぞれ次のようになる。

$y_1=[2\varepsilon s(Vg+Vbi)/qNd]^{1/2}$ ソース端 (x=0) (3)

$y_2=[2\varepsilon s(Vd+Vg+Vbi)/qNd]^{1/2}$ ドレイン端 (x=L)

y_2の最大値はチャネル厚(a)に等しく、それに対応する電圧をピンチオフ電圧(Vp)と呼ぶ。

$Vp=V(y_2=a)=qN_da^2/2\varepsilon s$ (4)

x方向の電流密度Jxは

$Jx=qN_d\mu Ex$ (5)

Exはx方向の電界強度(Ex=-dV/dx)、μは移動度である。

ドレイン電流(Id)は次のように与えられる。

$Id=qN_d\mu(dV/dx)(a-h)Z$ (6)

$Id\cdot dx=Z\mu qN_d(a-h)dV$ (6a)

ここで式(2)を用いて $dV=(qN_d/\varepsilon s)\cdot h\cdot dh$ (7)

(7)式を(6)式に代入してx=0からx=Lまで積分すると

$$Id=\frac{1}{L}\int_{y1}^{y2}Z\mu qN_D(a-h)\frac{qN_D}{\varepsilon_s}h\,dh$$

$$=\frac{Z\mu q^2N_D^2a^3}{6\varepsilon_sL}\left[\frac{3}{a^2}(y_2^2-y_1^2)-\frac{2}{a^3}(y_2^3-y_1^3)\right] \quad (8)$$

ゲート長が短くなると電子は飽和速度で走行する。つまり$\mu(dV/dx)=Vs$

よって(6)式はId=qVsZ(a-h)Ndと表される。この場合は均一ドープの場合であるが一般的なドーピングプロファイル$\rho(y)$の場合は、

$$I=VsZ\int_0^{a-h}\rho(y)\,dy \quad (9)$$

$dI/dh=VsZ\,\rho(h)$, $dV/dh=h\,\rho(h)/\varepsilon s$ (10)

ゲート長が短い場合には、寄生抵抗を含まない真性のgmは一般的には次式で与えられる。

$gm=\Delta Id/\Delta Vg=VsZ\varepsilon s/h(Vg)$ (11)

$h(Vg)=\{2\varepsilon s(\Phi b-Vg)/qN_d\}^{1/2}$ (12)

Vsは電子の平均したドリフト速度、εsは半導体の誘電率、h(Vg)はあるゲートバイアス下での空乏層幅、ZはFETのゲート幅である。

この式より、gmを高くするにはVsの大きな材料または構造を使用し、Ndを高くし空乏層幅を狭めればよいことがわかる。

また、第3章で提案したパルスドープ構造の場合は、

$h(Vg)=[X1^2-X1^2N1/N2+2\varepsilon s(\Phi b-Vg)/(qN2)]^{1/2}$ (12')

となり、表面アンドープ層の厚みX1の薄層化とドーピング層の濃度N2を高めることがgmの向上につながる。ただし、X1の薄層化はトンネル効果によるショットキー特性

の劣化を招くためトレードオフがある。

実際のデバイスでは、ソース側の寄生抵抗Rsによりgm*ext*は次の式で表わされる。

$gm_{ext} = gm/(1+Rsgm)$

そのため、gmの大きな素子ほど寄生抵抗の低減が重要になってくる。

一方、電流遮断周波数f_Tは、MESFETのゲート容量Cgsを通る電流が電流源gm・Vcに等しくなる周波数と定義される。（つまり電流利得が1となる周波数、ここでVcはゲート容量に印加された電圧である。）

短チャンネル近似下ではf_Tは次式により与えられる。

$$f_T=gm/2\pi Cgs=Vs/2\pi Lg \quad [\ gm=VsZ\ \varepsilon\ s/h(Vg),\ \varepsilon\ s/h(Vg)=Cgs\ ] \qquad (13)$$

Cgsはゲート容量、Lgはゲート長である。

この式よりf_Tは、Vsが一定のもとではゲート長に反比例して増加するので、f_Tを高めるにはVsの大きな材料を使用し、ゲート長を短縮すればよいことがわかる。

5-3 素子の評価技術

素子の直流特性は電圧／電流源と電圧／電流計を組み合わせたHP社のパラメータアライザHP-4145Bにより測定した。特にgmに関しては、ドレイン電圧やゲート電圧に依存するため本研究では実際に使用される飽和領域(Vds>1.0 V)での特性に重点をおいた。直流測定を行う場合は測定中の発振の問題を回避しなければならない。発振は利得の大きな（つまりはゲート幅の大きな）素子で起こりやすい。そのため測定する素子はゲート幅20 μmの素子を選んだ。

高周波特性を表すf_TはHP社のネットワークアナライザHP-8510Bを用いたFETのSパラメータ測定より求めた。

MESFETの等価回路は図5-2のように表される。

ここでgmはキャリアの走行時間Ttによる位相遅れを考慮して$gm\exp(-j\omega Tt)$で表される。Cgsはゲート・ソース間の容量、Riはチャンネル抵抗、Cdgはゲート・ドレイン間容量、Cdsはソース・ドレイン間容量を表す。Cgsはゲート・ソース間の容量、Riはチャンネル

抵抗、Cdgはゲート・ドレイン間容量、Cdsはソース・ドレイン間容量を表す。Rdsはチャンネルのコンダクタンスを表す。寄生抵抗のRsはソース抵抗を表し、Rdはドレイン側に存在する寄生抵抗、Rgはゲート金属の抵抗である。

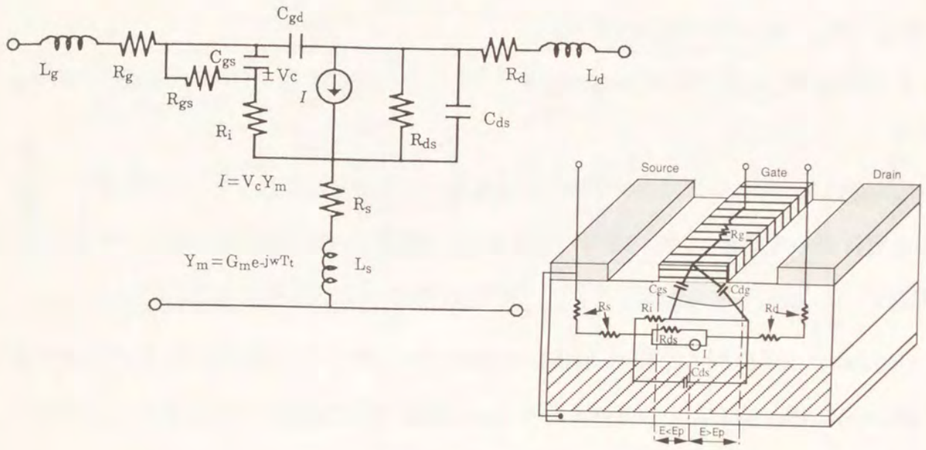


図5-2 MESFETの等価回路

実際の測定は、コプレーナ線路を有するマイクロ波プローバ（カスケードマイクロテック社製）によりFETのSパラメータを0.5 GHzから18 GHzまで測定する。Sパラメータは、2ポートネットワークに入射する進行波電力をa_1, a_2および反射する進行波電力をb_1, b_2とすると以下のような関係にある。

$$b_1=S_{11}a_1 + S_{12}a_2$$

$$b_2=S_{21}a_1 + S_{22}a_2$$

SパラメータとYパラメータ、Hパラメータは以下の関係にある。

$$a_1=Y_{11}b_1 + Y_{12}b_2$$

$$a_2=Y_{21}b_1 + Y_{22}b_2$$

$b_1=H_{11}a_1 + H_{12}b_2$

$a_2=H_{21}a_1 + H_{22}b_2$

この測定結果よりYパラメータ、Hパラメータを算出し電流利得H_{21}の周波数依存性よりf_Tを求める（10 GHzと比較的低い周波数までのH_{21}を-6 dB/octの外挿をして0 dBと交わる点をf_Tとする）。H_{21}はSパラメータにより次のように表される。

$H_{21}=-2S_{21}/[(1-S_{11})(1+S_{22}) + S_{12}S_{21}]$

また等価回路定数は実測したSパラメータと等価回路によるSパラメータがフィティングするように求める。

最高発振周波数f_{max}はFETが発振可能な最高周波数と定義される。FETが発振するためには利得が必要であり、その意味で最大単方向電力利得$G_{u(max)}$が1(0 dB)となる周波数と定義する。なお、Gu(max)はSパラメータを用いて次のように表される。

$G_{u(max)}=|S_{21}-S_{12}|^2/[1+|S_{11}S_{22}-S_{12}S_{21}|^2-|S_{11}|^2-|S_{22}|^2-S_{12}S_{21}^*-S_{12}^*S_{21}]$

$G_{u(max)}$はMason's Uとも呼ばれる。f_T, f_{max}の測定方法の詳細は次の文献に詳しい[3]。

高周波測定には、ゲート幅が200 μmおよび280 μmの素子を選んだ。

5-4 素子の評価結果

第２章で提案したダミーゲートを用いたn+自己整合型のMESFETを作製した。短チャネル効果の抑制のために、第３章で提案した新LDD 構造を採用した。

パルスドープ構造をチャンネルに用いたMESFETも評価したが、ここでは活性層は30 KeVのイオン注入で形成したMESFETの評価を中心に述べる。なお、イオン注入で形成したチャンネルの電子移動度は約2500 $cm^2/V \cdot s$でこれはHEMTの1/2～1/3である。

5-4-1 DC特性

図5-3に半導体パラメータアナライザで測定したゲート長0.3 μmのMESFETの静特性を示す。ピンチオフ特性は良好で、しきい値電圧は 50 mV, g_mはしきい値電圧から単調に増加しVg=0.7 V付近を越えると減少する。Vg=0.7 Vを越えるとg_mが減少する理由はショットキゲートの立ち上がり電圧を越えてゲート電流が流れ出し、もはや空乏層の変調には寄与しなくなるからである。なお最大g_mとして450 mS/mmが得られている。次にg_mのゲート長に対する依存性を図5-4に示す。ここでg_mはVds=1.0 V, Vg=0.5-0.6 Vでの値である。

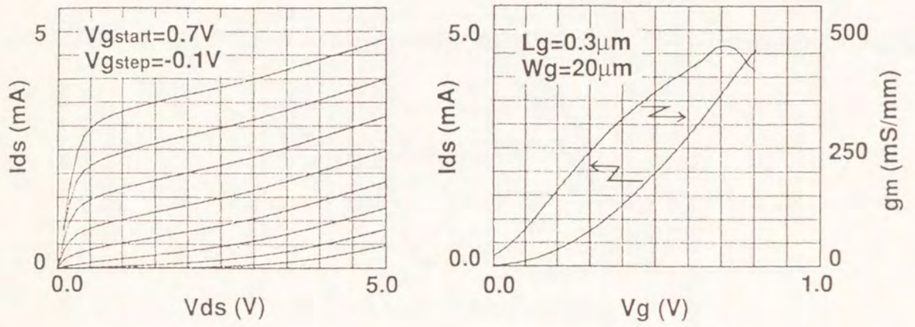


図5-3 ゲート長0.3 μmを有するGaAs MESFETの静特性

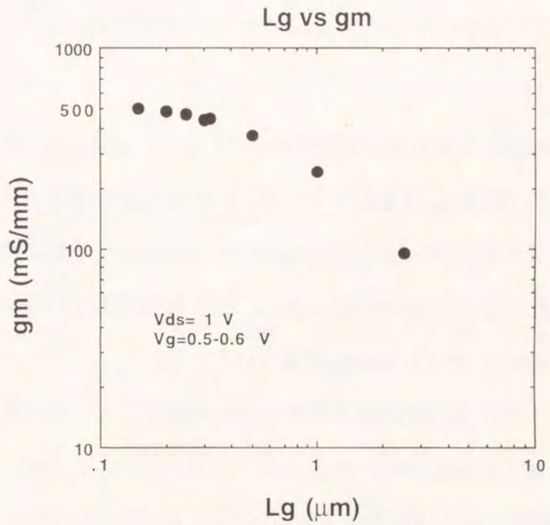


図5-4 gmのゲート長依存性

ゲート長0.2 μmでは500 mS/mmの値が得られており、ダイオードの順方向電流特性より求めたRsは0.78 Ω · mmで、これより真性のgmは820 mS/mmと見積られる。

短チャンネル効果が抑制された結果、gmは0.5 μm辺りまではゲート長に反比例する形で増加していき、それ以降は飽和する傾向にある。これは前節で示したように、短ゲート領域ではgmはVsによってのみ決まることに対応している。なお、AlGaAs/GaAs HEMTで得られるgmの値を図5-5に示す[4]。この図と比較すると本研究で得られた値（ゲート長0.15 μmで510 mS/mm)は同じゲート長のAlGaAs/GaAs HEMTと同等かそれ以上の値である。

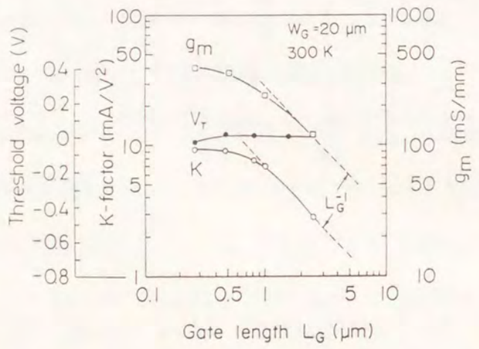


図5-5 HEMTにおけるgmのゲート長依存性(Ref. 4より)

5-4-2 高周波特性

次に高周波特性の測定結果を示す。測定したSパラメータの周波数は0.5～20 GHzである。図5-6には、ゲート長0.3 μmの素子のS パラメータから求めた電流利得H_{21}の周波数依存性を示す。バイアス条件はVds=2.0 V, Vg=0.5 Vである。この直線外挿(-6 dB/oct)により電流遮断周波数f_Tとして52 GHzが得られる。また最大単方向利得Masons'Uの直線外挿より最大発振周波数fmaxとして75 GHzが得られている。

図5-7にはf_Tのゲート電圧(Vg)依存性を示す。gmと同様にしきい値電圧から単調に増加しているがある値を越えると飽和傾向を示す。これはチャンネルが開いてくると、gmの増加をCgsの増加が相殺するためと考えられる。

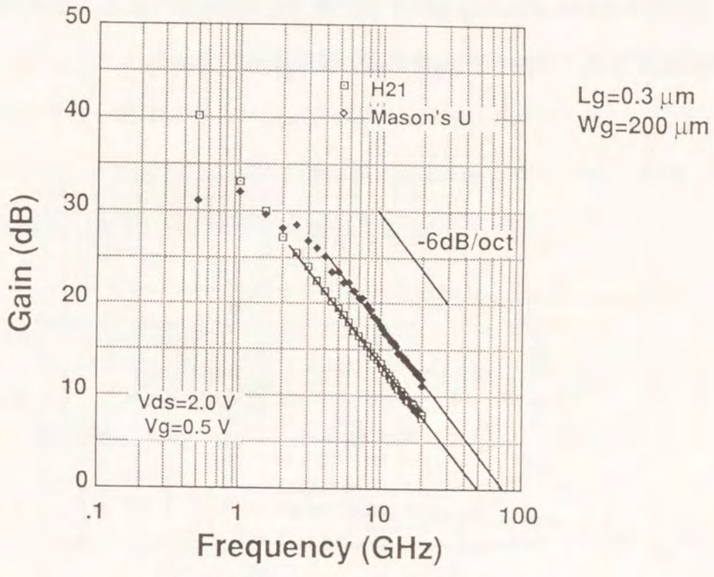


図5-6 H_{21}とMason's Uの周波数依存性

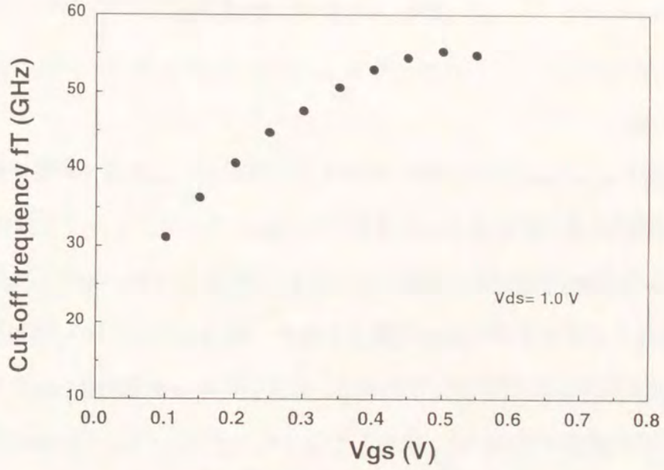


図5-7 f_Tのゲート電圧依存性

次にf_Tのゲート長依存性を図5-8 に示す。式(13)に示されたようにゲート長が0.25 μmまではf_Tはゲート長に反比例する形で増加している。この領域ではf_T · Lg=16 GHzが成

り立っている。

これらの値もAlGaAs/GaAs HEMTと比較して同等の値である。なお本研究ではゲート長0.15 μmの素子において71 GHzと高い値を実現している。

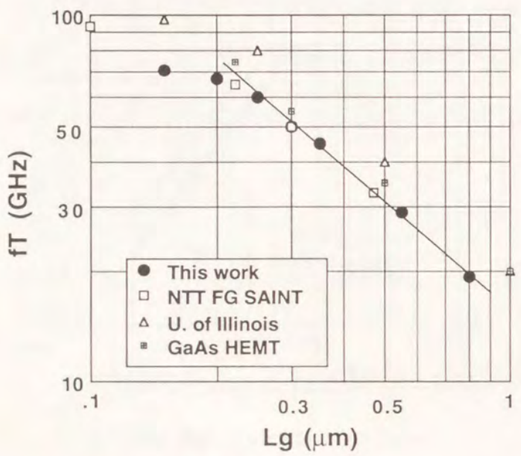


図5-8 f_Tのゲート長依存性

5-4-3 考　察

本研究で開発したMESFETとHEMTの特性を比較すれば、低電界での電子移動度は短ゲート長の素子の高速／高周波特性にほとんど影響を与えていないことがわかる。

同様の結果が他の研究機関でも確認されている。HidaらはAlGaAs/GaAs選択ドープ構造に変えてチャンネルとなるGaAsを高濃度薄層化しAlGaAsはノンドープにするDMT (Doped-channel MIS-like FET)を開発し、0.3 μmゲートでのg_mが760 mS/mmというHEMTで得られているよりはるかに高い値を実現している[5]。またInomataらもAlGaAs/GaAs HEMTのGaAsチャンネルに意図的にドーピングを施すことにより移動度はHEMTより低いが、HEMTより高いg_mを得ている[6]。特にドープしたチャンネルを使用することは、ヘテロ界面のバンドオフセット量により最大電流密度の決まるHEMTと異なり、より多くの電流密度が得られるため高出力用デバイス応用に研究されている[7-10]。これらのデ

バイスでもHEMTに匹敵する高周波特性が得られている。MESFET系ではM. Fengらがイオン注入プロファイルやゲートリセス構造を最適化することにより、ゲート長0.25 μmのデバイスにおいてg_mが524mS/mm, また電流遮断周波数f_Tが83 GHzというHEMTと同等かそれ以上の特性を得ている[11]。さらにOnoderaらはAu/WSiNゲートを用いた自己整合型MESFETにおいてゲート長0.35 μmにおいてg_mが420 mS/mm, f_Tが75 GHzとHEMTを大きく上回る特性を得ている[12]。これらの結果を図5-9, 図5-10に示す。

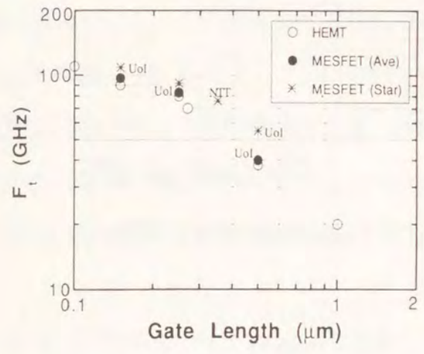


図5-9 f_Tのゲート長依存性(Ref.11より)

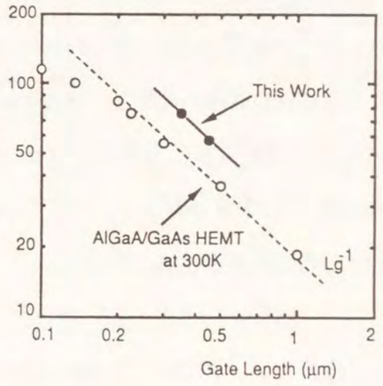


図5-10 f_Tのゲート長依存性(Ref.12より)

HEMTとMESFETを同一ゲート長で比較した場合、g_mに関してはMESFETの方が高く、f_Tに関しても同等か若干上回るということが言える。さらに低電界での移動度が素子特性に影響を及ぼさないことは、極低温での素子特性の比較において明確になった。選択ドープ構造を有するHEMTは、低温になると不純物散乱の影響がないため移動度は室温に比べ10～100倍は増加する。もし素子特性が低電界での移動度に支配されているなら、移動度の増加に見合った向上が見られるはずである。J. Laskarらは独自の低温プローブステーションによりInGaAs/GaAsヘテロ接合においてMODFET(HEMT), MISFET, MESFETの低温での高周波特性の比較を行った[13]。その結果、低温でのf_Tの増加量は全てのデバイスで高々10～20%に過ぎないことを明らかにした。MizutaniもAlGaAs/InGaAs HEMTにおいて同様な結果を得ている[14]。これらの結果を図5-11に示す。f_Tの増加量は

電子移動度の増加には対応せず、むしろ高電界での電子速度の温度依存性がfTから計算される電子飽和速度の温度依存性に一致するという結果を示している。（図5-12 参照）これらの結果からもFET系のデバイス特性には、電子移動度よりも高電界での電子速度（電子飽和速度）の方が重要であることを示唆している。

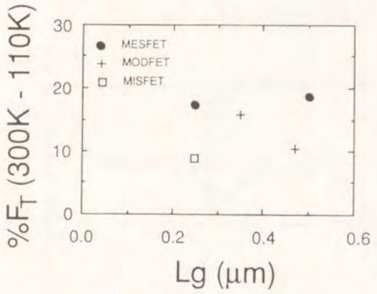


図5-11 fTの温度依存性(Ref.13より)

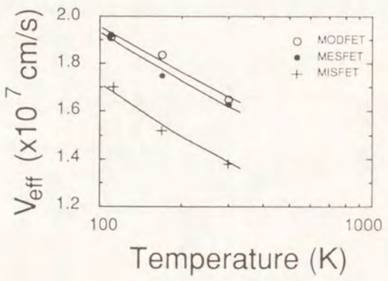


図5-12 電子飽和速度の温度依存性(Ref.13より)

さらに最近のデータでは、AlGaAs/GaAs ヘテロ構造ではGaAs チャンネルの電子が電界によりAlGaAs 層に実空間遷移するため電子輸送特性が劣化し、むしろホモ接合であるMESFETの方が優れた特性を示すという報告もある15,16)。

３～４年前まではGaAs MESFETの特性がGaAs HEMTの特性に及ばなかった理由としては次のことが考えられる。

（１）HEMTのソース抵抗は低電界の移動度とキャリア濃度により決まるので、同じリセス構造のMESFETと比較すれば移動度の分だけソース抵抗は低い。

（２）HEMTのチャンネル厚は非常に薄いのでLg/aが大きく「短チャンネル効果」が起こりにくい。そのため短ゲート長の素子でも良好な特性が得られた。

（３）HEMT構造の場合、ゲート電極とチャンネル間隔が従来のMESFETより短く式(11), (12)で表されるように空乏層幅が狭くなるため本質的にgmが大きくなる。

しかし、最近のMESFETではn+自己整合構造によるソース抵抗低減や、活性層の薄層化、p層埋め込み構造による「短チャンネル効果」抑制などにより、材料固有の特性が

引き出されるようになったため、HEMTと同等かそれ以上の特性が得られるようになったのである。

第3章で提案したパルスドープ構造を有するMESFETの場合の結果を簡単に述べる。

デバイス構造は図3-14に示すようにLDD構造を用いていないためn+とゲート間に高抵抗領域が存在し、ソース抵抗はイオン注入層をチャンネルとした本章のデバイスより大きい。しかしながら、ゲート長0.3 μmのデバイスのfTは45 GHzが得られている。この値は後述するように、ゲート金属が両側の絶縁膜にオーバラップするために生じるMIS容量を含んでいる。この容量を除くと52 GHzの値が得られる。またn+領域とゲート電極の間隔を考慮して、有効ゲート長Lg'(= Lg + 0.1μmと仮定）を導入すれば式(13)より電子飽和速度Vsとして1.5×10^7 cm/sが得られる。この値はこれまでに報告されているGaAsの電子飽和速度の値と同等であり、この結果からも「パルスドープ」構造では電子輸送特性は劣化していないことがわかる。

5-5 サブ0.25 μm以下での特性解析

本研究で開発したGaAs MESFETは、図5-8に示したように0.25 μm以下になるとfTは飽和する傾向を示す。この現象は短チャンネル効果のために素子特性が劣化してくるためではない。なぜならば、図5-4に示されたようにgmは飽和する傾向にあるが0.25 μm以下でも決して減少はしていないからである。図5-2の等価回路図を参照すれば、Cgsはゲート長の短縮に比例して減少する。しかしフリンジング容量と呼ばれるCdgはゲート長によらずほぼ一定(Cdg=π ϵ_sWg/2)である。またこの他にゲートパッドの大地との容量も一定値である。さらに本研究で採用した素子構造では、ゲート金属がSiO2/SiNの絶縁膜上に重なっており、これは基板側の高濃度層との間でMISの容量を生じさせる。これらの値は非常に小さいのでゲート長が長くCgsが大きい場合にはほとんど影響しないが、ゲート長の短縮とともにCgs が小さくなりこれらの寄生容量と同等になれば影響がでてくる。

本節ではこれらの寄生効果の影響を見積り、MESFETの真性特性を求める。さらに真性特性よりGaAs MESFETにおいても電子速度のオーバーシュート効果が生じている可能性も検討する。

5-5-1 GaAs MESFETの寄生容量

1）ゲート電極部のMIS容量

本研究で用いた素子構造を特に寄生容量を含んだ形で図5-13に示す。ゲート金属が絶縁物であるSiO_2/SiN膜に重なっていることからこの部分に容量が生じる。

簡単な解析として、平行平板近似を用いてこの容量を見積ってみる。図5-14に示すようにこの部分を２つの領域に分け、全容量はこの２つの和として求める。

$$C_{MIS} = C_1 + C_2$$

$$C_1 = \frac{W}{\frac{\varepsilon_2 b_1 + \varepsilon_1 b_2}{a_2 \varepsilon_1 \varepsilon_2}} = \frac{a_2 \varepsilon_1 \varepsilon_2 W}{\varepsilon_2 b_1 + \varepsilon_1 b_2} \qquad dC_2 = \frac{1}{\frac{1}{\varepsilon_1 W\, dx} + \frac{x \tan\Theta}{\varepsilon_2 W\, dx}} \quad より$$

$$C_2 = \frac{\varepsilon_2 W}{\tan\Theta} \log\left(1 + \frac{\varepsilon_1 a_1}{\varepsilon_2 b_2} \tan\Theta\right)$$

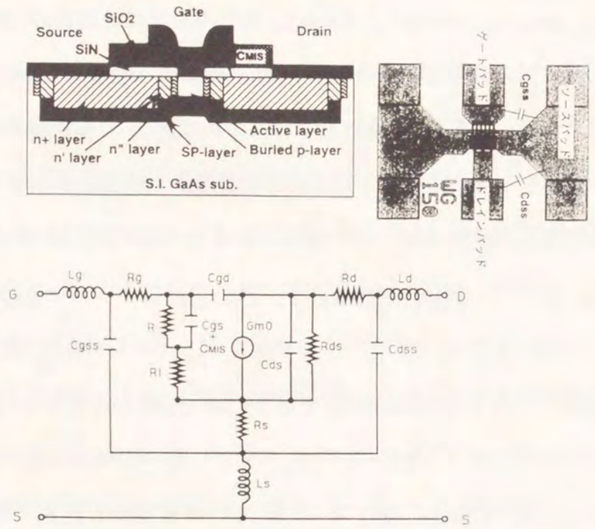
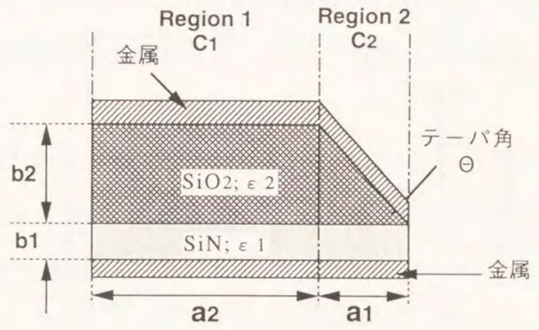


図5-13 寄生容量を含んだMESFETの等価回路



Wは幅

ε 1 : 4.0 for SiN
ε 2 : 6.0 for SiO_2

a1 : 0.1 μm
a2 : 0.3 μm
b1 : 0.06 μm
b2 : 0.20 μm
Θ : 63°
の場合　C=70 fF/mm

図5-14 平行平板近似を用いたMIS容量の断面

式より容量は絶縁膜のエッジのテーパ角に影響されることがわかる。つまりテーパ角を大きくした方が容量は小さくできる。本研究で用いたプロセスでは、第２章で述べたようにダミーゲートにレジスト単層を用いているので膜の付きまわりはよく、断面のSEM観察よりテーパ角は63度と見積られている。また金属の重なり量が小さいほど容量も小さくできる。しかしこれには露光時の位置合わせ精度が関係してくるので本研究では0.3 μmを採用している。図5-15に計算で求めたMIS容量のゲート金属重なり量依存性を示す。ゲート金属の重なり量にほぼ反比例する形で容量は低減している。実際は重なり量が小さくなるとテーパ部分の容量の影響が支配的になり、反比例からはずれていくと考えられる。

実際の素子でこのMIS容量を求めるためにはゲート金属の重なり量の異なる素子を作製し、f_Tとg_mから寄生容量込みの全容量Ctotal($C_{total}=g_m/2\pi f_T$)を求め、ゲート金属の重なり量に対してプロットすることでMIS容量を見積った。

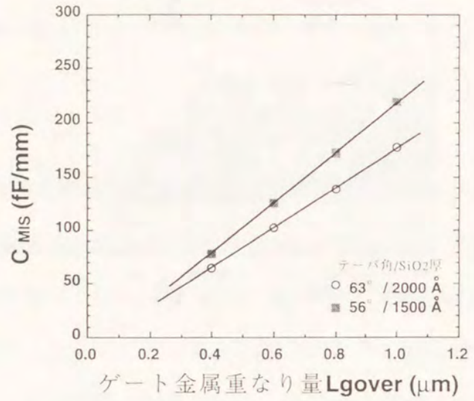


図5-15ゲート金属重なりとMIS容量の関係（計算結果）

図5-16にゲート長0.3 μmのMESFETに対する結果を示す。ゲート金属の重なり量が0になるところがMIS容量がない場合の容量であり1.3 pF/mmが得られる。

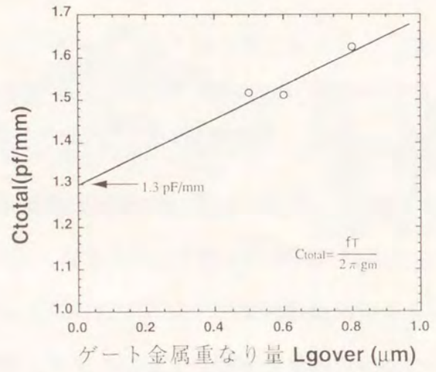


図5-16 ゲート金属重なり量と全容量の関係

この結果は他の研究機関からのオーバラップ構造を有さないGaAs MESFETの報告値とほぼ一致しており17)、妥当な値と考えられる。これにより実際のデバイスではゲート金

属の重なり量は両側で0.6 μmであるのでMIS容量は約0.2 pF/mmと見積られる。図5-15との差異は、計算では半導体側を金属と見なしたが、実際は半導体側にも空乏層が延びるためと考えられる。

2）パッドの寄生容量

トランジスタの高周波特性を評価するため、近年マイクロ波プローバと呼ばれるコプレーナ線路を用いた治具が使用されている。そのためデバイス側にもこのプローブに対応したパッドが必要になっている。マイクロ波プローバ対応の代表的なパッド配置を図5-17に示す。このパッドが大地との間に容量を持つため寄生容量となる。パッドの寄生容量を求める方法としては、同一パッド寸法に対してゲート幅を変えた素子の全ゲート容量のゲート幅依存性より求める方法を提案されている18)。ゲート幅依存性をとりゲート幅が0になる点を外挿すればその値がパッド容量である。この方法でパッド面積50 μm□に対して0.017 pFと言う値を得られている。同様に川崎らは実際にパッド面積を変えることにより19)、Enokiらは、等価回路定数をフィティングする方法でパッド容量を求めている17)。パッド容量はパッド面積に比例するので彼らが求めた値から類推すると本研究で用いた80 μm□に対しては0.04 pFと見積ることができる。

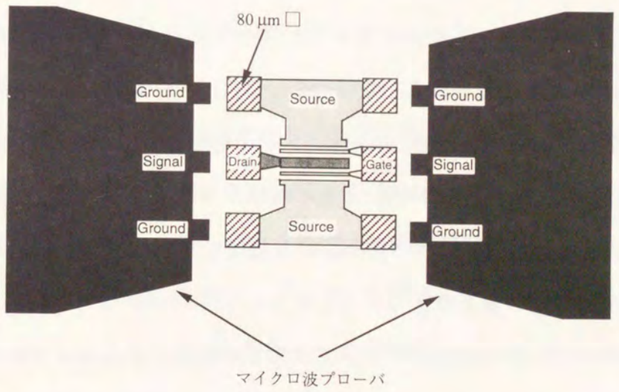


図5-17 マイクロ波プローバに対応した代表的パッド配置

5-5-2 寄生容量の影響

以上の検討より求めた容量はゲート長によらず一定のものである。そこで全容量に占める割合を計算した。

図5-18にその結果を示す。

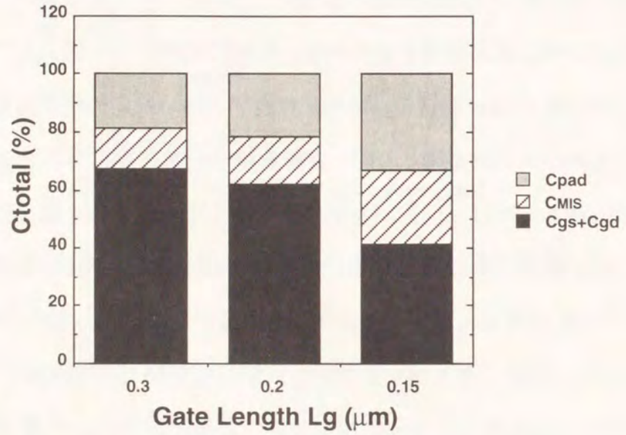


図5-18 各ゲート長に対する寄生容量の影響

ゲート長が0.3 μmの場合MIS容量とパッド容量が占める割合はそれぞれ14.2%と18.3%であるが、0.15 μmになると25.6% と33.1%にもなることがわかる。この寄生容量の影響のためf_Tはサブ0.25 μm以下で飽和してくると考えられる。

図5-19にこれらの寄生容量を除去した場合のf_Tのゲート長依存性を示す。MIS容量、パッド容量の両方を除くことで、f_Tは0.25 μm以下でも飽和せずに増加している。0.15 μmでの真性のf_Tは172 GHzであり実際の約2.4倍である。この結果は、M. FengやT. Enokiらが寄生容量を除いて求めた真性のf_Tの値とほぼ同様な値を示しており、GaAs MESFETの真の電子伝導を反映していると考えられる。

このようにゲート長が比較的長い領域ではあまり問題にならなかった寄生容量が、サブ0.25 μm領域では高周波特性に大きな影響を与えることがわかった。実際このような短ゲートの素子を集積回路に用いる場合、パッド部の寄生容量を正確に見積ることは重

要である。何故なら、回路内に使用する素子にはパッドは付属しないからである。

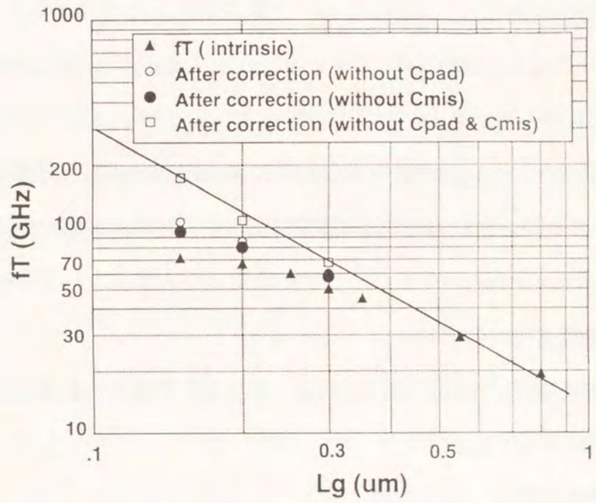


図5-19 寄生容量を除去したf_Tのゲート長依存性

5-6 電子速度のオーバシュート効果

電子はチャンネル内部で様々な電界強度の影響を受ける。そのためチャンネル内の場所により電子速度は異なることは容易に考えられる。そのため電子がチャンネル内を走行する平均速度(Veff)を次式のように定義する。

$$Veff = f_T int \times 2\pi Lg$$

$f_T$intは寄生容量を除いた真性の電流遮断周波数である。

この式を用いてVeffを求めるとLg=0.3 μmに対して1.28×10^7 cm/s, Lg=0.15 μmに対して1.62×10^7 cm/sが得られ、ゲート長短縮にともなってVeffが増加していることがわかる。これはゲート長が短縮された素子では、もはや電子がゲート下を走行する時に定常状態に達し得ないことから起こる「電子飽和速度のオーバーシュート効果」が観測されているものと考えられる。

これまではゲート長短縮に伴う高周波特性の劣化に寄生容量が影響していることはあ

まり考えられていなかった。これら寄生容量はデバイス構造や電極配置にも影響されるため特に0.25 μm以下のデバイスでは特性差となって現われる。このため単に実測されたfTから電子速度を見積ると、オーバシュート効果が見えたり見えなかったりしていたのである。GaAs MESFETで電子速度のオーバシュートが起こっていることはT.EnokiらやM. Fengらの解析からも得られている[17,20]。

また本研究で開発した0.3 μmゲートMESFETにより10 Gbps以上で動作するT型フリップフロップや2:1のセレクタICなど将来の超高速光通信用ロジックICが実現されている。

5-7 高速化、高周波化への方針

これまでの結果を踏まえ、MESFETの高速、高周波特性向上への方針を概略する。

5-7-1 ゲート長の短縮

素子の微細化にはゲート長の短縮が必須である。GaAs MESFETにおいては光学露光を用いて0.1 μm級のゲート長が実現され、fTは100 GHzを越える値が報告されている[21,22]。また、電子ビーム露光によれば0.03 μmのゲート長のデバイスが実現され、fTとして180 GHzが報告されている[23]。短ゲートは露光技術に負うところが大きいが、スループットの問題やゲート長の均一性、再現性を考えて実用上必要なゲート長を最適な露光技術で形成することが重要である。

5-7-2 短ゲート長での素子構造の最適化

第2章で述べたように、短ゲート化に伴う短チャンネル効果を抑制する必要がある。そのためにはチャンネルの薄層化は必須であり、本研究で示したパルスドープ構造が最適と考える。基板側へのリーク電流を抑制する方法として、埋め込みp層を形成するほかにAlGaAsのヘテロバッファーを適用することも検討されている[24]。

またn+領域を基板中に形成すると対峙するn+間よりの基板リーク電流が大きくなるので、エピタキシャル法により基板表面にゲート電極に対し自己整合的にn+層を成長させる構造も提案されている[25]。n+層を成長させる際の界面でのコンタクト抵抗の低減に課題があるが、構造として理想的である。

5-7-3 寄生抵抗の低減

gmはソース側の寄生抵抗をRsとすると

$gm = gm0/(1+Rsgm0)$　　; gm0は寄生抵抗を含まない真性のgm

で表わされるため、gm0が高くなるほど寄生抵抗の低減は重要である。

ソース抵抗は主にソース領域のシート抵抗とオーミック電極の接触部のコンタクト抵抗の和で構成される。

本研究で採用したプレーナ構造では、ソース／ドレイン領域(n+)のシート抵抗を低減することが重要である。またリセス構造ではリセス形状の最適化が重要である[26]。

オーミックのコンタクト抵抗を低減するために、最近では高不純物ドープができるバンドギャップの小さい材料を使用する試みもある[27,28]。さらにはソース抵抗を極力低減するため、オーミック電極とゲート電極の間隔をできるだけ縮小する方法も検討されている[29-31]。

また、最高発振周波数fmaxの向上に重要なゲート抵抗の低減にはT型(マッシュルーム型）が必須となっている（詳細は第6章を参照）。

5-7-4 寄生容量の低減

ゲート長を短縮していくとゲート電極自体の抵抗が大きくなり、高周波領域での利得を低下させる。そのため0.25 μm以下のゲートを有するデバイスは、半導体と接する根元は細く上部は広くしたT型構造を有する。（この詳細は第6章を参照）このような構造では、5-3-2で述べたようなオーバラップに起因する容量の増加を招く。またゲート電極とオーミック電極を近づけることはフリンジング容量を増加させることにつながる。つまり両者はトレードオフの関係にあり、デバイス構造や用途に応じて最適化する必要がある。

またパッド面積も小さくすることが望ましいが、測定の際の針当て精度や実装の際のワイヤボンドの位置合わせ精度の観点よりあまり小さくはできない。

f_Tは$g_m/2\pi C_{total}$の関係にあり、C_{total}の中にゲート容量(Cgs)以外にCgdやパッド容量などの寄生容量が含まれる。そのためg_mを大きくすることが、これらの寄生容量の影響を小さくすることに有効である。g_mを大きくするにはゲートとチャンネル間隔を狭めれば良いが、高濃度層との距離が接近するためショットキー障壁高の低下が問題となる。

5-7-5 材料の選択

これまでに低電界での電子移動度は素子特性に影響せず、電子飽和速度が影響することを明らかにしてきた。この電子飽和速度は材料のバンド構造によって決まるものであるから、同一のゲート長で特性の向上を望むならば電子飽和速度の高い材料を選択する必要がある。$In_xGa_{1-x}As$は、GaAsよりも高い電子移動度、高い電子飽和速度を示すことが知られている[32]。$In_xGa_{1-x}As$の場合、In組成が大きくなるとショットキー障壁高が低下するため表面側にGaAsやAlGaAsやAlInAsを形成する必要がある。この系はx=0.53にてInP基板に格子整合するが、GaAs基板上にも臨界膜厚以下なら転位を発生させることなしにエピタキシャル層を成長できる。本研究でも、第2章で述べたパルスドープ構造のドーピング層をGaAsから$In_xGa_{1-x}As$に変更した、歪みGaAs/InGaAs構造にて良好な特性を得ている[33]。M. FengらはGaAs基板上にOMVPE法により成長させた$In_xGa_{1-x}As$(x=0.18)にイオン注入法にてチャンネルを形成し、ゲート長0.25 μmにてf_T=126 GHzというGaAsチャンネルを上回る特性を得ている[34]。GaAs HEMT系でも、GaAsチャンネルに代わって$In_xGa_{1-x}As$歪みチャンネルが採用され[35]、優れた特性を示している[36-38]。この系では転位を発生させないためにIn組成を高くできない(x=0.1-0.25)が、AlGaAsとの伝導帯のバンドオフセット量が大きいため２次元電子ガス濃度を高くすることができ、またゲート／チャンネル間隔も狭めることができる。基板にInPを使用すればx=0.53にて格子整合するためより優れた特性が期待できる。この系はAlInAsを電子供給層にすると伝導帯のバンドオフセット量をさらに大きくできるため高２次元電子ガス濃度とゲート／チャンネル間隔の短縮が実現できる。この系では0.1 μmクラスのデバイスが問題なく得られ、1000mS/mmを越えるg_mと200 GHzを越えるf_Tが報告されている[39,40]。さらにIn組成を増加させた歪みチャンネルにおいては、InGaAsの良好な電子輸送特性やより大きなバンドオフセット量によりサブ0.1 μmクラスのデバイスが実現されf_Tが300 GHz を越えるものが報告されている[41-43]。

また、ヘテロ接合の場合は高電界下での実空間遷移によって電子輸送特性が劣るので材料の組み合わせが重要である。その点InP/InGaAs系は理想的と言える。

5-8 結　　言

本研究で用いた「短チャンネル効果」を抑制した構造を有するGaAs MESFETの高速/高周波特性を評価し、HEMTのそれと比較することで以下の結論を得た。

短チャンネル効果を抑制したMESFETでは、低電界での電子移動度はHEMTの1/2～1/3程度であるにも関わらず、ゲート長0.3 μmでg_m=450 mS/mm, f_T=52 GHz、ゲート長0.15 μmでg_m=510 mS/mm, f_T=71 GHzとHEMTと同等の特性を得た。

このことは、素子特性の指標となるg_mやf_Tは低電界での電子移動度には依存せず高電界での電子速度によって決められていることを示唆している。

g_mやf_Tを向上させるためには、「短チャンネル効果」を抑制し短ゲート長でも特性劣化が見られない構造にすることと、平均したドリフト速度の高い（つまりは電子飽和速度の高い）材料を採用すること、Rsなどの寄生抵抗を小さくすることが重要である。

また、ゲート長は0.25 μm以下になってくると　ゲート部やパッド部の寄生容量が見えてきて素子の高周波特性向上を妨げている。微細ゲートのデバイスではこの寄生容量の低減も課題となる。

5-9 参考文献

1) 長谷川 文夫、"HEMTはほんとうに高電子移動度トランジスタか？"、電子通信学会研究会、ED85-73, pp.25-32, 1985

F. Hasegawa, "Is HEMT really a high electron mobility transistor ?", IEEE Trans. Electron Devices, Vol. ED-32, p.2528, 1985

2) K. Yokoyama, "Drift velocity comparison between high-electron mobility transistors and doped-channel field-effect transistors at very small dimensions", J. Appl. Phys., 63, pp.938-943, 1987

3) "超高周波・超高速化合物半導体デバイスの測定・評価技術", 1990年電子情報通信学会全国大会講演論文集, SC-7, pp.5-292 ～5-302

4) M. Abe, T. Mimura, N. Kobayashi, M. Suzuki, M. Kosugi, M. Nakayama, K. Odani, and I. Hanyu, "Recent Advanced in Ultrahigh-Speed HEMT LSI Technology", IEEE Trans. Electron Devices, Vol.36, No.10, pp.2021-2031, 1989

5) H. Hida, Y. Suzuki, F. Katano, H. Toyoshima, A. Okamoto, and S. Kumashiro, "A 760 mS/mm N^+ Self-Aligned Enhancement Mode Doped-Channel MIS-Like FET (DMT)," IEDM Tech. Digest, pp.759-762, 1986

6) H. Inomata, S. Nishi, S. Takahashi, and K. Kaminishi, "Improved Transconductance of AlGaAs/GaAs Heterostructure FET with Si-Doped Channel", Jpn. J. Appl. Phys., Vol.25, No.9, pp.L731-733, 1986

7) H.Hida, A. Okamoto, H. Toyoshima, and K. Ohata, "A High-Current Drivability i-AlGaAs/n-GaAs Doped-Channel MIS-Like FET (DMT)," IEEE Electron Device Letters, Vol. EDL-7, No.11, pp.625-626, 1986

8) B.Kim, H.Shih, M. Wurtele, "Millimeter-Wave GaAs Power FET with a Pulse-Doped InGaAs Channel," IEEE Electron Device Letters, Vol.9, No. 5, pp.203-204, 1988

9) P. Saunier and H.Q. Tserng, "AlGaAs/InGaAs Heterostructures with Doped Channels for Discrete Devices and Monolithic Amplifiers," IEEE Trans. Electron Devices, Vol.36, No.10, pp.2231-2235, 1989

10) B. Kim, R.J. Matyi, M. Wurtele, K. Bradshaw, M.A. Khatibzadeh, and H.Q. Tserng, "Millimeter-Wave Power Operation of an AlGaAs/InGaAs/GaAs Quantum Well MISFET," IEEE Trans. Electron Devices Vol.36, No.10, pp.2236-2242, 1989

11)G.W. Wang, M. Feng, C.L. Lau, C. Ito, and T.R. Lepkowski, "0.25 μm Gate Millimeter-Wave Ion-Implanted GaAs MESFET's", IEEE Electron Device Lett., Vol.10, No.5, pp.186-189, 1989

M. Feng, C.L. Lau, V. Eu, and C. Ito, "Dose the two-dimensional electron gas effect contribute to high-frequency and high-speed performance of field-effect transistors?", Appl. Phys. Lett., 57, pp.1233-1235, 1990

M. Feng, and J. Lasker, "On the Speed and Noise Performance of Direct Ion-Implanted GaAs MESFET's", IEEE Trans. Electron Devices, Vol.40, No.1, pp.9-17, 1993

12) K. Onodera, K.Nishimura, K.Asai, and S.Sugitani, "High Microwave and Ultra-Low Noise Performance of Fully Ion-Implanted GaAs MESFET's with Au/WSiN T-Shaped Gate", IEEE Trans. Electron Devices, Vol.40, No.1, pp.18-24, 1993

13) J. Laskar, S. Maranowski, S. Caracci, M. Feng, and J. Kolodzey, "Reduced lattice temperature high-speed operation of pseudomorphic InGaAs/GaAs field-effect transistors", Appl. Phys. Lett., 59, pp.2412-2414, 1991

14) T. Mizutani, and K. Maezawa, "Temparature Dependence of High-Frequency Performance of AlGaAs/InGaAs Pseudomorphic HEMT's", IEEE Electron Device Lett., Vol.13, No.1, pp.8-10, 1992

15) W.T. Masselink, N. Braslau, W.I. Wang, and S.L.Wright, "Electron velocity and negative differential mobility in AlGaAs/GaAs modulation-doped heterostructures", Appl. Phys. Lett., 51, pp.1533-1535, 1987

16) M. Feng, J. Laskar, and J. Kruse, "Fundamental speed limitation of $Ga_{1-x}In_xAs$ MESFETs and HEMTs", Inst. Phys. Conf. Ser. No. 129, pp.741-747, 1992, Paper presented at Int.

Symp. GaAs and Related Compounds, Karuizawa, 1992

17) T. Enoki, S. Sugitana, Y. Yamane, "Characteristics Including Electron Velocity Overshoot for 0.1 μm-Gate-Length GaAs SAINT MESFET's", IEEE Trans. Electron Devices, Vol.37, No.4, pp. 935-941, 1990

18) M. Feng, C.L. Lau, and C. Ito, "A Technique for Correction of Parasitic Capacitance on Microwave f_T Measurements of MESFET and HEMT Devices", IEEE Trans. Microwave Theory and Tech., Vol.39, No.11, pp.1880-1882, 1991

19) 川崎、佐々木、菊池、川野、安部、徳田、" W帯低雑音HEMT" 、信学技報、MW92-75, pp.51-56, 1992

20) M. Feng, C.L. Lau, and V. Eu, "An experimental determination of electron drift velocity in 0.5 μm gate-length ion-implanted GaAs MESFET's", IEEE Electron Device Lett., Vol.12, pp.40-41, 1991

21) Y. Yamane, K. Nishimura, K. Inoue, and M. Tokumitsu, "0.1 μm Gate MESFET's fabricated using ion-implantation and photo-lithography," Techical Digest in IEEE GaAs IC Symposium, pp.185-188, 1993

22) M. Tokumitsu, M. Hirano, K. Murata, Y. Imai, and K. Yamasaki, "A 0.1 μm GaAs MESFET Technology for Ultra-High-Speed Digital and Analog ICs," Technical Digest in IEEE MTTs Microwave Sympoisum, pp.1629-1632, 1994

23) J.A. Adama et al., Device Research Conf., California, No. IIB-8, 1989

24) U.K. Mishra, R.S. Beaubion, M.J. Delaney, A.S. Brown, and L.M. Mackett, "MBE Grown GaAs MESFETs With Ultra-high g_m and f_T," Technical Digest in IEDM, pp.829-831, 1986

25) K. Uetake, F. Katano, K. Kamiya, T. Misaki, and A. Higashisaka, "Improvement of n^+/n-MOCVD interface and its application to sidewall assisted n^+ self-aligned GaAs MESFET," Inst. Phys. Conf. Ser. No. 79 : Chapter 9, pp.505-510, 1985

26) F. Heliodore, M. Lefebvre, G. Salmer, and O.L. El-Sayed, "Two-Dimensional Simulation

of Submicrometer GaAs MESFET's: Surface effects and Optimization of Recessed Gate Structures," IEEE Trans. Electron Devices, Vol.35, No.7, pp.824-830, 1988

27) T. Fujii, T. Inata, K. Ishii, and S. Hiyamizu, "Heavily Si-Doped InGaAs lattice-matched to InP Grown by MBE," Electron. Lett., Vol.22, No.4, pp.191-192, 1986

28) Y. Yamane, Y. Imamura, K. Iwadate, and M. Hirayama, "A new self-aligned GaAs MESFET with Ge/GaAs," Inst. Phys. Conf. Ser. No.79: Chapter 9, pp.493-498

29) A. Higashisaka, M. Ishikawa, F. Katano, S. Asai, T. Furutsuka, and Y. Takayama, "Sidewall-assisted closely spaced electrode technology for high speed GaAs LSIs," Extended Abstract of the 15th Conference on Solid State Devices and Materials, pp.69-72, 1983

30) M. Suzuki, Y.Kuriyama, and M. Hirayama, "A New Self-Aligned GaAs FET With A Mo/WSix T-Gate," IEEE Electron Device Letters, Vol.EDL-6, No.10, pp.542-544, 1985

31) U.K. Mishra, A.S. Brown, L.M. Jelloian, M. Thompson, L.D. Nguyen, and S.E. Rosenbaum, "Novel high performance self-aligned 0.1-μm long T-gate AlInAs-GaInAs HEMTs," Tech. Dig. in IEDM , pp.101-104, 1989

32) S. Bandy, C. Nishimoto, S. Hyder, and C. Hooper, "Saturation velocity determination for $In_{0.53}Ga_{0.47}As$ field effect transistors," Appl. Phys. Lett., Vol.38, pp.817-819, 1981

33) N. Kuwata, S. Nakajima, T. Katsuyama, K. Otobe, K. Matsuzaki, T. Sekiguchi, N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/InGaAs pulse-doped MESFETs grown by organometallic vapor phase epitaxy," Inst. Phys. Conf. Ser., No.120, pp.143-148, 1992

34) G.W.Wang, M. Feng, and R. Kaliski, "Submicron-gate Ion-implanted $In_{0.15}Ga_{0.85}As/GaAs$ MESFETs with Graded Indium Compsition," Electron. Lett., Vo.26, No.3, pp.190-191, 1990

M. Feng, J. Laskar, W. Miller, J. Kolodzey, and G.E. Stillman, "Characterization of ion-implanted $In_xGa_{1-x}As/GaAs$ 0.25 μm gate metal semiconductor field-effect transistors with Ft>100 GHz," Appl. Phys. Lett., 58 (23), pp.2690-2691, 1991

M. Feng and C.L. Lau, " Ion-Implanted $In_{(x)}Ga_{(1-x)}As$ MESFET's on GaAs Substrate for Low-Cost Millimeter-Wave IC Application," IEEE Trans. Electron Devices, Vol.39, No.3,

pp.484-493, 1992

35) A.A. Ketterson, et al., "Characterization of InGaAs/AlGaAs pseudomorphic modulation-doped FET's," IEEE Trans. Electron Devices, Vol. ED-33, p.564, 1986

36) P.C. Chao, R.C. Tiberio, K.H.G. Duh, P.M. Smith, J.M. Ballingall, L.F. Lester, B.R. Lee, A. Jabra, and G.G.Gifford, "0.1 μm Gate-Length Pseudomorphic HEMT's," IEEE Electron Device Letters, Vol. EDL-8, No.10, pp.489-491, 1987

37) M. Itoh, K. Ohmuro, H. Nakamura, S. Nishi, and S. Takahashi, "Effect of InGaAs Well Width on Low-Noise Performance in AlGaAs/InGaAs Pseudomorphic HEMT," Extended Abstracts of the 21st Conference on Solid State Devices and Materials, pp.285-288, 1989

38) P.C. Chao, et al., "DC and Microwave Characteristics of Sub-0.1-μm Gate-Length Planar-Doped Pseudomorphic HEMT's," IEEE Trans. Elcetron Devices, Vol.36, No.3, pp.461-473, 1989

39) U.K. Mishra, et al., "Microwave Performance of AlInAs-GaInAs HEMT's with 0.2- and 0.1-μm Gate Length, " IEEE Electron Device Letters, Vol.9, No.12, pp.647-649, 1988

40) U.K. Mishra, A.S. Brown, M.J. Delaney, P.T. Greiling, and C.F. Krumn, "The AlInAs-GaInAs HEMT for Microwave and Millimeter-Wave Applications," IEEE Trans. Microwave Teory and Tech., Vol. 37, No.9, pp.1279-1285, 1989

41) K.B. Chough, T.Y. Chang, M.D. Feuer, N.J. Sauer, and B. Lalevic, "High-Performance Highly Strained $Ga_{0.23}In_{0.77}As/Al_{0.48}In_{0.52}As$ MODFET's Obtained by Selective and Shallow Etch Gate Recess Techniques," IEEE Electron Device Letters, Vol.13, No.9, pp.451-453, 1992

42) L.D. Nguyen, A.S. Brown, M.A. Thompson, and L.M. Jellolian, "50-nm Self-Aligned-Gate Pseudomorphic AlInAs/GaInAs High Electron Mobility Transistors," IEEE Trans. Electron Devices, Vol.39, No.9, pp.2007-2014, 1992

43) T. Enoki, M. Tomizawa, Y. Umeda, and Y. Ishii, "0.05-μm-Gate InAlAs/InGaAs High Electron Mobility Transistor and Reduction of Its Short-Channel Effects," Jpn. J. Appl. Phys., Vol.33, pp.798-803, 1994

第 6 章　GaAs MESFETの雑音特性

6-1 緒　　言

GaAs FET系がSi デバイスに比べ有利な点に低雑音特性がある。現在のSi デバイスはMOSFETやBipolar Tr.が主流である。MOSFETの場合、チャンネルと酸化膜界面でのキャリア散乱や界面準位でのキャリアの捕獲／放出により雑音特性が劣化し、Bipolar Tr.の場合は、ベース抵抗に起因する熱雑音と電子と正孔の再結合電流が雑音特性を劣化させると考えられている。

そのため、Siで動作可能な周波数帯においても低雑音素子にはGaAs MESFETが使用されてきた。これらは主に軍事用あるいは宇宙からの通信に利用された。また1982年に開発されたGaAs HEMTは従来に増して低雑音特性を示していたため、さらに低雑音分野への応用を拡げた。特に日本においては、1985年にNHKによる衛星を用いたディジタル放送(BS放送）が始まるとパラボラアンテナの小型化を目指し低雑音素子の開発競争が活発化した[1]。BS放送は12 GHz帯の電波を使用する。当初は低雑音部にGaAs MESFETが使用されていたが、優れた雑音特性によりHEMTに徐々に置き換えられ、パラボラアンテナ径も当初の60 cmから半分の30 cmが出現するに至った。これは素子の雑音特性向上のためであり、60 cm径には12 GHzの雑音指数が1.5 dBから2.0 dBの素子が使用されていたが30 cm径には0.6 dB前後のHEMTが使用されている[2]。

また化合物半導体の電子デバイスが初めて民生機器に応用された点でも、HEMTが果たした役割は大きい。BS放送の普及に伴ってHEMTは月産400万素子が生産されるに至り、また価格も当初は数千円／素子していたものが現在では数百円／素子で手に入るようになった。その他にHEMTは、アメリカが打ち上げた惑星探査衛星ボイジャーとの通信や[3]、日本では野辺山の宇宙電波天文台の電波増幅器に使用されている[4]。

このように、HEMTはMESFETよりも優れた雑音特性を示してきた。しかしそれがどのような機構にて得られるのかは必ずしも明らかではなかった。またHEMTはヘテロ接合を有し、そのほとんどがリセス構造を有するために素子の均一性、再現性は必ずしも

優れたものとは言えない。そのためHEMTはほとんどがディスクリート素子として使用されている。将来の高性能化、高機能化のためには素子の集積化は重要であり、そのためには再現性や均一性に優れた素子構造／プロセスの開発が必要である。

本章ではFET系での雑音特性を決める要因を明らかにし、GaAs MESFETの低雑音化を図る方策を検討する。前節までに直流特性や高周波特性は、電子の低電界での移動度ではなく飽和速度で決まり、そのためHEMTとMESFETでは差がないことを示した。

そこで本章では、HEMTとMESFETの構造の差、具体的にはチャンネル層の厚みに着目して、雑音特性の差の生じる原因を追及した。その結果、第3章で提案したパルスドープ構造を用いてチャンネル厚をHEMTの2次元電子層厚と同等にすることにより、MESFETにおいてもHEMTと同等の低雑音特性を得ることができた。さらにこれらの素子を用いて12 GHz帯低雑音増幅器MMICを作製を試作した結果も示す。

6-2 雑音指数とは

FETの雑音源には内因性のものと、寄生抵抗から生じる外因性のものに分類される。内因性雑音にはチャンネル雑音（ドレイン雑音ともいう）とゲート誘起雑音がある。チャンネル雑音は、チャンネル中の熱雑音がチャンネルの導電率を変化させることに起因するもの、電子温度が格子温度より高温になったために生じるもの、電子がk空間のΓ点とL点の間を遷移するときに生じるもの（谷間散乱雑音）、高電界における拡散に起因する雑音からなる。

ゲート誘起雑音は、チャンネル中の雑音がゲート空乏層幅を変化させることによりゲート電圧がゆらぎFETの入力信号となって、もう一度チャンネルを微少変化させることにより生じるものである。ドレイン雑音とゲート誘起雑音は位相によっては互いにキャンセルすることがある。FETのチャンネルをキャリア速度の非飽和領域と飽和領域の２つに分け、発生する内因性雑音を図式化すると図6-1のようになる。

外因性雑音は、ゲートの寄生抵抗、ソースの寄生抵抗、ドレイン寄生抵抗に起因する熱雑音である。

雑音指数のドレイン電流依存性の典型例を示すと図6-2のようになる。ドレイン電流が増加すると高電界でのキャリア散乱による雑音が大きくなり、またドレイン電流の小さな方ではgmが減少（チャンネル抵抗が増大）するため雑音は大きくなる。 従って低雑音用に用いられるMESFETは飽和ドレイン電流(Idss)の15 %程度のバイアスで使用される。

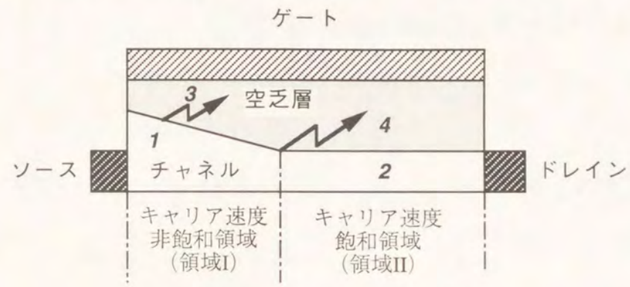


図6-1 FETの内因性雑音

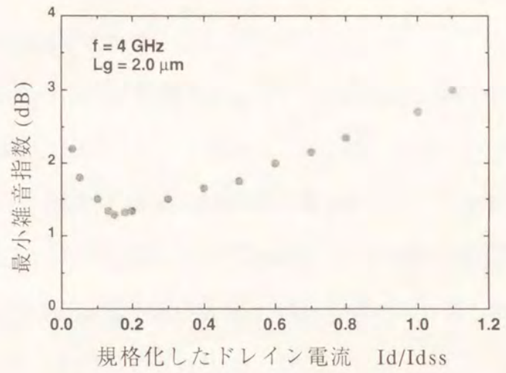


図6-2 雑音指数のドレイン電流依存性

雑音指数とは「FETの入力端での信号電力(Si)と雑音電力(Ni)の比と、出力端での信号電力(So)と雑音電力(No)の比の、またその比」である。

$F = (S_i/N_i)/(S_o/N_o)$ (i : 入力、o : 出力、を表す。) (1)

FETの入力信号(電圧Vs）が内部抵抗Rsで発生する熱雑音V_n^2は次のように表される。

$V_n^2 = 4k_BT_0R_s \cdot \Delta f$ (2)

ここでk_Bはボルツマン定数、T_0は温度300 K、Δfは任意の周波数帯域である。

FETに入りうる信号の有能電力S_iは、信号源で発生する電力の1/4であるから

$S_i = V_s^2 / 4R_s$ (3)

同様にFETに入りうる雑音の有能電力N_iは

$N_i = V_n^2 / 4R_s$ (4)

と表される。

(2)を(4)に代入すると

$N_i = k_BT_0 \cdot \Delta f$ (5)

となる。

FETの出力端では、出力にでてくる信号電力S_oは単に信号が増幅されて現われるだけであるから、FETの利得をG_{as}とすると

$S_o = G_{as}S_i$ (6)

となる。

一方、出力端での雑音電力N_oはFET内で発生する雑音電力をP_nとすると

$N_o = G_{as}N_i + P_n$ (7)

である。　よって式(1)にこれらを代入すれば(8)式が得られる。

$F = 1 + P_n/(G_{as}N_i)$ (8)

FETの雑音電力P_nは、雑音エネルギーP_n'と測定周波数帯域Δfに分けられるから、式(5)も考慮して

$F = 1 + P_n' \cdot \Delta f / (G_{as}k_BT_0 \cdot \Delta f)$　であり、P_n'を改めてP_nとおくと

$F=1+P_n/(G_{as} \cdot kT_0)$ (9)

が得られる。

6-2-1 雑音指数を決める要因

図6-3に寄生要素を考慮したFETの等価回路を示す。

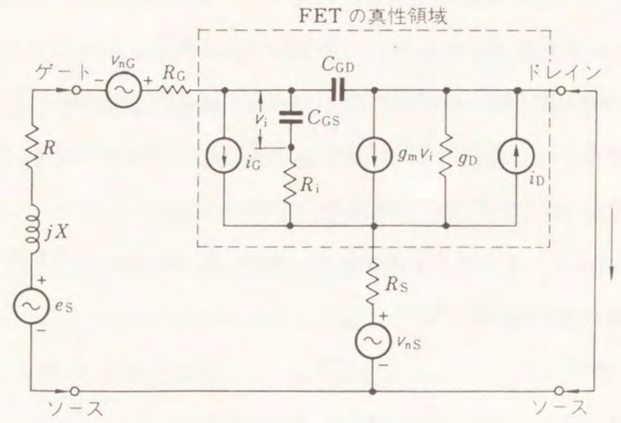


図6-3 寄生要素を考慮したFETの等価回路

この図でV_{nG}は、ゲート抵抗R_Gによる熱雑音電圧、V_{nS}はソース抵抗R_sによる熱雑音電圧、e_sは信号源の抵抗Rで発生する熱雑音電圧である。

$|V_{nG}|^2 = 4k_BT_0R_g \cdot \Delta f$ (10)

$|V_{ns}|^2 = 4k_BT_0R_s \cdot \Delta f$ (11)

$|e_s|^2 = 4k_BT_0R \cdot \Delta f$ (12)

さらに、g_{Dn}, g_{Gn}をそれぞれ、等価ドレイン雑音コンダクタンス、等価ゲート誘起コンダクタンスとすると

$g_{Dn} = |i_D|^2 / 4k_BT_0 \cdot \Delta f$ (13)

$g_{Gn} = |i_G|^2 / 4k_BT_0 \cdot \Delta f$ (14)

と表されるとする。

これらより雑音指数を導けば以下のようになる[5,6]。

$F = 1 + (r_n + g_n|Z + Z_c|^2)/R$ (15)

r_nは雑音抵抗、g_nは雑音コンダクタンス、ZはFETへの入力信号源（雑音発生源）の内部インピーダンス、Z_cは相関インピーダンスと呼ばれそれぞれ次のように定義される。

$r_n=R_g+R_s+g_{Dn}/|Y_{21}|^2\cdot(1-C^2)/g_n\cdot g_{Gn}$ (16)

$g_n=|Y_{11}/Y_{21}\cdot(g_{Dn})^{1/2}-jC(g_{Dn})^{1/2}|^2+(1-C^2)g_{Dn}$ (17)

$Z=R+jX$ (18)

$Z_c=R_c+jX_c=R_g+R_s+1/g_n\cdot g_{Dn}^{1/2}/Y_{21}\cdot(Y_{11}/Y_{21}\cdot g_{Dn}^{1/2}-jCg_{Dn}^{1/2})$ (19)

Fは入力回路のインピーダンスを変化させることで最小値Fminをとる。

これには、FをXについて微分して極値をとればよい。

その時の内部インピーダンスは、$X_{opt}=-X_c$, $R_{opt}=\{(R_c^2+r_n)/g_n\}^{1/2}$となり

$F_{min}=1+1/R_{opt}\{r_n+g_n(R_{opt}+R_c)^2\}$

$=1+2g_n(R_{opt}+R_c)$ (20)

となる。式(20)と$Z_{opt}=R_{opt}+jX_{opt}$を用いて式(15)を書き直すと

$F=F_{min}+g_n/R\{(R-R_{opt})^2+(X-X_{opt})^2\}$

$=F_{min}+g_n/R|Z-Z_{opt}|^2$ (21)

と表される。

Fminはあるドレイン電流値に対して、FETが達成できる最も小さな雑音指数である。これをCgsやRs,Rgなどで表すと式(22)のようになる。

$F_{min}=1+2(f/f_T)[K_G\{K_r+g_m(R_g+R_s)\}]^{1/2}$ (22)

また、その時に得られる利得を付随利得Gasと呼ぶ。ここでK_Gは主にドレイン雑音に関連した係数、Krはゲートの誘起雑音に関連した係数である[6]。

Fukuiは上式をさらに近似、変形してFminが以下のように表現されるとした[7]。

$F_{min}=1+K_f(f/f_T)\{g_m(R_s+R_g)\}^{1/2}$ (23)

ここで、fは測定周波数、f_Tは電流遮断周波数、g_mはFETの相互コンダクタンス、Rsはソース抵抗、Rgはゲート抵抗、そしてKfは材料の特性を表すフィッティングパラメータである。（この近似には$K_r \ll g_m(R_g+R_s)$という仮定が使われた。）この式から低雑音特性を得るためにはf_Tを高めること、またRsやRgなどの外因性雑音のもととなる寄生抵抗もできるかぎり低くすることが必要なことがわかる。さらにKfを低減することも重要である。

6-2-2 Rs, Rgの低減方法

ソース抵抗Rsの低減にはn+のコンタクト層の導入やリセス構造の最適化、n+自己整合プロセスが有効である。OhataやIshiuchiらはリセスの形状を最適化することにより雑音特性の改善を図った[8,9]。また、ItoやTamboらはディジタル用に開発されたn+自己整合技術を低雑音素子のプロセスに初めて適応した[10,11]。n+自己整合プロセスは、リセスプロセスと異なりエッチングに起因する不均一性がなく良好な特性が再現性よく得られる。

一方、ゲート抵抗Rgの低減には、給電点数を増やすことやゲートの断面をT型やマッシュルーム型にする方法が導入されている。Rgはゲートの配線抵抗であり、端から給電される１本のゲートを考えた場合、次の式で表される。

$$R_{g0}=\rho_g\cdot Z/(3L_g\cdot T_g)$$

ρ_gはゲート電極の抵抗率、Zはゲート幅、Lgはゲート長、Tgはゲート電極の厚みであり、係数1/3はゲートが実効的に分布線路として働くことによるものである。また幅Zuの単位ゲートがN本並列に接続された時のゲート抵抗はZ=N・Zuとして、次式で表される。

$$R_g=\rho_g\cdot Zu/(3NL_gT_g)=\rho_g\cdot Z/(3N^2L_gT_g)$$

上式を見ると抵抗率の低い材料を使用することがゲート抵抗低減に重要であることがわかる。そのため低雑音素子のゲート金属にはAu系の材料が広く適用されている。またゲート幅に関しては短い方がRgは小さいことがわかる。実際の高周波応用においては、使用する周波数帯での特性インピーダンスが関係してくる。そのため一般には12 GHz帯では250～300 μm幅が、30GHz帯になると75 μm程度が最適とされる。

このゲート幅を得るには単位ゲート幅を短くしてそれを多数並べる方法、一本のゲートに給電点を多数設ける方法があるが、上式を見ると全ゲート幅を一定にして単位ゲート数Nを増やすことはN^2の改善効果がある。そのため低雑音素子には一般に後者が採用されている。このパターンの一例を図6-4に示す。2給電点よりなるこの構造は、π型構造を呼ばれる。

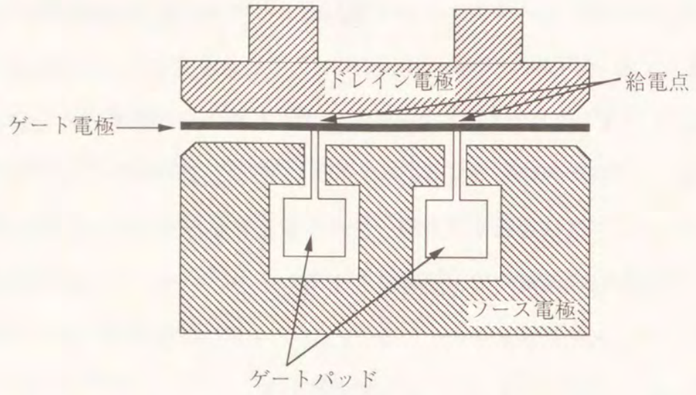


図6-4 低雑音素子の電極パターン

ゲートの断面構造に関しては断面積を大きくした方が抵抗を低減できることより、チャンネルと接するゲート長となる部分は細くし頭の部分を大きくするという、いわゆるマッシュルーム型がOhmoriらによって開発された[12]。Ohmoriらはメッキ法により頭の部分を形成したが、最近では電子ビーム露光に感度の異なる２種類のフォトレジストを用いてT型のゲート構造を作製する方法も開発されており[13]、この断面形状は低雑音素子の必須のものとなっている。この形状を図6-5に示す。

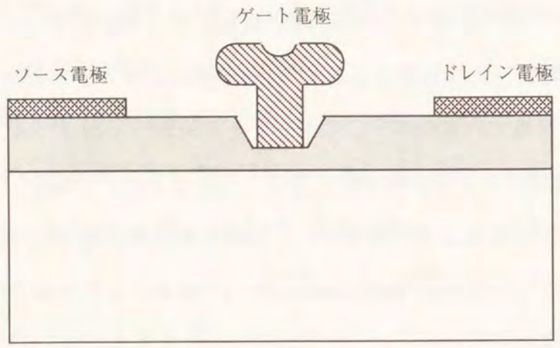


図6-5 低雑音素子用のT（マッシュルーム）型ゲート

6-2-3 Kfの低減方法

Kfに関しては小さい方がよいことはわかるが、これまでのところKfが何により決定されるかは必ずしも明らかではない。一般にはHEMTはMESFETに比べ雑音指数が低くそれはKfが小さいためであると言われてきた[14]。（これまでの例では、MESFETの場合は2.5, HEMTでは1.2が用いられてきた。）

HEMTがMESFETと異なる点は第１にチャンネルの移動度である。HEMTのチャンネルの２次元電子ガスは不純物散乱を受けにくいため高い移動度を示す。MESFETのチャンネルの移動度は2000～2500 cm^2/Vsであるのに対して、HEMTのチャンネル移動度は6000～8000 cm^2/Vsを示す。しかしながら、前章で示したように低電界での移動度はg_mやf_Tなどの特性に影響を及ぼさない。

もうひとつの違いはチャンネルの厚みである。２次元電子ガスの厚みは約100 Åであり一般のMESFETのチャンネル厚は500～1000 Åである。

そこで本研究ではチャンネル厚と雑音指数の関係に着目し、FETの雑音指数の支配要因を探求した。

6-3 雑音指数の評価方法

6-2-1で述べたようにFETの雑音指数は入力回路のインピーダンスにより変化する。そのため真の雑音指数の評価は、最適なインピーダンスで行う必要がある。

GaAs FETの雑音指数Fは6-2-1の式(21)より次のように表される。

$$F=F_{min}+(g_n/R)\{(R-R_{opt})^2+(X-X_{opt})^2\} \qquad (21)$$

ここでF_{min}は最小雑音指数、g_nは雑音コンダクタンス、$R_{opt}+jX_{opt}$は最適電源インピーダンス、$Z=R+jX$はFETへの入力信号源インピーダンスである。

式(21)を用いて雑音パラメータを求めるには、原理的には４つ以上の異なる信号源インピーダンス(Z)において雑音指数を測定し、式(21)に代入して連立方程式を解くことによりg_nを算出する。　または、F_{min}が得られるようにスタッブチューナを整合しその時のF_{min}の値と最適入力信号源反射係数を直接測定し、更に任意のZとその時のFを測定し

これらの値よりgnを算出する方法もある。一般には後者がよく使用される。

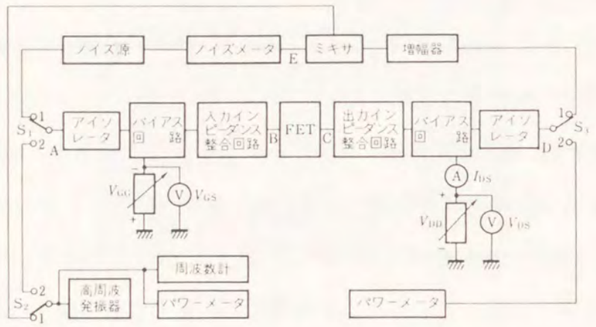


図6-6 雑音パラメータシステムの一例

正確なZの設定には通常のチューナでは限界があるため、マイクロストリップ・パターンを調整する方法やバラクタチューナを用いる方法等もある。しかしこれらの測定はチップを切り出しワイヤボンドで実装するという非常に細かい作業を要し、莫大な時間を必要としていた。

近年、オンウェハ状態で雑音パラメータの測定ができる装置が開発された15)。その構成を図6-7に示す。

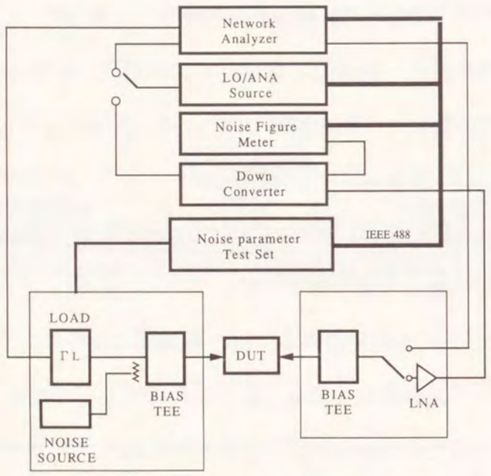


図6-7 オンウェハでの雑音測定システム

ソリッドステートチューナを直接デバイスに当たるプローバに取付けることで測定系の損失の低減を図っている。さらにこのチューナ内部には200の異なるインピーダンスが内蔵されており、これらのインピーダンスに対する雑音指数や利得を求めることで式(21)より計算にて精度よくFminやgnを求めることができる。

本研究では、この装置を使用して雑音指数の評価を行った。なお雑音指数の測定精度は12 GHzにおいて0.1 dB以内である。

6-4 パルスドープ構造による低雑音化

第２章において短チャンネル効果抑制のために導入したパルスドープ構造は、高濃度薄層チャンネルにより２次元電子ガスを有することを示した。しかし電子移動度は室温で約1800 cm^2/VsとHEMTの1/3～1/4である。そこでこの構造において高濃度厚に対する雑音指数を調べることでKf（つまり雑音指数）が何によって決まるかを明らかする16)。

6-4-1 素子の作製方法

素子の構造は、第１章で述べたダミーゲート法により作製したn+自己整合型ゲートを有する。図6-8に素子の断面構造と電極パターンを示す。

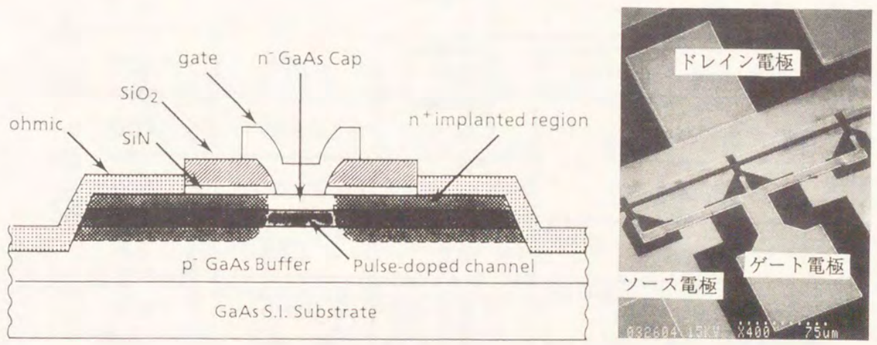


図6-8 パルスドープ構造低雑音GaAs MESFETの構造と電極パターン

ゲート長は0.3 μmであり、素子特性の均一性を重視してゲート部にはリセス構造を用いていない。ゲート幅は280 μmで、給電点数を3点にしてゲート抵抗の低減を図っている。ゲートの引き出し部とソース電極が交差する部分でのクロスオーバ容量は、層間絶縁膜を用いずにエアーブリッジ構造を採用し容量の増加を抑制している。

本研究で用いた素子構造は、ゲート金属部が隣接する絶縁膜に重なる構造なので、断面積が大きく必然的にゲート抵抗の低減が図られている。

6-4-2 雑音特性のチャンネル厚依存性

雑音指数のチャンネル厚依存性を調べるため、高濃度層の厚みを100, 125, 150 Åと変化させた試料をOMVPE法により成長した。キャップ層厚は、350 Åで高濃度層のキャリア濃度は$4\times10^{18}/cm^3$と同一に設定した。高濃度層の厚みが異なるためチャンネル電流の大きさも変わってくるが、ゲートバイアスを調整することで同じドレイン電流値（15 mA/280 μm)で評価した。

表6-1に0.5GHzから18 GHzまでのSパラメータ測定より抽出した素子の主要な等価回路定数を示す。

表6-1. Sパラメータより抽出した主要な等価回路定数

Active Layer Thickness	100Å	125Å	150Å
f_T(GHz)	32.5	31.5	33.0
gm (mS)	85.9	83.2	74.9
Rs(Ω)	2.2	2.2	2.2
Rg(Ω)	0.8	0.8	0.8
Cgs (fF)	318	292	235

gmは高濃度層の厚みに依存するため100 Åのものが大きな値を示すが、Cgsも大きくなるのでf_Tの値は大差はない。RsやRgは各構造とも同じで、n^+自己整合プロセスとゲート抵抗低減の効果で十分小さい値になっている。

次にこれら素子の雑音指数の周波数依存性を図6-9に示す。明らかに活性層（高濃度層）厚が薄いほど雑音指数が低くなっていることがわかる。このデータと表6-1の値より、Fukuiの式に基づきK_fの値を計算した結果を図中に示した。K_fは活性層厚に依存し、厚みが薄くなるほど小さくなることがわかる。活性層厚が100 Åの時の得られた雑音指数の値（例えば12 GHzにおいて0.72 dB)は、同じゲート長のAlGaAs/GaAs HEMTの値と同等であり、またその時のK_fの値（1.28)も同等である[17-19]。これによりHEMTが低雑音特性を示す理由は、高電子移動度ではなくチャンネル厚が薄いためであることが明らかになった。

また図6-10に雑音指数と付随利得(Ga)のドレイン電流依存性を示す。

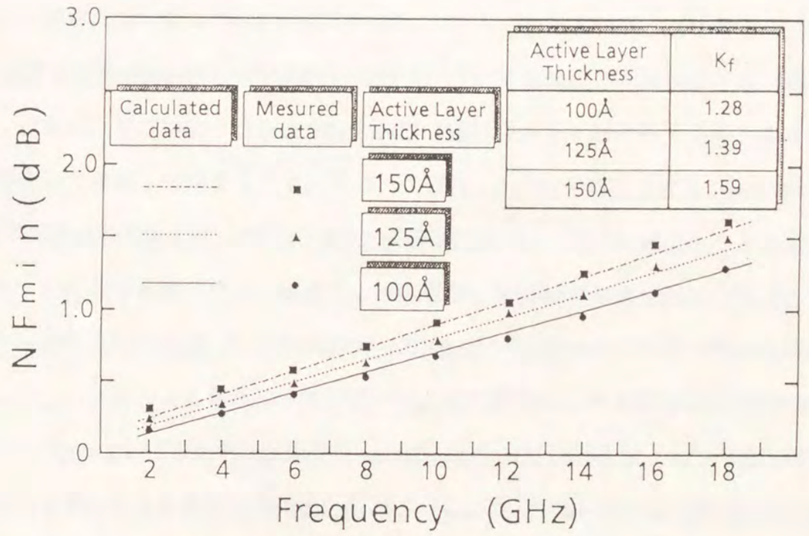


図6-9 高濃度層厚をパラメータとした雑音指数の周波数依存性

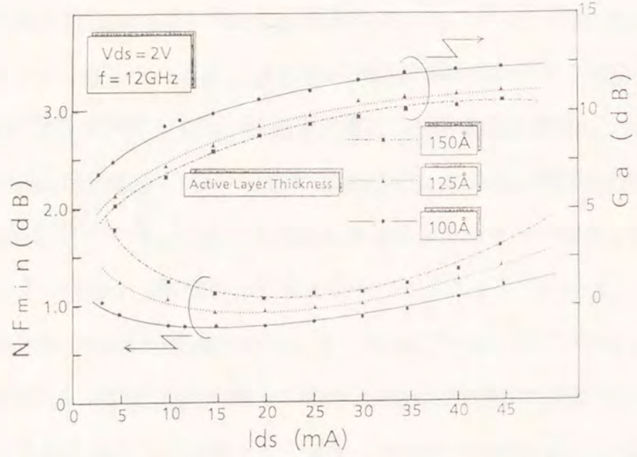


図6-10 雑音指数と付随利得のドレイン電流依存性

6-1-1で述べたように雑音指数はドレイン電流(Ids)に依存しドレイン飽和電流(Idss)の約15％のところで最小になると言われる。HEMTでは雑音指数のドレイン電流依存性が小さいことも特長のひとつである[20]。このことは、回路を設計する場合に大きな利点となる。一般に素子間ではプロセスばらつきのためIdssが異なるので、低雑音特性を得るためには各素子毎にゲートバイアスを調整してIdsを15%付近にしなければならない。もし雑音指数がIdsに大きく依存するなら、FETのゲートバイアスを微妙に調整する必要があり煩雑になる。またMMICのようにFETを集積したものに対しては、そのような微妙な調整を行うことは低コストを目指す上で意味をなさない。しかし雑音指数のドレイン電流依存性の小さいものなら一旦ゲートバイアスを設定すれば、雑音指数が最小になる点より多少ずれても性能は大きく劣化することはないからである。

図6-10においては、雑音指数はIdsが15～20 mAにて最小になっている。一方、付随利得は高濃度層の厚みが薄いほど高くなる。これは、高濃度層の厚みが薄い程gmが高くなり、gdが小さくなるためである。また雑音指数のドレイン電流依存性もチャンネルの厚みに依存していることがわかる。つまり高濃度層厚が薄いほど低雑音特性が得られ、雑

音指数のドレイン電流に対する依存性は小さくなる。

6-4-3 チャンネル層の薄層化の効果

さて、それではチャンネルが薄くなると何故krが小さくなり雑音特性が向上するのであろうか？

6-2-1 で述べたように雑音源には、主にチャンネル雑音電流(ドレイン雑音電流(i_D^2))とゲート誘起雑音電流(i_G^2)がある。これらは互いに相関関係がある。何故なら、ドレイン雑音が生じることによってチャンネル幅が変化し、空乏層幅の変化を生み結果的にゲート電極下に蓄積していた電荷の変化がゲート誘起雑音であるからである。

今、寄生抵抗がない場合を考えると、式(22)は次のようになる[6]。

$$F_{min} = 1 + 2(f/f_T)(K_g K_r)^{1/2}$$
$$= 1 + 2(f/f_T)[PR(1-C^2)]^{1/2} \qquad (24)$$

ここでPとRは次のように定義される。

$$P = |i_D|^2 / 4kT_0 \Delta f\, g_m \qquad (25)$$

$$R = (|i_G|^2 / 4kT_0 \Delta f) \cdot (g_m / \omega^2 C_{GS}^2) \qquad (26)$$

C は i_D^2 と i_G^2 の間の相関係数であり、次のように定義される。

$$C = \frac{\overline{i_G i_D^*}}{\sqrt{\overline{i_G^2} \cdot \overline{i_D^2}}} \qquad (27)$$

C = 1が成り立つ場合は、ドレイン雑音とゲート誘起雑音が打ち消し合うことを意味する。つまりFminを小さくするためには、$|i_D|^2$, $|i_G|^2$の低減と共にCを1に近づけることも重要である。Cappyらは彼らのモデルに基づく数値計算により、Cは活性層厚aとゲート長Lgのアスペクト比Lg/aに依存し、Lg/aが大きいもの（つまり活性層厚が薄いもの）ほどCが大きいことを指摘した[21]。またJohshinらは、HEMTにおける低雑音特性の機構として１次元モデルを用いてi_D^2とi_G^2のチャンネル内での分布を計算し以下のような結果を得ている。　ゲート長が短くなるほどi_G^2はゲート電極下のドレイン側での負成分がソース側の正成分に比べて小さくなり、i_D^2はゲート電極下のソース側に片寄るよう

になりお互いの相殺が強くなる[22]。この結果を図6-11に示す。

これらの結果と今回の実験結果と合わせるとチャンネルの薄層化の効果は、1)ドレイン雑音をゲート電極下のソース側に片寄らすこと、2)ドレイン雑音と位相が異なるゲート誘起雑音のゲート電極下のドレイン側の負成分がソース側の正成分より小さくなることの2つであり、その結果2つの雑音成分の相殺が強くなっていると考えられる。

チャンネルの厚い通常のMESFETではこのような相殺効果はあまり期待できないはずである。そこで通常のMESFETとパルスドープ構造MESFETとHEMTの３種類のデバイスの雑音指数のゲート長依存性を比較した。

通常のMESFETとHEMT のデータは、それぞれ次の文献から引用した[22,23]。

図6-12にその結果を示す。ゲート長の短縮に伴い雑音指数は低減されているが、パルスドープ構造MESFETやHEMTの場合はゲート長が1.0 μmから0.5 μmの間の傾きが通常のMESFETよりも強く、活性層厚が薄いことに起因する相殺効果が効いていることを示唆している。ゲート長が長い領域では逆に通常のMESFETに比べて雑音指数は大きくなるが、これは高電子濃度のためにドレイン雑音電流が大きくなるためと考えられる。

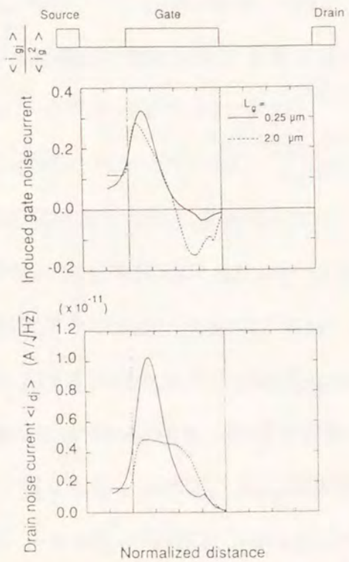


図6-11ドレイン雑音電流とゲート誘起雑音電流の分布の計算結果(Ref. 22より)

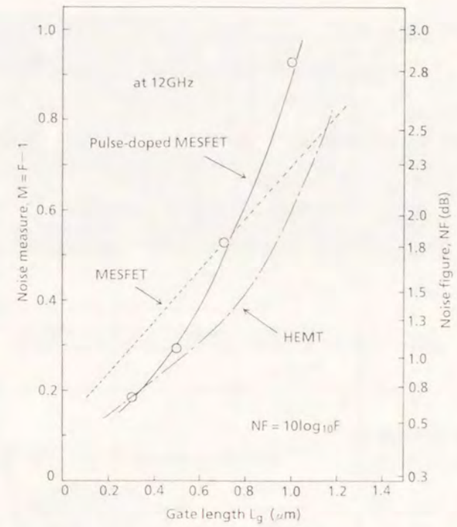


図6-12 雑音指数のゲート長依存性

6-5 12 GHz帯低雑音MMICへの適応

本研究で示したパルスドープ構造MESFETは、プレーナ構造を有するため本質的にIdssのばらつきが少なくしかも雑音指数のIds依存性が小さいためマイクロ波帯の集積回路に適している[24,25]。例えばMESFETの特性を決めるもっとも重要なパラメータであるVthは、ゲート長0.3 μmの素子において3"Φ面内で標準偏差50 mV（平均値は-930 mVに対して）である。

実際にこの素子を用いて12 GHz帯の４段MMIC増幅器を作製した[26,27]。一般に高周波デバイスでは、使用する周波数帯ではローレッツの安定係数Kが１を下回り発振に対して不安定な状態になる。そのためこの回路では、低損失のマイクロストリップ線路を用いてインダクタンスを形成し各素子のKを１以上にしている。このインダクタンスは損失が少ないため雑音指数を悪化させることもない。

このMMICのチップ写真を図6-13に、MMICの断面構造を図6-14に示す。マイクロストリップ線路はメッキ法を用いてAuを3 μm厚形成し、またソースインピーダンスの低減のためウェハの表面と裏面をバイアホールにて貫通させている。

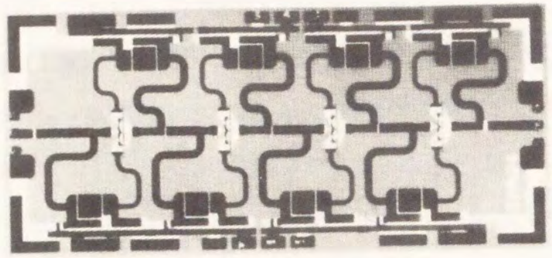


図6-13 低雑音MMIC増幅器のチップ写真

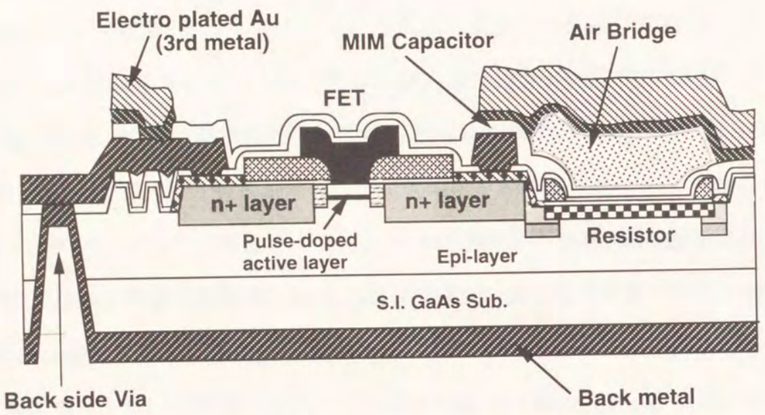


図6-14 MMICの断面構造

バイアホールの形成を容易にするため、ウェハ厚はバックグラインドとポリッシングにより100 μmに薄層化している。パルスドープ構造MESFETの他にイオン注入による抵抗体、SiON膜を絶縁体とするMIMキャパシタを有している。ゲート長0.3 μm, NF=0.72 dBの素子を採用することで、このMMICの特性はNF=1.1 dB, Ga(付髄利得）=28 dBを示した。この性能はこれまで報告された12 GHzのMMIC増幅器のなかで最高である[27]。またこの性能は、単体素子の特性からシミュレーションにより設計した値ともほぼ一致している。

これまでに報告されているHEMTを含めた12 GHz帯MMIC増幅器[28-34]との比較を表6-2

に示す。

表6-2. 12GHz帯低雑音MMIC増幅器の比較

会社名	Ref.	MMICの増幅段数	使用デバイス	デバイスの最小雑音指数 Fmin (dB)	MMICの雑音指数 (dB)
本研究	24	4	MESFET	0.7	1.1
Hewlett Packard	25	3	P-HEMT	0.86	1.6
Sharp	30	2	MESFET	-	2.5
Hitachi	26	2	HEMT	1.1	1.3
Matsushita	27	2	HEMT	0.5	1.2
Mitsubishi	28	2	HEMT	1.0	1.6
NEC	31	2	MESFET	1.7	2.8
Toshiba	30	3	MESFET	1.9	3.4

単体の性能ではパルスドープ構造GaAs MESFETを上回っているものもあるが、MMICにした場合では本研究の増幅器が上回っている。これは、パルスドープ構造というHEMTに比べて単純な構造と、ゲート部をプレーナ構造にした制御性のよいプロセスを採用した結果、各素子の特性が設計で採用した値からずれることなく、かつウェハ上で均一に形成されているためである。

6-6 低雑音化への方針

以上の結果を踏まえ、FETの低雑音化の方針を概略する。

6-6-1 ゲート長の短縮

素子の高速は、低雑音化にもつながるためゲート長の短縮は重要である。定性的には、ゲート長の短縮はチャンネル中を電子が走行する時間が短縮されることであるため、そ

こで発生する雑音総量が低減されることを意味する。その手段については第5章で述べたとおりである。

6-6-2 寄生抵抗、寄生容量の低減

ソース抵抗の低減に関しては第5章で述べたとおりである。低雑音素子の場合は、ゲート抵抗の低減も重要になってくる。ゲート抵抗低減はT（マッシュルーム）型構造を採用する他に、給電点を増やす方法や電極パターンを工夫する方法が考えられている[35,36]。給電点を増やすことは、配線の引き出し部に新たな寄生容量を発生させることになりfTの低下を招く。そのため引き出し方法にも様々な方法が試みられている[37,38]。これらもプロセスの煩雑さや、素子面積の増大とのトレードオフの関係にあり実用化を考えて適材適所の手段を採用するべきである。

6-6-3 素子構造の最適化

本章で述べた通り、雑音指数の低減にはチャンネルの薄層化が重要である。HEMTの2次元電子ガスは理想的な薄層チャンネルが実現されていると言えよう。HEMTにおいては、電子供給層の薄層化とキャリアの閉じ込めの向上が重要である。電子供給層の薄層化はパルスドープやプレーナドープを用いた構造が開発されている[38,39]。キャリアの閉じ込めの向上に関しては、結晶成長技術によるヘテロ界面の急峻性の向上[40]、pシートバッファ層の導入[41], ストライプチャンネルの導入[42,43]、チャンネルへのドーピング[44,45]が試みられている。ただしHEMTの場合はリセス構造を採用するため、素子の均一性、再現性に問題がありそのため選択エッチングを利用したリセスストッパー層の導入が検討されている[46,47]。GaAs MESFETでは、イオン注入でチャンネルを形成する際にそのプロファイルをエピタキシャル法に匹敵するほど急峻にするため、スルー注入[48]や基板の面方位を通常使用される(100)面以外を用いる試みもなされている[49,50]。

6-6-4 材料の選択

fTを向上させる点から、電子飽和速度の大きい材料を選択することが必須である。この点ではInGaAs系が有利である。ただしInGaAsの場合は、前節で述べたようにショットキー障壁高が低いためMESFETを形成することは困難である。そのためヘテロ接合が必要となる。AlGaAs/GaAs ヘテロ接合の場合の伝導帯のバンドオフセット量(ΔEc)は0.3 eVあり、2次元電子ガスの厚みは100 Å程度と言われている。AlGaAs/InGaAs/GaAsヘテロ接合の場合のΔEcはさらに大きく、格子整合系であるAlInAs/InGaAs/InPの場合ではΔEcは0.52 eVになり2次元電子ガス厚みはさらに小さくなる。そのためこの系ではゲート長0.15 μmの素子で18 GHzにおいて0.3 dB, 60 GHzにおいて0.9 dB、93 GHzにおいて1.4 dBという低雑音特性が実現されている[51,52]。一方、本研究で開発したパルスドープ構造MESFETにおいては、チャンネルをGaAsから$In_xGa_{1-x}As$ (x=0.18)に変えることで12 GHzの雑音指数を0.1 dB低下させている[53]。またGaAs基板上にOMVPEによりエピタキシャル成長した$In_xGa_{1-x}As$にイオン注入によりチャンネルを形成し、60 GHzにおいて2.8 dB(ゲート長0.25 μm）を得た報告もある[54]。いずれも、InGaAsがGaAsよりも優れた電子輸送特性を有することによるものである。

6-7 結　　言

MESFETの活性層厚に着目して雑音特性に及ぼす要因を調べた。活性層にパルスドープ構造を採用することで、低電界での移動度は低いながらHEMT並みの活性層厚を有するn+自己整合型MESFETを作製し評価した。

雑音指数はチャンネル厚に依存し、高濃度層を100 ÅとHEMTと同等にすることでゲート長0.3 μmの素子で0.72 dB(12 GHz)とHEMTと同等な雑音指数を得た。このことは低雑音化には、活性層の電子移動度よりも薄層化が大きな影響を与えていることを示している。さらに雑音指数のドレイン電流に対する依存性も、高濃度層厚が薄くなると小さくなることがわかった。これは、MESFETの主な雑音源であるドレイン雑音電流とゲート誘起雑音電流の相殺効果が薄層化に伴い強くなることで説明される。

以上のことより、MESFETの雑音指数低減にはゲート抵抗、ソース抵抗の低減はもと

よりゲート長短縮や電子飽和速度の高い材料選択によるf_Tの向上に加え、チャンネルの薄層化が重要であることがわかった。

また本研究で開発した素子を用いて、12 GHz帯低雑音MMIC増幅器を試作し雑音指数1.1 dBという優れた特性を得た。この結果は、本研究で開発した素子は低雑音特性に加え、特性の均一性／再現性に優れているので集積化も容易であることを示しており、将来のマイクロ波／ミリ波帯デバイスの基本素子になると考えられる。

6-8 参考文献

1)望月 洋介、" 雑音指数が1 dBを切る衛星受信用HEMT続々登場"、日経マイクロデバイス、4 月号、pp.91-95, 1989年

2) 平地 康剛、" マイクロ波低雑音トランジスタHEMT : 宇宙からの微弱な電波を鋭くキャッチ"、日本語版スペクトラム、丸善、2,8, pp.12-18 (平1-08)

3) P.M. Smith and A.W. Swanson, "HEMTs-Low Noise and Power Transistors for 1 to 100 GHz," Applied Microwave, pp.63-72, 1989

4) T. Saito, Y. Ohashi, and H. Kurihara, "A Cryogenic 28-GHz-Band Low-Noise Amplifier for Radio Astronomy", Proceedings in the 3rd Asia-Pacif Microwave Conference, pp.661-664, 1990, Tokyo

5) 福田　益美、平地　康剛、"GaAs 電界効果トランジスタの基礎",電子情報通信学会編、第4章

6) R.A. Pucel, H.A. Haus, and H. Statz, "Signal and Noise Properties of Gallium Arsenide Microwave Field-Effect Transistors," Advanced in Electronics and Electron Physics, Academic Press, 38, pp.195-265, 1975

7) H. Fukui. "Optimal noise figure of microwave GaAs MESFETs", IEEE Trans. Electron Devices, Vol.26, pp.1032-1037, 1979

8) K. Ohata, H. Itoh, F. Hasegawa, and Y. Fujiki, "Super Low-Noise GaAs MESFET's with a Deep-Recess Strucuture", IEEE Trans. Electron Devices, Vol.ED-27, No.6, pp.1029-1034, 1980

9) H. Ishiuchi, H. Mizuno, Y. Kaneko, K.Arai, and K. Suzuki, "0.3 μm Gate Lengh Super Low Noise GaAs MESFET", Technical Digest in IEDM, pp.590-593, 1982

10) T. Tambo, O. Ishikawa, H. Yagita, K. Inoue, and T. Onuma, "Low-Noise GaAs MESFET by Dummy-Gate Self-Alignment Technology for MMIC", Technical Digest in IEEE GaAs IC Symposium, pp.49-52, 1987

11) K. Ito, T. Shimura, K. Sumitani, M. Komaru, and K. Nishitani, "A Self-Aligned Planar

GaAs MESFET Technology for MMICs", Technical Digest in IEEE GaAs IC Symposium, pp.45-48, 1987

12) J. Wholey and M. Omori, 1978 Int'l Symp. GaAs & Related Compounds (Inst. Phys. Conf. Ser. No.45, 1979), 270

13) P.C. Chao, P.M. Smith, S.C. Palmateer, and J.C. M. Hwang, "Electron-beam fabrication of GaAs low-noise MESFET's using a new tri-layer resist technique," IEEE Trans. Electron Devices, Vol.ED-22, pp.1042-1046, 1985

14) 常信、山下、小瀬村、新居、斉藤、中山、三村、山本、安部、" 低雑音HEMT," 信学技報、MW82-119, pp.87-90, 1982

15) V. Adamian and A. Uhlir, "Simplified Noise Evaluation of Microwave Receivers," IEEE Trans. Instrum. Meas., Vol. IM-33, No.2, pp.136-140, 1984

16) S. Nakajima, K. Otobe, N. Shiga, N. Kuwata, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-Noise Characteristics of Pulse-Doped GaAs MESFET's with Planar Self-Aligned Gates, " IEEE Trans. Electron Devices, Vol.39, No.4, pp.771-776, 1992

17) U.K. Mishra, S.C. Palmateer, P.C. Chao, P,M, Smith, and J.C. M. Hwang, "Microwave Performance of 0.25 μm Gate Length High Electron Mobility Transistors", IEEE Electron Device Letters, Vol.EDL-6, No.3, pp.142-145, 1985

18) P.C. Chao, S.C. Palmateer, P.M. Smith, U.K.Mishra, K.H.G. Duh, J.C. M. Hwang, "Millimeter-Wave Low-Noise High Electron Mobility Transistors", IEEE Electron Device Letters, Vol.EDL-6, No.10, pp.531-533, 1985

19) H. Takakuwa, K. Tanaka, Y. Mori, M. Arai, Y. Kato, and S. Watanabe, "A Low-Noise Microwave HEMT Using MOCVD", IEEE Trans. Electron Devices, Vol.ED-33, No.5, pp.595-600, 1986

20) K. Tanaka, M. Ogawa, K. Togashi, H. Takakuwa, H. Ohke, M. Kanazawa, Y. Kato, and S. Watanabe, "Low-Noise HEMT Using MOCVD," IEEE Trans. Microwave Theory and Tech., Vol. MTT-34, No.12, pp.1522-1527, 1986

21) A. Cappy, "Noise Modeling and Measurement Techniques", IEEE Trans. Microwave Theory and Tech., Vol.36, No.1, pp.1-9, 1988

22) K. Joshin, S. Asai, Y. Hirachi, and M. Abe, "Experimental and Theoretical Noise Analysis of Micromave HEMT's," IEEE Trans. Electron Devices, Vol.36, No.10, pp.2274-2280, 1989

23) H. Goronkin and V. Nair, "Comparison of GaAs MESFET noise figures," IEEE Electron Device Lett., Vol. EDL-6, No.1, pp.47-49, 1985

24) S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC,"Technical Digest in IEEE MTT-S Dig., 1990, pp.1081-1084

25) K. Matsuzaki, N. Kuwata, S. Nakajima, K. Otobe, N. Shiga, and H. Nishizawa, "Low Noise MMIC Technology with Pulse-doped GaAs MESFET," Proceedings in Asia-Pacific Microwave Conference , pp.283-286, 1994

26) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-Doped GaAs MESFET's," IEEE Trans. Microwave Theory and Tech., Vol.39, No.12, pp.1987-1994, 1991

27) N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "12 GHz Low-Noise MMIC Amplifier with GaAs Pulse-Doped MESFET's," IEICE Trans. Electron, Vol.E77-C, No.9, pp.1500-1506, 1994

28) B. Hughes, J. Perdomo, and H. Kondoh, "12 GHz Low-Noise MMIC Amplifier Designed with a Noise Model that Scaled with MODFET Size and Bias," IEEE Trans. Microwave Theory and Tech., Vol.41, No.12, pp.2311-2316, 1993

29) M. Yamane, et al., "Low-noise 2DEGFET MMIC amplifier for DBS," Proceeding in The 3rd Asia-Pacific Microwave Conf., pp.951-954, 1990

30) H. Tsukada, et al., "A 12-GHz-band MMIC low noise amplifier with low Rg and low Rn HEMT's," Proceeding in The 3rd Asia-Pacific Microwave Conf., pp.955-958, 1990

31) N. Ayaki, et al., "A 12GHz- band monolithic HEMT low-noise amplifir," Technical digest in

IEEE GaAs IC Symp. , pp.101-104, 1988

32) S. Hori, et al., "GaAs monolithic MICs for direct broadcast satelite receivers," Technical Didest in IEEE MTT-S Microwave Symposium, pp.59-64, 1983

33) K. Sakuno, et al., "A miniature low current GaAs MMIC downconverter for Ku-band braodcast satellite applications," IEEE Micrawave and Millimeter-Wave Monolithic Circuit Symp. Dig., pp.101-104, 1992

34) H. Itoh, T. Sugiura, T. Tsujii, K. Honjo, and Y. Takayama, "12 GHz band low-noise GaAs monolithic amplifier," Technical Digest in IEEE MTT-S Microwave Symposium, pp.54-58, 1983

35) 伊藤、木村、栗林、中村、高橋、"n+/n GaAs Cap構造　超低雑音HEMTの作製と諸特性," 電子情報通信学会研究会、ED-88-16, pp.39-44, 1988

36) G. A. Truitt, D.D. Heston, and J.L. Klein, "A New Low-Noise FET Structure," IEEE Trans. Microwave Theory and Tech., Vol. 38, No.12, pp.1944-1948, 1990

37) K. Hosogi, T. Katoh, T. Kashiwa, H. Matsuoka, H. Minami, K. Kosaki, K. Nagahama, K. Nishitani, and M. Otsubo, "Low Noise HEMTs with Multi-Feed Gate Configuration," Technical Digest in 1991 IEEE MTT-S Microwave Symposium, pp.1279-1282, 1991

38) P.C. Chao, M.S. Shur, R.C. Tiberio, K.H. G. Duh, P.M. Smith, J.M. Ballingall, P.Ho, and A.A. Jabra, "DC and Microwave Characteristics of Sub-0.1-μm Gate-Length Planar-Doped Pseudomorphic HEMT's," IEEE Trnas. Electron Devices, Vol.36, No.3, pp.461-473, 1989

39) N. Moll, M.R. Hueshen, and A.F. Colbrie, "Pulse-Doped AlGaAs/InGaAs Psedomorphic MODFET's," IEEE Trans. Electron Devices, Vol.35, No.7, pp.879-885, 1988

40) K. Kamei, H. Kawasaki, S. Hori, K. Shibata, M. Higashiura, M.O. Watanabe, and Y. Ashizawa, "Extremely low-noise 0.25-μm-gate HEMTs," Inst. Phys. Conf. Ser. No.79: Chapter 10, pp.541-546, 1985

41) 鈴木、樋田、岡本、"N+ セルフアライン2DEG FETにおけるpシートバッファの効果", 信学技報、ED87-159, 43, 1987

42) K. Onda, F. Nihey, N. Samoto, M. Kuzuhara, Y. Makino, E. Mizuki, and T. Itoh, "Striped

Channel Field Effect Transistor with a Modulation Doped Structure," Technical Digest in IEDM , pp.125-128, 1989

43) H. Kawasaki, M. Kawano, and H. Tokuda, "Striped-channel low noise HEMT," Inst. Phys. Conf. Ser. No.112: Chapter 7, pp.417-422, 1990

44) M. Sawada, K. Nagami, M. Nishida, Y. Kaizaki, D. Inoue, and Y. Harada, "A Superlow-Noise AlGaAs/InGaAs/GaAs Doped Channel Heterojunction Field-Effect Transistor (DC-HFET) with 0.15-μm Gate Length, " Jpn. J. Appl. Phys., Vol.30, No.12B, pp.3837-3839, 1991

45) M. Sawada, D. Inoue, K. Matsumura, and Y. Harada, "A New Two-Mode Channel FET (TMT) for Super-Low-Noise and High-Power Applications," IEEE Electron Device Lettres, Vol.14, No.7, pp.354-356, 1993

46) K. Hikosaka, T. Mimura, and K. Joshin, "Selective dry etching of AlGaAs-GaAs heterojunction," Jpn. J. Appl. Phys., Vol.20, No.11, pp.L847-L850, 1981

47) C.B. Cooper, S. Salimian, and H.F. McMillan, "Use of thin AlGaAs and InGaAs stop etch layers for reactive ion etch processing of III-V compound semiconductor devices," Appl. Phys. Lett., Vol.51, No.26, pp.2225-2226, 1987

48) I. Ohta, Y. Oishi, M. Nishiuma, M. Hagio, M. Kazumura, G. Kano, and I. Teramoto, "An Ideal-Profile Implantation Process for GaAs Analog MMICs," Technical Digest in IEEE GaAs IC Symposium, pp.55-58, 1986

49) I. Banerjee, P.W. Chye, and P.E. Gregory, "Unusual C-V Profiles of Si-Implanted (211) GaAs Substrates and Unusually Low-Noise MESFET's Fabricated on Them," IEEE Electron Device Letters, Vol.9, No.1, pp.10-12, 1988

50) Y.C. Pao, W. Ou, and J.S. Harris, JR., "<110>-Oriented GaAs MESFET's," IEEE Electron Device Letters, Vol.9, No.3, pp.119-121, 1988

51) P.C. Chao, P.M. Smith, K.H. Duh, and J.M. Ballingall, "V- and W-Band Power and Low-Noise HEMTs," Extended Abstracts of the 21st Confrence on Solid State Device and

Materials, pp.277-280, 1989

52) U.K. Mishra, A.S. Brown, M.J. Delaney, P.T. Greiling, C. F. Krumn, "The AlInAs-GaInAs HEMT for Microwave and Millimeter-Wave Applications," IEEE Trans. Microwave Theory and Tech., Vol.37, No.9, pp.1279-1285, 1989

53) N. Kuwata, S. Nakajima, T. Katsuyama, K.Otobe, K. Matsuzaki, T. Sekiguchi, N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/GaInAs Pulse-doped MESFETs grown by organometallic vapor phase epitaxy, " Inst. Phys. Conf. Ser. No. 120: Chapter 3, pp.143-148, 1991

54) C.L. Lau, M. Feng, J. Schellenberg, P. Brusenback, T. Lepkowski, T. Hwang, and C. Ito, "60-GHz Noise Performance of Ion-Implanted InxGa1-xAs MESFET's," IEEE Electron Device Lettres, Vol.12, No.5, pp.244-245, 1991

第7章　結　　論

7-1 本研究の総括

本論文は、GaAs電界効果トランジスタ(MESFET)の応用が期待される高速／高周波領域、低雑音領域での特性向上に関する研究成果をまとめたものである。

第1章では、序論としてGaAsの電子デバイスの開発歴史と電子デバイス産業での位置づけを概略した。その中でSiとの有意差を明らかにし、GaAs MESFETの実用化に向けての問題点を明確にした。

第2章では、GaAs MESFETの作製技術を開発した。表面準位に起因する寄生抵抗の低減のため、レジスト単層をダミーゲートに用いた高濃度領域(n^+)自己整合型プロセスを開発し、LDD構造を有するMESFETを均一性、再現性よく作製することに成功した。このプロセスでは、従来プロセスに比して工程が簡単であること、素子特性に影響を及ぼすn^+間隔、n^+ーゲート間隔を精度よく制御できること、光学露光によるパターン形成後にプラズマエッチによりパターン短縮を行うため、サブハーフミクロンゲートの作製も容易であるという特長を有する。その結果、従来から問題になっていたウェハ面内／ウェハ間での素子特性のばらつきを著しく低減することに成功した。

本技術によりMESFETの特性向上に必須の微細加工技術を確立することができた。

第3章では、GaAs MESFETの高性能化を阻む一因である「短チャンネル効果」の抑制方法を提案した。「短チャンネル効果」の要因には2つある。ひとつはチャンネルの2次元効果による基板への漏れ電流であり、もうひとつは対峙するn^+層から基板への漏れ電流である。前者に対しては、高濃度薄層を有するパルスドープ構造を提案し、ショットキー特性を劣化させずに「短チャンネル効果」を抑制できることを実証した。後者に対してはソース／ドレイン領域を、従来の2段階の濃度／厚み変化を有する構造から3段階の変化を有する構造に改良し電界強度の緩和を図る共に、ソース／ドレイン領域をp層で囲い込み電位障壁により漏れ電流を低減する新LDD構造を提案した。この構造は寄生抵抗、寄生容量の増加を招くことなく「短チャンネル効果」を抑制できることを実証し

た。

これらの技術によりサブハーフミクロンのデバイスも実用上何ら問題のない特性が得られるようになった。

第4章では、前章で提案したパルスドープ構造のバンド構造ならびに電子輸送特性について検討した。まずシュブニコフ・ド・ハース振動測定により、OMVPE法により成長した厚み100 Å, キャリア濃度4 ×10 ^{18}/cm^3, の高濃度な薄層を有するパルスドープ構造のバンド構造を調べた。その結果、本研究で用いたパルスドープ構造は3つのサブバンドをを持つV型ポテンシャルを有することが明らかになった。このことは、通常のOMVPE法で成長した試料においても、原子層ドーピングに匹敵する急峻な界面が得られていることを示している。

またパルスホール効果とパルスI-V測定より、デバイス特性に重要と言われる高電界輸送特性を調べた。同一のキャリア濃度を有するバルクと比較すると、パルスドープ構造の電子輸送特性は、低電界領域では大差はないが高電界領域では優れた特性を示した。このことは、パルスドープ構造特有のバンド構造に起因する移動度の異なるサブバンド間の並行伝導と、両側に配されたアンドープ層への実空間遷移により説明できる。

以上のことより、パルスドープ構造は高濃度不純物層を有するが、高電界領域での電子輸送特性は良好であることを明らかにした。

第5章では、第3章で提案した「短チャンネル効果」を抑制したGaAs MESFETの高速、高周波特性を評価することによってこれらを決定する要因を明らかにした。

作製したMESFETはゲート長0.3 μmでg_m=480 mS/mm, f_T=52 GHz, ゲート長0.15 μmではg_m=510 mS/mm, f_T=72 GHzという優れた特性を示した。これらの結果は、MESFETの電子移動度がHEMTのそれの1/2～1/3であるにも関わらず、同一ゲート長では同等の性能を有することを示している。

この結果より高速特性を表すg_m, 高周波特性を表すf_Tは寄生抵抗を十分に低減し、かつ「短チャンネル効果」を抑制したデバイスにおいては、いずれも低電界での電子移動度にはほとんど影響されず、材料特性である高電界輸送特性により決まることが明らか

になった。またサブ0.25 μm領域では、素子の電極配置に起因する寄生容量が高周波特性に影響を及ぼすこと、この影響を除去すればGaAs MESFETでは電子速度のオーバシュート効果が確認されることも明らかにした。

第6章では、GaAs MESFETの雑音特性を測定、評価することによってこれらを決定する要因を明らかにした。第3章で提案したパルスドープ構造MESFETにおいて、高濃度不純物層の厚みを減少させていくことで、雑音指数は高電子移動度を有するHEMTのそれと同等まで向上した。得られた雑音特性はゲート長0.3 μmにおいてNF=0.72 dB, Ga=10.5 dB (12 GHz)である。この現象はチャンネルの薄層化に伴い、FETの主雑音源であるドレイン雑音とゲート誘起雑音の相殺効果が強まることによって説明できる。

これら結果よりFETの雑音指数も低電界での移動度にはほとんど影響されず、寄生抵抗が十分低減された素子構造においては、同一のチャンネル材料であればチャンネル厚に依存することを明らかにした。

以上の研究成果により、電子デバイスの特性向上は高速／高周波分野と低雑音分野ではHEMTのような高電子移動度を有するヘテロ構造は必ずしも必要ではなく、MESFETの構造で十分得られることが明らかになった。

MESFETのチャンネルは、品質の安定した半絶縁性基板へイオン注入することで得られ、これらはSi並みの量産技術確立につながる。また本研究で提案したパルスドープ構造では、エピタキシャル法を用いるがHEMTに比して単純でありAlGaAsのような活性な材料を用いないため常に安定したエピ基板が得られている。

さらに本研究で開発したリセスを用いないプレーナ型の自己整合プロセスおよび「短チャンネル効果」を抑制するデバイス構造は、素子特性の均一性／再現性に優れサブハーフミクロン領域までの素子の作製を容易にし安定したデバイス特性を実現することができる。この領域はもはやSiデバイスでは追従できない領域であり、通信分野を中心とした新たなGaAs デバイスの市場開拓につながるであろう。

以上のことより、GaAs MESFETにおいてSiデバイスを凌駕する性能を保ちつつ、Si並みの生産技術を有するデバイス技術を開発することができた。

7-2 今後の課題

GaAs MESFETの特長を活かせる、高速／高周波、低雑音への応用を考えてプロセス、素子構造の開発を行ってきた。またその中でこれら特性を決める物性要因は何であるか明らかにした。これらの成果は、今後の化合物半導体電子デバイス開発の一助となる。

GaAs の応用は、これら範囲に留まらない。最近では携帯電話用の出力用のパワートランジスタにGaAs が採用され、低電圧駆動／低消費電力により軽量化とバッテリーの寿命を延ばすことに貢献している。また、宇宙通信システムにおいても従来から使用されていた真空菅に代わって、GaAsパワーFETが高信頼性、小型化、低消費電力によって置き換えを始めている[1]。

しかし、これらの分野ではGaAs材料の特性に起因する問題が生じている。

パワーFETでは、ゲートに高周波信号が入った際にドレイン電流に遅れが生ずるといういわゆる「ゲートラグ」が問題になっている[2,3]。これは、GaAs 表面に存在するトラップの影響であり素子構造やプロセス条件の改良によって低減が図られている[4-6]。

また、素子の間隔が狭くなった際にFETのドレイン電流が、隣接するFETの電極に印加される電圧よって変調を受ける「サイドゲート効果」は素子の集積化を妨げている[7]。FETのドレインコンダクタンス(gd)が周波数依存性を有する「周波数分散」は、GaAs ICの広帯域化を妨げているし、ディジタルICでは単発的なパルス信号に対して出力信号が発生しないという「パルス遅延」という問題を引き起こしている[8,9]。これらの現象は、GaAs 基板中に存在する深い準位による充放電現象のために起こることがわかってきている。

GaAsは化合物であるがゆえ優れた物性特性を示すが、反面材料的には未完成な部分が多い。このことは、振る舞いのよく知られたSiデバイスと比較すると大きな欠点になっている。今後は結晶育成の面から深い準位の性質を明らかにすると共に、準位の低減を図ること、準位によるFETの振る舞いを正確に示すモデルを開発すること、準位の影響を受けにくい構造を開発することも重要な課題である。

7-3 参考文献

1) 春日、"通信用高周波デバイス," 電子情報通信学会春季全国大会、GC-3, p.4-484, 1989

2) M. Rocchi, "Status of the surface and bulk parasitic effects limiting the performance of GaAs ICs," Physica 129B, pp.119-138, 1985

3) M. Ozeki, K. Kodama, A. Shibatomi, "Surface analysis in GaAs MESFETs by gm frequency dispersion measurement," Inst. Phys. Conf. Ser., No.63, pp.323-328, 1988

4) R. Yeats, D.C. D'vanzo, K.Chan, N. Fernandez, T.W. Taylor, and C. Vogel, "Gate Slow Transients in GaAs MESFETs-Causes, Cures, and Impact on Circiuts," Technical Digest in IEDM , pp.842-845, 1988

5) H. Takahashi, K. Asano, M. Matsunaga, N. Iwata, A. Mochizuki, and H. Hirayama, "Step-Recessed Gate GaAs FETs with an Undoped Surface layer," Technical Digest in IEDM, pp.259-262, 1991

6) J.C. Huang, G.S. Jackson, S.Shanfield, A. Platzker, P.K. Saledas, and C. Weichert, "An AlGaAs/InGaAs Pseudomorphic High Electron Mobility Transistor With Improved Breakdown Voltage for X- and Ku-Band Power Applications," IEEE Trans. Microwave Theory and Tech., Vol.41, No.5, pp.752-759, 1993

7) 大野、後藤、伊藤、"GaAs ICにおけるサイドゲート効果," 応用物理 第61巻 第2号、pp.134-140, 1992

8) 堀、小野、斉藤、"高速パルス発生器," 信学技報、IM-89-17, pp.19-26, 1989

9) J.M. Golio, M.G. Miller, G.N. Maracas, and D.A. Johnson, "Frequency-Dependent Electrical Characteristics of GaAs MESFET's," IEEE Trans. Electron Devices, Vol.37, No.5, pp.1217-1227, 1990

謝　辞

本研究をまとめるにあたり、終始御懇切なる御指導と御鞭撻を賜わった大阪大学工学部電気工学科・白藤 純嗣 教授に衷心より御礼の言葉を申し上げます。

本論文の作成にあたり、懇篤なる御指導を頂くとともに、種々の御検討を賜わった大阪大学工学部電気工学科・平木 昭夫 教授、青木 亮三 教授ならびに産業科学研究所・中島 尚男 教授に深く感謝致します。

また、本論文を完遂するにあたり、御指導、御助言を賜わりました、大阪大学工学部電気工学科・松浦 虔士 教授、熊谷 貞俊 教授、佐々木 孝友 教授、辻 毅一郎 教授、小牧 省三 教授、ならびにレーザ核融合研究所・山中 龍彦 教授に厚く感謝致します。

学生時代から今日に至るまで、常日頃御指導と御厚情を賜わっております大阪工業大学・井上 正崇 教授に深く感謝の意を表します。

本研究の機会を与えてくださり、終始御懇切なる激励と御鞭撻を賜わった住友電気工業株式会社・取締役・吉田 健一 博士、研究開発部門・支配人・石田 晶 博士に厚く御礼申し上げます。

また、本研究の遂行にあたり、御指導ならびに暖かい御配慮を頂いた研究開発部門・児山 正弘 支配人、半導体事業部・公江 清彦 事業部長、オプトエレクトロニクス研究所・今井 元 所長、マルチメディア開発室・主幹・小野 公三 博士、オプトエレクトロニクス研究所・光・マイクロ波機能部品研究部・黒田 正孝 部長、半導体光デバイス研究部・部長・林 秀樹 博士、光・マイクロ波機能部品研究部・西沢 秀明 主任研究員、同・志賀 信夫 主任研究員、ならびにSumitomo Electric Lightwave Corp.・マネージャー・西口 勝規 博士に厚く御礼申し上げます。

本研究の期間中、一緒に実験し有益なる討論と協力を頂いたオプトエレクトロニクス研究所・勝山 造 博士、関口 剛 氏、石井 学 氏、矢野 浩 氏、西山 直樹 氏、乙部 健二 氏、桑田 展周 氏、松崎 賢一郎 氏はじめ同研究所の各位、ならびにシステムエレクトロニクス研究開発センター・松本 一也 氏に心から感謝致します。

本研究における実験を遂行するにあたり、御協力を頂いた横浜研究業務課・第4開発掛・高橋 千秋 主任、鈴木 好男 主任代理、斉藤 浩 班長、向井 健一 班長、佐々木 丈夫 班長はじめ同開発掛の各位に心から感謝致します。

最後に、常に陰ながら励まし支え続けてくれた両親や妻・一藤子に深く感謝します。

関連発表論文

本論文内容に直接関わる著者発表論文

1) *S. Nakajima*, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," Appllied Physics Letters, vol. 57, No. 13, p.1316-1317, 1990

2) *S. Nakajima*, K. Otobe, N. Shiga, N. Kuwata, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-Noise Characteristics of Pulse-Doped GaAs MESFET's with Planar Self-Aligned Gates," IEEE Transactions on Electron Devices Vol.39, No.4, p.771-776, 1992

3) *S. Nakajima*, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot electron transport in a pulse-doped GaAs structure," Semiconductor Science Technologies," Vol.7 p.B372-374, 1992

4) *S. Nakajima*, N. Kuwata, N. Shiga, K. Otobe, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, " Characterization of Double Pulse-Doped Channel GaAs MESFET's," IEEE Electron Device Letters," Vol.14, No.3, p.146-148, 1992

5) *S. Nakajima*, K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," IEEE Transactions on Microwave Theory and Techniques, Vol.42, No.12,p.2517-2524, December, 1994

6) N. Shiga, *S. Nakajima*, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi,"X-Band MMIC Amplifier with Pulse-Doped GaAs MESFET's," IEEE Transactions on Microwave Theory and techniques, Vol.39, No.12,p.1987-1994, December, 1991

7) N. Shiga, T. Sekiguchi, *S. Nakajima*, K. Otobe, N. Kuwata, K. Matsuzaki, and H.Hayashi,"MMIC Family for DBS Down-Converter with Pulse-Doped GaAs MESFET's," IEEE Journal of Solid-State Circuits, Vol.27, No.10, p.1413-1420, October 1992

8) N. Shiga, *S. Nakajima*, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, and H. Hayashi,"12 GHz Low-Noise MMIC Amplifier with GaAs Pulse-Doped MESFET's," IEICE Transactions on Electronics, Vol.E77-C, No.9,p.1500-1506, September 1994

その他論文

1) *S. Nakajima*, M. Yamaguchi, M. Inoue, J. Shirafuji, and Y. Inuishi, "Interface Characteristics of MIS Diodes Made by Anodic Oxidation of $In_{0.53}Ga_{0.47}$ As," Technology Report of the Osaka University, Vol.34, No.1745, pp.41-46, 1984

2) M. Inoue and *S. Nakajima*, "Two-dimesional magnetotransport in a new type of heterostructure, InP/n-AlInAs," Solid State Communications, 50, p.1023-1025, 1984

3) M. Inoue, H. Hayashi, G. Sasaki, and *S. Nakajima*, " Two-Dimensional Electron Transport and Hot Electron Effects in InP/n-AlInAs Heterostructures," Physica 134B, p.327-, 1985

4) *S. Nakajima*, M. Murata, N. Shiga, H.Hayashi, and M.Inoue, "High electron mobility in modulation-doped n-AlInAs/InP heterostructures grown by low pressure organometallic vapor phase epitaxy," Applied Physics Letters, Vol. 59, No. 13, P.1606-1607, 1991

5) R. Sakamoto, T. Kohno, T. Kamiyoshi, M. Inoue, *S. Nakajima*, and H. Hayashi, "Optical analysis of hot carrier distribution and transport properties in InP/AlInAs type II heterostructures," Semiconductor Science Tecnologies, Vol.7, p.B271-273, 1992

6) N. Nishiyama, H. Yano, *S. Nakajima*, and H. Hayashi, "$(InAs)_3(GaAs)_1$ superlattice channel field-effect transistor grown by molecular beam epitaxy", Appl. Phys. Lett., 1989, 55, p.894-895

7) N. Nishiyama, H. Yano, *S. Nakajima*, and H. Hayashi, "n-AlInAs/$(InAs)_3(GaAs)_1$ superlattice modulation-doped field effect transistor grown by molecular beam epitaxy," Electronics Letters, Vol. 26, No. 13, p.885-886, 1990

本論文内容に直接関わる国際会議発表

(1) *S. Nakajima*, K. Otobe, T. Katsuyama, N. Shiga, and H. Hayashi, "OMVPE grown GaAs MESFETs with step-doped channel for MMICs," Technical Digists of 1988 IEEE GaAs IC Symposium, pp.297-300, Nashville, TN, 1988

(2) *S. Nakajima*, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC," Technical Digists of 1990 IEEE MTTs Microwave Symposium, pp.1081-1084, Dallas, TX, 1990

(3) *S. Nakajima*, K. Otobe, N. Kuwata, N. Shiga, T. Sekiguchi, K. Matsuzaki, and H.Hayashi, "A comparison of Device Performance and Device Physics between Pulse-doped FET and HEMTs," Advanced Heterostructure Transistor Conference, Hawaii, 1990

(4) *S. Nakajima*, N. Kuwata, N. Nishiyama, N.Shiga, and H. Hayashi, "Hot Electron Transport in a Pulse-doped GaAs structure," Hot Carrier International Symposium 7th, Nara, Japan, 1991

(5) *S. Nakajima* , K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," Technical Digists of 1994 IEEE MTTs Microwave Symposium, pp.1443-1446, San-Diego, CA, May 1994

(6) *S. Nakajima*, G. Ishii, Y. Saito, N. Kuwata, T. Fukuzawa, K. Koike, and H. Nishizawa, "Manufacturability of Dummy-gate Self-aligned LDD GaAs MESFETs for High Volume Production," Technical Digist of 1994 IEEE GaAs IC Symposium, pp.119-122, Philadelphia, PA, October 1994

(7) N. Shiga, *S. Nakajima*, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band monolithic four-stage LNA with pulse-doped GaAs MESFETs," Technical Digest of 1990 IEEE GaAs IC Symposium, pp.237-240, New Orleans, LA, 1990

(8) N. Kuwata, *S. Nakajima*, T. Katsuyama, K. Otobe, K. Matsuzaki, T. Sekiguchi, N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/GaInAs pulse-doped MESFETs growm by organometallic vapor phase epitaxy," presented at International Symposium on GaAs & Related Compounds, pp.143-148, Seattle, 1991

(9) N. Shiga, T.Sekiguchi, *S. Nakajima*, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Downconverter with Pulse-doped GaAs MESFETs," Technical Digest of 1991 IEEE GaAs IC Symposium, pp.139-142, Monterey, CA, 1991

(10) T. Sekiguchi, N. Shiga, *S. Nakajima*, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Ultra Small Sized Low Noise Block Downconverter Module," Technical Digest of IEEE 1992 Microwave and Millimeter-Wave Monolithic Circuits Symposium, pp.155-158, Allbuquerque, NM, 1992

(11) N. Shiga, *S. Nakajima*, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Modeling on Statistical Distribution of Noise Parameters in Pulse-doped GaAs MESFETs," Technical Digest of IEEE 1992 MTTs Microwave Symposium, pp.655-658, Allbuquerque, NM,1992

(12) N. Shiga, *S. Nakajima*, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Monolithic pulse-doped MESFET LNA for DBS downconverter," Technical Digest of 1992 IEEE GaAs IC Symposium, pp.127-130, Miami, FL, 1992

(13) K. Matsuzaki, N. Kuwata, *S. Nakajima*, K. Otobe, N. Shiga, and H. Hayashi, "Low Noise MMIC Technology with Pulse-doped GaAs MESFET," Technical Digest of 1994 Asia Pacific Microwave Conference, pp.283-286, Tokyo, 1994

その他国際会議発表

(1) N. Nishiyama, H. Yano, *S. Nakajima*, and H. Hayashi, "InAs-GaAs superlattice/ N-Al0.48In0.52As modulation-doped field effect transistor grown by molecular beam epitaxy," presented at International Symposium on GaAs & Related Compounds, Karuizawa, 1989

(2) K. Otobe, N. Kuwata, N. Shiga, *S. Nakajima*, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-distortion MESFET with advanced pulse-doped structure for power applications," presented at International Symposium on GaAs & Related Compounds, Karuizawa, 1992

(3) Y. Saito, T. Hashinaga, *S. Nakajima*, M. Nishiguchi, and H. Nishizawa, "Effect of Thermal-CVD SiO2 on Gate-Sinking of GaAs MESFETs," presented at International Symposium on GaAs & Related Compounds, Karuizawa, 1992

(4) N. Kuwata, K. Otobe, N. Shiga, *S.Nakajima*, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET with Planar Gate Structure for Low Distortion Power Applications," Technical Digest in 1993 IEEE GaAs IC Symposium, pp.181-184, San Jose, CA, 1993