



Title	組込みシステム向けメディア処理アクセラレータのVLSI化に関する研究
Author(s)	木村, 基
Citation	大阪大学, 2006, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/46645
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	木 村 基
博士の専攻分野の名称	博 士 (情報科学)
学 位 記 番 号	第 20484 号
学 位 授 与 年 月 日	平成 18 年 3 月 24 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 情報科学研究科情報システム工学専攻
学 位 論 文 名	組込みシステム向けメディア処理アクセラレータの VLSI 化に関する研究
論 文 審 査 委 員	(主査) 教 授 尾 上 孝 雄 (副査) 教 授 今 井 正 治 教 授 菊 野 亨 助教授 山 田 晃 久

論 文 内 容 の 要 旨

本論文は、組込みシステム向けメディア処理アクセラレータの VLSI 化に関する研究についてまとめたものであり、以下の 5 章により構成した。

第 1 章では、組込みシステム向けメディア処理について述べ、本研究の概要と目的を明らかにするとともに、研究内容と成果について概説した。

第 2 章では、組込み Java および、H.264 と動き補償機構の概要を述べた。まず Java 言語、および Java 仮想マシンとその動作について概説し、次に動画画像復号化における動き補償処理について記述した。

第 3 章では、組込みシステム向け Java アクセラレータの実装について記述した。まず、命令セットの実装について述べた後、ハードウェアエンジンのアーキテクチャを考案し、性能と回路規模のトレードオフについて考察した。その後、ハードウェアエンジンを VLSI 化し、ベンチマークを用いた性能評価により、本アクセラレータが組込みプロセッサ上ソフトウェア実装と比較し、高速であることを示した。

第 4 章では、動画画像マルチデコーダ用動き補償機構の VLSI 化設計について記述した。まず、処理量の多い H.264 動き補償機構の実装を行った後、MPEG-4、H.263 への拡張対応を行った。さらに、性能、面積および消費電力のトレードオフの評価に基づき、ハードウェアエンジンを VLSI 化し、DSP 上でのソフトウェア実装と比較して少ない消費電力で要求性能を達成していることを示した。

第 5 章では、本研究で得られた成果を要約し、今後に残された課題について述べ、結論とした。

論 文 審 査 の 結 果 の 要 旨

組込みシステムにおいて、画像、音声などを対象としたいわゆるメディア処理を実現する方法として、特定用途向け専用ハードウェアであるアクセラレータを追加し、システム全体の負荷を低減する方法がある。本論文は、省面積化、低消費電力化、既存システムとの互換性の保持を目的とした、組込みシステム向けメディア処理アクセラレータの VLSI 化設計を行った研究の成果をまとめたものであり、以下の主要な結果を得ている。

(1) 組込みシステム向け Java アクセラレータの実装

既存の組込みシステムとの互換性を保持する Java アクセラレータを実装している。本アクセラレータはハードウェアエンジンおよびソフトウェアカーネルにより、Java 仮想マシンの全命令を実装し、ホストプロセッサとの並列動作を可能としている。ハードウェアエンジンの設計においては、サイクルベースシミュレーションにより、処理性能と回路規模とのトレードオフを評価し、設計パラメータを決定している。本アクセラレータを VLSI 化した結果、回路規模が約 30,000 ゲートであることを示している。これにより、提案アクセラレータ、ホストプロセッサ、入出力インターフェースを 1 チップに集積し、高速な Java 実行環境を容易に構築可能であることを明らかにしている。

(2) 動画像マルチデコーダ向け動き補償機構の VLSI 化設計

専用回路による動画像マルチデコーダの実装を志し、動き補償機構を VLSI 化設計している。具体的には、H.264、MPEG-4、H.263 の三つの符号化方式に対応した動き補償機構のアーキテクチャの効率化を図っている。設計に際しては、バッファメモリサイズ、画素並列演算度を可変なアーキテクチャとすることにより、消費電力、ゲート数、などのトレードオフを考慮している。その結果、提案する動き補償機構は、約 21,000 ゲートの回路規模、14.9 mW の消費電力で、CIF (352×288) 画像を 30 フレーム/秒で処理可能であり、既存の信号処理プロセッサ上でのソフトウェア実装と比較し、消費電力の点で優れていることを示している。

以上のように、本論文で述べたメディア処理アクセラレータの構成とその VLSI 化に関する手法は、回路規模、消費電力削減、設計コスト削減に対し極めて有用である。これにより、マルチメディア処理を実現する組込みシステムの実装に際し、アーキテクチャ構築や、VLSI 化設計に関する知見として貢献するものと期待できる。

よって、博士（情報科学）の学位論文として価値のあるものと認める。