



Title	An Embedded System Design Methodology based on System-level Profiling
Author(s)	上田, 恒子
Citation	大阪大学, 2006, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/46665
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	上田恭子
博士の専攻分野の名称	博士(情報科学)
学位記番号	第20483号
学位授与年月日	平成18年3月24日
学位授与の要件	学位規則第4条第1項該当 情報科学研究科情報システム工学専攻
学位論文名	An Embedded System Design Methodology based on System-level Profiling (システムレベル・プロファイリングに基づく組込みシステム設計手法)
論文審査委員	(主査) 教授 今井正治 (副査) 教授 菊野亨 助教授 山田晃久 教授 尾上孝雄 助教授 武内良典

論文内容の要旨

近年、微細加工技術の進歩により、大規模なシステムを1チップ上に搭載可能となってきている。一方、設計するシステムが大規模化することにより、設計工数が増加するという問題がある。そこで、既設計の機能ブロック(IP)の再利用によって設計工数を削減する、IPベース設計手法が提案されている。IPベース設計では、機能ブロックをIPデータベースから選択し、機能ブロック間を接続するバスアーキテクチャを決定することにより、システムアーキテクチャを設計する。しかし、アーキテクチャ候補数は膨大であるため、設計者がすべての候補を評価することは現実的に不可能であり、効率的なアーキテクチャ探索手法が求められている。

そこで本論文では、システムレベル・プロファイリングを利用した、アーキテクチャ探索手法を提案する。提案手法ではアーキテクチャを、プロセス(データ処理)の機能ブロックへのマッピング、チャネル(データ転送)のバスへのマッピング、バスビット幅、機能ブロックおよびバスの動作周波数、バッファのデータブロック数によってパラメタ化する。アーキテクチャ候補は、各パラメタの探索木のトレースによって順に探索する。この際、各ノードにおけるアプリケーションの処理時間や面積の上限、下限を用いて枝刈りを行うことにより、探索時間を削減する。また、提案手法ではアーキテクチャの探索を二段階で行う。Globalモードでは、すべてのプロセスおよびチャネルのマッピングに対して、他のパラメタを振った場合に設計品質が取り得る範囲を提示する。Localモードでは、指定されたプロセスおよびチャネルのマッピングに対して他のパラメタの組み合わせをすべて探索し、面積および処理時間がトレードオフ関係にある複数のアーキテクチャを提示する。探索を二段階に行うことにより、将来の拡張を考慮したマッピングの選択や探索時間の削減が可能となる。

アプリケーションの処理時間の見積りでは、データ処理とデータ転送の実行順序およびコンポーネント間で転送されるデータ量がアーキテクチャに依存しないことに着目し、システムレベルのモデルを用いてあらかじめプロファイリングを行い、取得したプロファイルから対象アーキテクチャのアプリケーション処理時間を見積もる。同じプロファイルを用いることにより、アーキテクチャレベル・シミュレーションと比べて短い時間での見積もりが可能となる。

論文審査の結果の要旨

本論文では、IP ベース設計手法のための効率的なアーキテクチャ探索手法を提案する。IP ベース設計手法は、近年の VLSI の微細加工技術の進歩が大規模なシステムを 1 チップ上に搭載可能とした一方で、設計するシステムが大規模化することで設計工数が増加してしまった問題を解決するため、既設計の機能ブロック (IP) の再利用によって設計工数を削減し設計生産性を高める新しい設計手法である。IP ベース設計では、機能ブロックを IP データベースから選択し、機能ブロック間を接続するバスアーキテクチャを決定することにより、システムアーキテクチャを設計する。しかし、アーキテクチャ候補数は膨大であるため、設計者がすべての候補を評価することは難しく、効率的なアーキテクチャ探索手法が求められていた。

本論文では、システムレベル・プロファイリングを利用した、アーキテクチャ探索手法を提案している。提案手法ではアーキテクチャを、プロセス（データ処理）の機能ブロックへのマッピング、チャネル（データ転送）のバスへのマッピング、バスビット幅、機能ブロックおよびバスの動作周波数、バッファのデータブロック数によってパラメタ化している。アーキテクチャ候補は、各パラメタの探索木のトレースによって順に探索する。この際、各ノードにおけるアプリケーションの処理時間や面積の上限、下限を推定し、枝刈りを行うことにより、探索時間を削減する。アプリケーションの処理時間の見積りでは、データ処理とデータ転送の実行順序およびコンポーネント間で転送されるデータ量がアーキテクチャに依存しないことに着目し、システムレベルのモデルを用いてあらかじめプロファイリングを行い、取得したプロファイルから対象アーキテクチャのアプリケーション処理時間を見積もる方法を提案している。同じプロファイルを用いることにより、従来のアーキテクチャレベル・シミュレーションを用いた場合と比較して 1 アーキテクチャあたりの見積もり時間を短縮した見積もりを可能とした。また、提案する手法ではアーキテクチャの探索を二段階で行う。Global モードでは、すべてのプロセスおよびチャネルのマッピングに対して、その他のパラメタが変動する場合に各アーキテクチャの設計品質指標の取り得る範囲を提示する。Local モードでは、指定されたプロセスおよびチャネルのマッピングに対してその他のパラメタの組み合わせをすべて探索し、面積および処理時間がトレードオフ関係にある複数のアーキテクチャを提示する。探索を二段階で行うことにより、産業界などの現実的な要望である、部分アーキテクチャの固定、複数の解候補の列挙を可能とし、同時に探索時間の削減を可能とした。

本論文では、評価実験として画像音声圧縮処理システムを例題として扱い、本例において提案手法はアーキテクチャレベル・シミュレーションと同じ結果を得るために、1 アーキテクチャあたりアーキテクチャレベル・シミュレーションの 1/2000 程度の時間で計算できることを示し、アーキテクチャ探索も従来の 1/100 以下の時間内に行えることを確かめた。また、二段階探索により、複数の解候補の列挙、探索時間の削減を確かめている。

よって、博士（情報科学）の学位論文として価値のあるものと認める。