

Title	IC配線におけるスパイラル・インダクタの相互インダクタンスに関する研究
Author(s)	島, 秀樹
Citation	大阪大学, 2006, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/46918">https://hdl.handle.net/11094/46918</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a>〉</a> をご参照ください。

***Osaka University Knowledge Archive : OUKA***

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	島 秀 樹
博士の専攻分野の名称	博士(工学)
学位記番号	第 20344 号
学位授与年月日	平成 18 年 3 月 24 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科電子情報エネルギー工学専攻
学位論文名	IC 配線におけるスパイラル・インダクタの相互インダクタンスに関する研究
論文審査委員	(主査) 教授 谷口 研二 (副査) 教授 谷野 哲三 教授 北山 研一 助教授 松岡 俊匡 助教授 丸田 章博 助教授 橋本 昌宜

### 論文内容の要旨

本論文は、IC 配線におけるスパイラル・インダクタの相互インダクタンスに関する研究の成果をまとめたものであり、5 章から構成されている。以下、各章ごとの概要を述べる。

第 1 章では、IC 配線を用いたインダクタに関して現在までの研究報告状況を調査し、解明すべき課題を抽出すると共に本研究の意義と位置付けを行った。

第 2 章では、多層配線間の相互インダクタンスの計算方法について述べた。この方法は、高周波集積回路チップ面積を低減するための 3 次元構造の積層インダクタの解析に利用できる。具体的には、任意の配置にある平行した配線間の幾何学的平均距離を計算するための一組の解析式を提案した。提案した解析式は、積分形式の幾何学的平均距離の定義式から近似を用いないで導出した。また、それらの解析式は、同一平面上の配線に関する既知の幾何学的平均距離の式を利用した厳密な式であり、フィッティングパラメータを含まない。提案する解析式を Greenhouse の方法に適用して計算した直線配線間の相互インダクタンス値を、商用電磁界シミュレータの数値計算結果と比較し、その精度について検証した。

第 3 章では、回路の小型化・低電圧化を可能にするオンチップ・トランスについて、その電気特性を可変する方法について述べた。この方法は、高周波回路で用いられるオンチップ・トランスの電気特性を向上させる事ができる。具体的には、従来のタップド・トランス (Tapped transformer) と、それに磁氣的に結合するカップルド・インダクタ (Coupled Inductor) により構成したオンチップ・可変トランスを提案した。可変トランスのプライマリ及びカップルド・インダクタに伝送される電力の位相差を制御する事で、最大安定利得 (Maximum Stable Gain : MSG)、入力インピーダンス、及びプライマリの Q 値などの電気特性を変化させた。測定結果に基づいて、提案する可変トランスの性能について検証を行った。

第 4 章では、オンチップ・インダクタの開発において欠かす事のできない、インダクタ TEG を用いたインダクタの自己インダクタンス抽出を簡易化する方法について述べた。この方法は、インダクタンスの抽出に要する時間と労力を低減し、技術者の負担を減らす事が可能である。具体的には、スパイラル・インダクタとテスト・フィクスチャ間の寄生相互インダクタンスを最小限に抑えるレイアウト方法、及びフィクスチャ配線の寄生自己インダクタンスを

解析式により評価する方法に基づいた抽出手続きについて提案した。また、実測値から抽出したインダクタンス値を、電磁界シミュレータを用いて計算した結果と比較し、その有効性について検証した。

第5章では、本論文で取り上げる各研究での成果についてまとめた。

## 論文審査の結果の要旨

本論文は、IC配線におけるスパイラル・インダクタの相互インダクタンスに関する研究成果をまとめたもので、近年の高周波集積回路の小型化・低電圧化のためのインダクタを開発すると共に、オンチップ・インダクタの自己インダクタンス抽出を簡易化する方法を考案し、その基礎技術を提供している。その主要な成果は次の通りである。

- (1) IC配線を用いたインダクタに関して現在までの研究報告状況を調査し、解明すべき課題を抽出すると共に本研究の意義と位置付けを行っている。
- (2) 高周波集積回路チップ面積を低減するためには3次元構造の積層インダクタの詳細な解析が必要であり、そのための多層配線における相互インダクタンスの計算方法が重要となる。本研究では、任意の配置にある平行した配線間の幾何学的平均距離を計算するための新しい解析式を提案している。解析式は積分形式の幾何学的平均距離の定義式に基づき正確に導いたもので、調整パラメータを含んでない。また、提案する解析式で計算した直線配線間の相互インダクタンスの値を数値計算結果と比較し、本解析式が高精度の計算結果を与えることを検証している。
- (3) 回路の小型化・低電圧化を可能にするオンチップ・トランスについて、その電気特性を向上させる新たな方法を考案し、それに基づく可変トランスを提案している。提案の可変トランスは、タップト・トランス (Tapped Transformer) と結合インダクタ (Coupled Inductor) により構成されており、可変トランスの1次及び結合インダクタに伝送される電力の位相差を制御して、最大安定利得、入力インピーダンス、及びプライマリのQ値などの電気特性を可変にするものである。本可変トランスの実測結果より、トランスの高性能化が可能である事を実証している。
- (4) オンチップ・インダクタの開発において欠かす事のできない、インダクタ TEG を用いたインダクタの自己インダクタンス抽出を簡易化する方法を提案している。本方法はスパイラル・インダクタとテスト・フィクスチャ間の相互インダクタンスを最小限に抑えるレイアウト方法、及びフィクスチャ配線の寄生自己インダクタンスを解析式により評価するものである。本方法に基づき実測した値から抽出したインダクタンス値を、電磁界シミュレータを用いて計算した結果と比較し、その有用性が高い事を実証している。提案する抽出方法を用いる事により、インダクタンスの抽出に要する時間と労力を低減し、技術者の負担を減らす事が可能である。

以上のように、本論文は近年の高周波集積回路の小型化・低電圧化の要求に対して、インダクタの観点から基礎的技術を提供するもので高周波回路の発展に対する貢献は大きい。よって本論文は博士論文として価値あるものと認める。