

Title	シリコンオンインシュレーターMOSFETの素子特性向上に関する研究
Author(s)	沼田, 敏典
Citation	大阪大学, 2006, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/46954">https://hdl.handle.net/11094/46954</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉</a> 大阪大学の博士論文について <a>〉</a> をご参照ください。

***Osaka University Knowledge Archive : OUKA***

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	沼田敏典
博士の専攻分野の名称	博士(工学)
学位記番号	第 20554 号
学位授与年月日	平成 18 年 3 月 24 日
学位授与の要件	学位規則第 4 条第 2 項該当
学位論文名	シリコンオンインシュレーター-MOSFET の素子特性向上に関する研究
論文審査委員	(主査) 教授 片山 光浩
	(副査) 教授 森田 清三    教授 谷口 研二    教授 栖原 敏明 教授 八木 哲也    教授 尾崎 雅則    教授 近藤 正彦 助教授 森 伸也

## 論文内容の要旨

LSI の主要構成素子として期待されているシリコンオンインシュレーター (Silicon-on-insulator : SOI) MOSFET の素子特性向上について研究した。特に、完全空乏型 (Fully-depleted : FD) SOI MOSFET 技術とひずみシリコン技術を組み合わせたひずみ SOI MOSFET の素子設計指針について、バックゲートと埋め込み酸化膜 (Buried oxide : BOX) を考慮したデバイスシミュレーションによる検討と実験的検証から研究した。

FD SOI MOSFET において、トランジスタのスイッチング特性を表すしきい値電圧では、SOI 膜厚ばらつきによってしきい値がばらつく。BOX を薄膜化してチャネル不純物濃度とバックゲート電圧を調節することで、しきい値ばらつきを抑える手法を見出した。

ゲート長 100 nm 以下の FD-SOI MOSFET において、良好なデバイス特性でしきい値を設定するためには、低チャネル不純物濃度にてゲート仕事関数とバックゲート電圧を組み合わせる手法が有効であることを見出した。しきい値以下のドレイン電流の特性であるサブシュレッシュヨルド特性が急峻であるという FD-SOI の特長をゲート長 100 nm 以下でも維持するためには BOX 膜厚の最適化が必要であることを見出した。BOX 容量と BOX を通じたドレイン誘起障壁低下 (Drain Induced Barrier Lowering : DIBL) がサブシュレッシュヨルド特性に相反する影響を与えるため、サブシュレッシュヨルド特性はある BOX 膜厚で最小値を有することが分かった。

SiGe on Insulator 上の FD ひずみ SOI MOSFET のしきい値を設定するため、ひずみ Si/SiGe 構造によるバンドオフセットを考慮して、ゲート仕事関数とバックゲート電圧を組み合わせる手法を得た。特に、p-MOSFET では、短チャネル効果を低減するためには、厚いひずみ Si 層と薄い SiGe 層からなるひずみ SOI 構造が有効であることが分かった。

ゲート長 100 nm 以下のひずみ SOI MOSFET と FD ひずみ SOI MOSFET による特性向上について、微細ひずみ SOI MOSFET を作製して解析した。ゲート長 70 nm の部分空乏型ひずみ SOI MOSFET では、通常の SOI に比べ 15% 電流駆動能力が向上した。一方、FD ひずみ SOI MOSFET では、低チャネル不純物濃度でクーロン散乱を抑制してバックゲートでしきい値設定することでさらなる特性向上が得られた。

本研究によって、ゲート長 100 nm 以下の LSI 適用に向けた FD-SOI MOSFET とひずみ SOI MOSFET のバックゲートを用いた最適構造の素子設計指針を得た。

## 論文審査の結果の要旨

本論文は LSI の主要構成素子として期待されているシリコンオンインシュレーター (Silicon-on-insulator : SOI) MOSFET の素子特性向上について研究している。特に、完全空乏型 (Fully-depleted : FD) SOI MOSFET 技術とひずみシリコン技術を組み合わせたひずみ SOI MOSFET の素子設計指針について、バックゲートと埋め込み酸化膜 (Buried oxide : BOX) を考慮して研究している。本論文は 8 章より構成されており、各章の概要は以下の通りである。

第 1 章においては、本研究の背景と目的と各章の概要について述べている。

第 2 章においては、本研究に関連するこれまでの研究報告について述べている。

第 3 章においては、本研究で用いた研究手法について述べている。

第 4 章においては、FD SOI MOSFET において、トランジスタのスイッチング特性を表すしきい値電圧が、SOI 膜厚ばらつきによってばらつくのに対し、BOX を薄膜化してチャネル不純物濃度とバックゲート電圧を調節することで、しきい値ばらつきを抑える手法を見出している。

第 5 章においては、ゲート長 100 nm 以下の FD-SOI MOSFET において、良好なデバイス特性でしきい値を設定するためには、低チャネル不純物濃度にてゲート仕事関数とバックゲート電圧を組み合わせる手法が有効であることを見出している。さらに、しきい値以下のドレイン電流の特性であるサブシュレッシュヨルド特性が急峻であるという FD-SOI の特長をゲート長 100 nm 以下でも維持するためには BOX 膜厚の最適化が必要であることを見出している。

第 6 章においては、SiGe on Insulator 上の FD ひずみ SOI MOSFET のしきい値を設定するため、ひずみ Si/SiGe 構造によるバンドオフセットを考慮して、ゲート仕事関数とバックゲート電圧を組み合わせる手法を得ている。また、短チャネル効果を低減するためには、厚いひずみ Si 層と薄い SiGe 層からなるひずみ SOI 構造が有効であることを明らかにしている。

第 7 章においては、微細ひずみ SOI MOSFET を作製しており、ゲート長 70 nm の部分空乏型ひずみ SOI MOSFET は、通常の SOI に比べ 15 % 電流駆動能力が向上している。一方、FD ひずみ SOI MOSFET は、低チャネル不純物濃度でクーロン散乱を抑制してバックゲートでしきい値設定することでさらなる特性向上が得られている。

第 8 章においては、本研究において得られた知見を総括している。

以上のように、本論文はゲート長 100 nm 以下の LSI 適用に向けた FD-SOI MOSFET とひずみ SOI MOSFET のバックゲートを用いた最適構造の素子設計指針を与えるものと考えられる。よって本論文は博士論文として価値あるものと認める。