



Title	A Study on Modeling and Design Methodology of On-chip Interconnects
Author(s)	金本, 俊幾
Citation	大阪大学, 2007, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/47287
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	かな 金 もと 本 とし 俊 き 幾
博士の専攻分野の名称	博 士 (情報科学)
学 位 記 番 号	第 2 1 3 1 2 号
学 位 授 与 年 月 日	平成 19 年 3 月 23 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 情報科学研究科情報システム工学専攻
学 位 論 文 名	A Study on Modeling and Design Methodology of On-chip Interconnects (オンチップ配線のモデリングと設計メソドロジーに関する研究)
論 文 審 査 委 員	(主査) 教 授 尾 上 孝 雄 (副査) 教 授 谷 口 研 二 教 授 中 前 幸 治 助 教 授 橋 本 昌 宜

論 文 内 容 の 要 旨

This thesis discusses modeling and design methodology for on-chip interconnection. Due to steady improvement in LSI fabrication technology, designers encounter various problems that have not been critical before. In the nanometer scale and Giga-hertz speed era, coping with interconnect delay variation and modeling of inductance effects come to crucial matters for successful VLSI design.

A first step to handle interconnect variation is to estimate manufactured interconnect cross-sectional dimension, because resistance R , capacitance C and their variations are computed by physical dimension parameters. Furthermore, intrinsic capacitance extraction errors also contribute to a part of the RC variations in the actual design flow. As for the inductance effects, improving modeling accuracy has been a primary topic and correlation between measurement and simulation is discussed. In System-on-a-Chip, on the other hand, it is important to build efficient modeling for the inductance effects, since many wire segments are integrated.

In this research, interconnect modeling and design methods with respect to the delay variation and the inductance effect are proposed.

First, a methodology to estimate the interconnect cross-sectional parameters of copper wiring is proposed. The most common way to measure the interconnect cross-sectional dimension observes a cut wafer using a microscope. However, the measured values are affected by local random variation. The proposed method estimates the cross-sectional parameters using measured interconnect capacitances and resistances, which are separated from the local variations by averaging any number of samples.

Also, validness of statistical treatment of intrinsic errors in parasitic capacitance extraction is discussed. Commonly, interconnect parasitic capacitance extraction for timing and crosstalk noise analysis employs a pattern-matching method, which fits characterized primitive portions to the actual layout pattern. Though a precise electromagnetic field solver is used to the primitive characterization, intrinsic errors due to differences in boundary conditions still remain. This thesis demonstrates that the resulting delay and noise estimating errors follow a normal distribution, which can be treated in a statistical manner.

Next, the on-chip inductance effects are discussed. This work proposes a simple yet efficient Si-substrate modeling for interconnect resistance and inductance extraction. As the operating frequency becomes high, on-chip inductance and resistance show large frequency dependence due to skin and proximity effects. Especially, the proximity effect associated with Si-substrate is significant when the substrate is close to signal wires. This work examines trade-off between accuracy and computational cost, and proposes a simple model with acceptable accuracy.

In addition, since most of the interconnect wires do not need to consider the on-chip inductance, this thesis also discusses a statistical method to select nets in which parasitic inductance should be considered. Screening rules have been studied to specify inductance dominant conditions using the electrical parameters including interconnect RLC. However, from the viewpoint of compatibility with VLSI physical design, it is desirable to have a screening rule which directly points out the inductance dominated layout patterns.

Therefore, the proposed method constructs a screening rule for a given design using physical dimensions as the parameters. As a design methodology which uses the obtained precise interconnect models, this thesis proposes a method of clock distribution circuit design combining tree and mesh structures. In the future SoC design, consideration of the interconnect process variation and the inductance effects discussed in the prior discussions are expected to be necessary for clock distribution design.

論文審査の結果の要旨

本論文は、微細化および高速化が進む SoC の設計において、オンチップ配線の設計技術における課題を解決することを目的として、信号伝播遅延ばらつきのうち配線に起因する要因の正確な把握と、配線インダクタンス・シリコン基板効果の効率的な考慮を行うモデル・手法に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

(1)配線構造パラメータ推定手法

LSI 配線の膜厚、間隔等からなる構造パラメータの実ウエハにおける仕上がり値を配線容量、抵抗実測 TEG の実測値に基づき推定する手法を提案している。広く行われている配線断面像観測による配線構造パラメータ測長については、観測に付随するばらつきが存在するほか、製造ライン上で配線仕上がり形状の大域的ばらつきを定期的に測定する用途には不向きであった。

提案手法は非破壊で配線構造パラメータを推定しており、製造ライン上で配線仕上がり形状のばらつきを求める有効な手段である。

(2)配線容量抽出誤差分布評価

SoC の配線に対する寄生容量抽出に用いられるパターンマッチング方式について、本質的な誤差要因を分離し、統計的に評価している。その結果、当該誤差が正規分布に準拠することを見出し、遅延ばらつきを統計的に扱う静的タイミング検証手法に取り込み可能であることを示している。

(3)配線抵抗・インダクタンスの周波数依存性を再現するシリコン基板モデリング

SoC の抵抗・インダクタンス抽出に用いられるフィラメントベース手法において、基板の近接効果に伴う配線抵抗・インダクタンスの周波数依存性を再現するためには、基板を数百のフィラメントに分割すべきであると考えられてきた。

提案手法は、フィラメント寸法を最適化することにより、最少4つのフィラメントで当該周波数依存性を再現している。

(4)インダグティブ配線の選別手法

遅延計算におけるインダクタンスを考慮すべき配線の統計的選別手法を提案している。タイミング検証における網

羅的なインダクタンス考慮は、配線毎の電流経路決定が必要となるため、現実的には困難である。提案手法は、インダクタンスを考慮しない場合の配線遅延見積もり誤差を駆動ゲートの強さと、配線長、幅等の配線構造パラメータを用いて予測する。提案手法を 90 nm 級プロセスの配線構造に適用し、有効性を実証している。

以上のように、本論文は、微細化および高速化が進む SoC における配線のモデリングと設計メソッドロジにおいて多くの有用な研究成果を挙げており、LSI の物理設計技術の発展に寄与するところが大きい。

よって、博士（情報科学）の学位論文として価値のあるものと認める。