The University of Osaka
Institutional Knowledge Archive

Title	A study on Modeling and Characteristics Validation of On-chip Signal and Power Noise Based on Measurement
Author(s)	小笠原, 泰弘
Citation	大阪大学, 2008, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/475
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【９】

氏　　名	小笠原　泰　弘（おがさはら　やすひろ）
博士の専攻分野の名称	博　士（情報科学）
学　位　記　番　号	第　２２１４８　号
学位授与年月日	平成 20 年３月 25 日
学位授与の要件	学位規則第４条第１項該当 情報科学研究科情報システム工学専攻
学　位　論　文　名	A Study on Modeling and Characteristics Validation of On-chip Signal and Power Noise Based on Measurement （実測に基づくオンチック信号・電源線ノイズのモデリングと特性検証に関する研究）
論　文　審　査　委　員	（主査） 教　授　尾上　孝雄 （副査） 教　授　中前　幸治　　工学研究科准教授　松岡　俊匡 准教授　橋本　昌宜

論　文　内　容　の　要　旨

This thesis discusses modeling and characteristics validation of on-chip noises based on in-situ measurement results. Our targets of modeling and characteristics validation are crosstalk noises on interconnects and power supply noises. Importance of crosstalk noises has been growing up because of shrinking interconnect width, height, and spacing, relative increase of interconnect delay, and sharper signal transition. Seriousness of power supply noise is rising because of lowering supply voltage, increasing current consumption, and magnifying instantaneous current, that is dI/dt. Modern physical designers of VLSI (Very Large Scale Integration) need effective methods to estimate and mitigate these issues. This thesis aims to establish a modeling method for accurate and/or fast simulation, to clarify noise characteristics, and to validate noise reduction techniques.

In this thesis, an impact of inductive coupling noise in a bus structure is measured on a test chip fabricated in an 90 nm CMOS process. RLC distributed constant model is built for simulation with a 3D-field solver. The simulated delay variation of interconnect is consistent with the measured delay variation, and adequacy of the constructed simulation model is verified. Measurement results with several TEGs (Test Element Group) reveal the validity of several noise reduction techniques and a long-range coupling effect, and characteristics of inductive coupling noise are observed on silicon.

Next, impacts of capacitive and inductive coupling noises in future processes are quantitatively predicted based on simulation. The prediction result indicates that capacitive coupling noise dominates inductive coupling noise according to shrink of interconnect dimension. On the other hand, on an assumption that the interconnect scale is kept constant to maintain the interconnect performance, inductive coupling noise becomes significant in advanced processes.

This thesis measures power supply noise on silicon from two different aspects. The first measurement focuses on gate delay variation due to power supply noise. The measurement results validate adequacy of developed

full-chip simulation model and effectiveness of delay estimation with average voltage drop. The developed variable switch model for full-chip simulation can reduce the computational cost by 94%. The measurement results with ring oscillators well correlate with simulation results with the variable switch model.

The second measurement focuses on waveform measurement, and an all-digital measurement circuit for dynamic power supply noise waveform is proposed. The proposed circuit consists of standard cells and is suitable for embedding in digital circuits. The dynamic noise waveform is observed with the proposed circuit on a test chip. Voltage resolution and sampling rate of the proposed circuit measured on a test chip were 10-20 mV and 2-3 G samples per second respectively. The characteristics of decoupling capacitance are also evaluated with the measurement results by the proposed circuit.

論文審査の結果の要旨

本論文は、微細化および高速化が進む SoC の設計において、オンチップのシグナルインテグリティ・パワーインテグリティの向上を目的として、実測結果に基づいたオンチップ信号・電源線ノイズを正確にシミュレーションするための配線・回路素子のモデリング、および効率的にノイズの影響を低減するためのノイズの特性検証に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

⑴誘導性クロストークノイズの実測

誘導性クロストークノイズによる LSI 上の配線遅延変動を実測し、測定結果から配線モデルやノイズ特性の検証を行っている。限られた条件下で顕在化し、高い信号周波数成分を持つため測定が難しい誘導性クロストークノイズの影響を明確に測定している。さらに、測定結果を元に検証された配線モデルとノイズの特性はノイズを考慮した配線設計に有用である。

⑵容量性・誘導性クロストークノイズの定量的将来予測

将来のプロセスにおける容量性・誘導性クロストークノイズの影響を定量的に評価し、明らかにしている。現実的で妥当な優れた前提条件に基づき、今後のプロセスにおけるクロストークノイズの課題を明確に示している。

⑶電源ノイズの実測とノイズ波形・遅延変動推定手法の構築と検証

電源ノイズのフルチップシミュレーションのための、トランジスタを線形素子に置換し計算量を削減したモデルを構築している。電源ノイズによる遅延変動の実測結果から、線形素子モデルの妥当性と回路遅延が電源電圧変動の平均値から推定可能であることを示している。

⑷セルベース波形測定回路によるデカップリング容量の特性検証

デジタル回路素子のみで構成された電源ノイズ波形測定回路を提案し、試作チップ上で電源ノイズ波形を明確に測定している。提案測定回路は従来のアナログ測定回路と比較して回路設計、物理設計のコストが小さく、実装面で優れた回路である。さらに、デカップリング容量のノイズ低減特性について測定結果より議論・検証している。

以上のように、本論文は、微細プロセスにおける高性能 LSI において深刻となる信号線・電源線ノイズに対処するためのモデリング・設計手法に関して多くの有用な研究成果を挙げており、LSI の物理設計技術の発展に寄与するところが大きい。

よって、博士（情報科学）の学位論文として価値のあるものと認める。