



Title	高周波アナログCMOS回路設計の高精度化に関する研究
Author(s)	金, 奎喆
Citation	大阪大学, 2007, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/48462
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	金 奎 結
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 2 1 2 0 0 号
学 位 授 与 年 月 日	平成 19 年 3 月 23 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当 工学研究科電子情報エネルギー工学専攻
学 位 論 文 名	高周波アナログ CMOS 回路設計の高精度化に関する研究
論 文 審 査 委 員	(主査) 教 授 谷 口 研 二 (副査) 教 授 北 山 研 一 教 授 八 木 哲 也 助 教 授 松 岡 俊 匡 助 教 授 橋 本 昌 宜

論 文 内 容 の 要 旨

本論文は、高周波アナログ CMOS 回路設計の高精度化に関する研究の成果をまとめたものであり、6 章から構成されている。

第 1 章では本論文の導入として、研究の背景と目的を述べた。

第 2 章では完全空乏型 SOI (Silicon-On-Insulator) MOSFET の小信号モデルについて述べた。従来のモデルでは高周波で影響を及ぼす NQS 効果や寄生成分の影響が十分に考慮されていないため、動作周波数が 1 GHz を超えると精度が悪くなる。そのため、本研究ではこれらの影響を考慮する FD-SOI MOS デバイスのサブサーキット・モデルを提案した。多数のパラメータを正確に抽出するため、まず MOSFET を真性部分と寄生部分に分離する必要がある。ここで寄生成分はコールド・バイアス条件で測定し、寄生成分の各パラメータを抽出した。その後、Z-パラメータと Y-パラメータの関係式により、測定値から寄生成分を除去することで、真性成分の各パラメータを近似式を使わず正確に抽出することができた。抽出した各パラメータは MOSFET の物理的な現象をよく反映し、各パラメータを挿入したモデルはデバイスのサイズによるスケーリングが可能となった。

第 3 章では完全空乏型 SOI MOSFET の雑音モデルに関する研究について述べた。MOSFET で発生する雑音源には、チャンネルで発生するドレイン熱雑音だけではなく、チャンネル容量を介して発生する誘導ゲート雑音があり、高周波になるとこの誘導ゲート雑音の影響が顕著になる。このため、本研究ではこれらの影響を考慮したサブサーキット・モデルを提案した。サブサーキット・モデルに挿入する各パラメータは、相関行列を用いて寄生成分を除去し、MOSFET の真性部分の雑音源であるドレイン雑音電流、誘導ゲート雑音電流、さらにその相関係数を抽出した。また、抽出した雑音源から雑音パラメータのサイズ、バイアス、周波数依存性を表す雑音パラメータ γ 、 δ 、 c を小信号パラメータを考慮し抽出した。これらのパラメータを入力換算雑音モデルに適用することで、回路の小信号応答に影響を与えず、高周波雑音の特性を解析することができた。

第 4 章では第 2 章と第 3 章で提案した小信号モデル、雑音モデルの実効性を検証するために 2 段で構成する Inductive Source Degeneration LNA (Low noise amplifier) を $0.15\mu\text{m}$ FD-SOI CMOS プロセスで試作し、評価を行った。測定値とモデルから計算した S-パラメータと雑音指数を比較した結果、従来の BSIM3 モデルより小信号、

雑音特性共に正確に予測できることを確認した。

第5章では、高周波回路のプロセスばらつきへの対策の一つとして、リング型発振回路のプロセスばらつきによる周波数変動を補償する新しい遅延回路を提案した。従来の遅延回路では、制御電圧が低くなったとき、制御電圧部の MOS デバイス特性のみで周波数が決定されるため、プロセスばらつきによる周波数範囲の変動があった。そこで、制御電圧部の MOS デバイスを二つに分割し、一方を周波数制御用に、他方をばらつき補償用にした。従来回路に比べ、提案回路では素子特性のばらつきを考慮しても保証できる周波数範囲が 900 MHz から 1010 MHz に約 12%改善されることをシミュレーションにより確認した。

第6章では、本論文で取り上げる各研究での成果についてまとめた。

論文審査の結果の要旨

本論文は、高周波アナログ CMOS 回路設計の高精度化に関する研究の成果をまとめたもので、回路設計に必要な時間とコストを低減するための高周波用 FD-SOI MOSFET モデルとデバイス特性のバラツキを補償する新しい回路を提案している。その主要な成果は次の通りである。

- (1) 完全空乏型 SOI (Silicon-On-Insulator) MOSFET を高周波で動作させる場合、低周波動作では問題にならなかった容量や抵抗などの寄生成分が回路特性に大きな影響を及ぼす。このため、高周波アナログ CMOS 回路の設計に先立ち、これらの影響を組み込んだ等価 MOSFET モデルとそのモデルパラメータの抽出が重要となる。本論文では SOI-MOSFET の寄生成分と真性成分を簡単に分離する方法を提案している。まず、SOI-MOSFET の電気的特性をコールドバイアス条件で測定し、寄生成分のパラメータを導出する、さらに、Z-パラメータと Y-パラメータの関係式を用いて、測定値から寄生成分を除去し、真性成分のデバイスパラメータを正確に抽出している。
- (2) MOSFET で発生する雑音源はチャンネルで発生するドレイン熱雑音に加え、チャンネル容量を介して発生する誘導ゲート雑音がある。この誘導ゲート雑音モデルに含まれる雑音ファクタ γ 、 δ 、 c を組み込んだスケーリング可能な MOSFET 雑音モデルを提案している。また、測定値に含まれる寄生成分と NQS 効果による影響を除去し、提案した小信号パラメータから真性雑音パラメータを導出する手法を提案している。以上の結果、回路の小信号応答に影響せず高周波雑音の特性を正確に解析できる新しい雑音モデルであることを実証している。
- (3) 提案した小信号モデル、雑音モデルの実効性を検証するために2段構成の Inductive Source Degeneration LNA (Low noise amplifier) を $0.15\mu\text{m}$ FD-SOI CMOS プロセスで試作し、評価している。試作した回路の測定値とモデルから計算した S-パラメータおよび雑音指数を比較した結果、従来の BSIM3 モデルより正確に小信号、雑音特性を予測できることを確認している。
- (4) 高周波リング型発振回路のプロセスバラツキによる周波数変動を補償する新しい遅延回路を提案している。従来の遅延回路の発振周波数は電圧制御部で用いる MOSFET の特性で決まるため、プロセスバラツキによる周波数変動が大きくなる問題を本質的に抱えている。本論文では電圧制御部の MOSFET を2分割し、一方を周波数制御用、他方をばらつき補償回路として用いることにより上記問題を解決している。提案回路のシミュレーションにより、プロセスバラツキに対して、発振周波数のばらつきが抑制されることを確認している。

以上のように、本論文は SOI-MOSFET の高周波モデルと素子特性のバラツキを補償する回路を提案しており、SOI-MOSFET を用いた高周波回路設計の高精度化に大きく貢献している。よって本論文は博士論文として価値あるものと認める。