



Title	プレーナ型ガン効果素子とその論理回路への応用
Author(s)	後藤, 源助
Citation	大阪大学, 1978, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/488
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

プレーナ型ガン効果素子と その論理回路への応用

後 藤 源 助

プレーナ型ガン効果素子とその論理回路への応用

目 次

概 要	1
第1章 緒 論	2
1.1 本研究の目的	2
1.2 本研究の歴史的背景	3
第2章 プレーナ型ガン・ダイオード	5
2.1 序 論	5
2.2 計算機解析の方法	6
2.3 2次元動作解析	8
2.4 ドメインのアノード・トラップに対する検討	12
(a) 実 験	12
(b) 拡散係数の電界依存の影響	13
2.5 結 論	16
第3章 ショットキー・ゲート付ガン効果素子	31
3.1 序 論	31
3.2 計算機解析	32
3.2.1 連続動作	32
3.2.2 トリガ動作	35
3.3 論理ゲートの設計	36
3.3.1 単ゲート回路	36
3.3.2 2入力ゲート回路	38
3.4 実 験	41
3.5 結 論	44
第4章 FET トリガ方式を用いるガン効果論理素子	55
4.1 序 論	55
4.2 $MESFET$ の選択	56

4.3	論理ゲートの設計	59
4.3.1	単ゲート回路	59
4.3.2	AND 回路	63
4.3.3	$E_X \cdot OR$ 回路	65
4.4	論理動作の実験	68
4.4.1	単ゲート回路	68
4.4.2	AND 回路	70
4.4.3	$E_X \cdot OR$ 回路	71
4.5	結 論	72
第5章	ドメインの横方向成長制御によるガン効果論理素子	89
5.1	序 論	89
5.2	成熟したドメインの横方向成長制御	90
5.2.1	H型素子の計算機解析	90
5.2.2	H型素子の水槽実験	91
5.2.3	H型素子の動作実験	91
5.3	成長途上にあるドメインの横方向成長制御	93
5.3.1	E型素子の計算機解析	93
5.3.2	ゲート長 ℓ_G の最小値	96
5.3.3	E型素子の動作実験	97
5.4	論理素子への応用	99
5.4.1	基本論理ゲート	99
5.4.2	全加算器の桁上げ発生回路	100
5.4.3	桁上げ発生回路の動作実験	101
5.4.4	ガン効果全加算器の構成	102
5.5	結 論	103
第6章	結 論	121
謝 辞		122
文 献		123

概 要

第 1 章 緒 論

プレーナ型ガン効果素子とその論理回路への応用

概 要

ひ化ガリウム (GaAs) を用いたガン効果素子を高速ディジタル論理素子として利用するための基礎研究を行った。如何なる形態のガン効果素子が論理素子としてふさわしいかを明らかにするため、ショットキー・ゲート付3端子素子、FETトリガ方式を用いる素子及びドメインの横方向成長を制御する方式の素子の各々について、素子の基本動作の解明、簡単なモデル化による素子設計、及び素子動作の実験的確認を行うことにより総合的な検討を加えた。

まず、論理素子の基礎構造としてのプレーナ型ガン・ダイオードについての素子動作の究明を計算機解析で行い、実用上問題となるアノードでのドメイン・トラップの実態について実験と数値解析の両面から追求した。

ショットキー・ゲート付3端子素子では基本構造素子についての2次元動作解析と単ゲート回路及び2入力ゲート構造へ拡張した場合のAND, OR回路の設計を行い、INHIBITION回路も含む論理回路のDCバイアス下での動作を実験で確認した。

FETトリガ方式を用いる素子については、回路に組み込むべきMESFETの静特性と高周波特性を調べてその望ましい形態について論じた。またFET理論を用いて回路設計を行い、単ゲート回路、AND回路及びExclusive OR回路を試作して動作実験を行い、その結果から設計法の妥当性を明らかにした。

ドメインの横方向成長を制御する方式の素子については、成熟したドメインの横方向成長を利用するH型素子、成長の途上にあるドメインの横方向成長を利用するE型素子及びE型素子の拡張としての4ビット楕形素子について2次元動作解析及び実験による論理動作の確認を行い、本方式の素子がドメインの横方向成長の高速性と2次元運動制御に基づく多機能性を生かすことにより、きわめて複雑な論理演算を超高速で行い得るものであることを実証した。

1.1 本研究の目的

現代は情報化社会であると言われている。日々変転し、多様化してゆく現代社会を生きてゆく人間にとって、自己の欲する情報を確実に、早く、かつ正確に入手することに対する欲求は強い。その要求を満たす手段として、電子計算機を中核とした情報処理システムがあり、それは現在もなお長足の進歩を遂げつつある。人類社会が必要とする情報量は今後とも増大の一途を辿るであろうが、それを迅速に処理する情報システムに対する注文も年々厳しくなることが予想される。特に電子計算機およびデータ通信の高速化と高性能化に対する要求は停まるところがない。

このような社会的背景の下に情報処理装置に組み込む部品の高速化と高集積化の研究が盛んに行われている。研究の方向としては現在二つの方向が模索されている。その一つは従来からの半導体素子の集積化と微細化を一層押し進めて、超 L S I 化を図る方向であり、他の一つは L S I の基本ゲートであるシリコン・トランジスタを用いなくて全く新しい高速素子を開発しようとするものである。後者の動きが生じた背景には、現在の L S I 技術がもともと人間が処理できる微細加工技術の限界にまで到達しており、現在の水準以上のものは、従来技術の延長のみでは実現できないのではないかという危惧が、少なからぬ研究者の心に芽生えつつある状況がある。

将来の超高速スイッチング素子がどのようなものとなるかは予断を許さないが、本研究は新しい超高速論理素子としてのガン効果論理素子の可能性を追求することを主眼としたものである。何分にもガン効果素子自体が世に出て間もないものであり、未知の事柄は非常に多い。しかし、従来の半導体素子であるシリコン・バイポーラ素子に比べて、ガン素子は多数キャリア（電子）のみを用いるものであるから、少数キャリアの蓄積効果やベース走行時間等の制限要素がないこと、MOSデバイスに比べても容量を通して動作させるものではないから本質的に高速性の優位が保たれることは明らかである。ガン効果の素現象である電子遷移効果は 10^{-12} 秒のオーダーで起こり、現存する最高速の素子の演算時間に比べても 2 桁以上速い。従って、そのような高速性を如何にして活用し、所望の論理演算を行わせるかが本研究の主要な課題となる。その課題に対して回答を引き出すためには、特定の素子内におけるガン・ドメインの振舞いの解明が必要であり、本研究もその点に多くの労力を向けている。

1.2 本研究の歴史的背景

本研究の意義を明らかにするため、本研究の背景となる研究史について述べる。1963年にIBM研究所（米国）のJ.B.Gunn^{(1),(2)}は、 n 形GaAs結晶が高電圧を印加することにより、きわめて高い周波数で電流振動を起こす性質を有することを見出した。これがガン効果の発見である。Gunnはさらに電圧プローブを用いた実験で、振動現象がGaAs中を電気二重層が移動することによって生ずることを確認した⁽³⁾。この発見に先立って、RidleyとWatkins⁽⁴⁾は、GaAsのように伝導帯にエネルギー極小値の異なる二つのサブ・バンドを有する結晶では、電流-電圧特性において負性抵抗が現われうることを理論的に予見し、Hilsum⁽⁵⁾もまた同様な理論解析を行っていた。Kroemer⁽⁶⁾によって、彼らの予想した伝導帯のサブ・バンド間の電子遷移効果がガン効果にほかならないことが指摘され、この現象の物理が明らかとなった。

それ以後、GaAsの電子遷移効果は、幾多の研究者の手を経てその全容が明らかになり、Gunnの発見した電気二重層（「高電界ドメイン」又は単に「ドメイン」と呼ぶ）生成に基づく電流振動（ガン発振）以外に、素子を共振回路中にマウントして用いるとLSAモード⁽⁷⁾や電気二重層クエンチ・モード⁽⁸⁾、ハイブリッド・モード⁽⁹⁾などの発振形態があることがわかった。これらはXバンド以上の周波数における発振器として応用されている。また、ガン発振を抑制することによってGaAs増幅器を実現しようとする動きもある⁽¹⁰⁾。さらに、特定の波形発生回路⁽¹¹⁾や、アナログ・デジタル変換回路⁽¹²⁾、パターン認識情報処理技術への応用⁽¹³⁾等、GaAsの幅広い応用分野が開けつつある⁽¹⁴⁾⁻⁽¹⁸⁾。

ガン効果をデジタル論理演算に利用する動きは、1967年のHartnagelの研究に始まった⁽¹⁹⁾。彼らはサンドイッチ型のガン・ダイオードと抵抗を組み合わせることにより、AND, OR, コンパレータ動作が可能であることを示した^{(20),(21)}。同年にDienstら⁽²²⁾はプレーナ型ガン・ダイオードを試作し、その発振波形を観測した。プレーナ構造は制御電極が設けやすいこと、IC化が容易であること、マイクロ波ICなどの回路に組み込みやすいことなどの利点を持っていることから論理素子に適しており、菅田ら⁽²³⁾、中村ら⁽²⁴⁾、竹内ら⁽²⁵⁾、Heimeら⁽²⁶⁾によって多角的に究明された。1968年に林⁽²⁷⁾は、ガン・ダイオードの動作層のガソード近くにトリガ電極としてのオーミック電極を備えた3端子素子を開発し、ドメインをトリガ・モードで発生させることができることを示した⁽²⁸⁾。この考えは菅田ら⁽²⁹⁾によりショットキー・ゲート付ガン効果素子が提案されるに及んで、より実際的な論理素子の形態へと発展していった⁽³⁰⁾⁻⁽³³⁾。

1969年に庄司⁽³⁴⁾は、素子形状とドメインの2次元運動との関連を明らかにする研究を行い、1970年にドメインの横方向成長速度がドメイン走行速度に比べて約1桁速いことを確認した⁽³⁵⁾。

この高速性に着目して、横方向成長を外部信号によって制御することにより、新しい論理素子を得ようとする試みが、1971年に富沢ら⁽³⁶⁾によってなされた。このようなドメインの2次元運動の制御による論理素子構成の発想は、従来のトランジスタの組み合わせによる論理回路の構成のものとは全く異なり、複雑な論理演算を単純な回路で実現する下地となる点において注目に値する。

一方、1973年にMauseら⁽³⁷⁾はプレーナ型ガン・ダイオードに直列にMESFETを接続し、そのゲートに正のトリガ入力印加することにより、ドメインをトリガする方法を検討した。このFETトリガ方式は、素子を製作するためのエピタキシャル層の厚みがショットキー・ゲート付ガン素子に比べて薄くてすむため、メサ型の素子として優れており、IC化にもより有利である^{(38), (39)}。

現在、ガン効果論理素子として有望視されているのは、ショットキー・ゲート付ガン素子、FETトリガ方式を用いる素子、ドメインの横方向成長を利用した素子の3通りのものである。このいずれが最も優れているかは使用目的によって異なり、一概には断定できない。各素子の特徴を把握して、場合によって使い分けることが大切である。そこで、本研究では各素子の特徴が明らかになるよう、基本動作の解明を進めている。各素子に関する従来研究の詳細については、本論の各章において言及する。

第2章 プレーナ型ガン・ダイオード

第2章 プレーナ型ガン・ダイオード

2.1 序 論

ガン効果素子を論理素子として考えた時に、まず第1に決定すべき事柄は、素子の形状ないし構造をどのようにするかということである。ガン素子の機能性を利用して特殊形状の素子から複雑な波形を有する信号出力を得る研究の成果が発表されているように、⁽¹¹⁾ ガン素子をアナログ素子として用いる場合は素子の形状は複雑なものとなりうる。しかし、デジタル素子として利用する場合は、素子の形状をできるだけ簡単なものにして、「0」及び「1」の信号レベルが容易に識別できるようにすることが望ましい。それ故、素子の能動領域は直方体に近いものがよい。

さらに、高次元の信号処理を行う回路を構成しうるためには、素子の集積化が簡単に行えて、しかも製造工程も複雑にならないような構造を考えるべきである。シリコンICが、プレーナ型に素子を構成することで成功しているように、⁽⁴⁰⁾ ガン効果論理素子も、プレーナ形状にすることが望ましい。幸いに、GaAsはSiよりもはるかに容易に半絶縁性基板を作り得るので、その基板上に所望の仕様を有するGaAsエピタキシャル成長層を形成することで、プレーナ型ガン素子を製作するための材料が出来上がる。この材料を用いれば、素子間の電氣的分離は、不必要な部分のエピ層を選択エッチングで除去してしまうだけで達成できるので、ICの製作は容易に行い得る。⁽²²⁾⁻⁽²⁶⁾

上記のようにプレーナ型ガン・ダイオードは複雑な論理回路を構成するための基礎単位としての地歩を占めるわけであるが、それは発振器用として多用されているサンドイッチ構造⁽¹⁶⁾とは異なったものであるだけに、それに特有の問題を抱えている。それは主として能動領域内の2次元的に不均一なキャリアの流れに起因するものである。⁽²²⁾

ガン効果素子をプレーナ形状にすることの有用性が主張され始めて久しいが、その形状に由来するドメインの動的な振舞いを明確化する研究は、今迄には殆んどなされていない。⁽⁴¹⁾そこで、本章においては、プレーナ型ガン・ダイオード内でのドメインの振舞いを解明するために行った2次元モデルに基づく計算機解析の結果について述べる。⁽⁴²⁾また、本素子を論理素子として用いる際に障害となるドメインのアノードでのトラップ効果についての実験的及び解析的研究の成果についても述べる。⁽⁴³⁾

2.2 計算機解析の方法

ガン効果素子は高電界でのキャリアの速度－電界特性⁽⁴⁴⁾の非線形効果を利用するものであるから、その動作を簡単なモデルで記述するのが難しい。そこで素子の動作を理解するためには、計算機解析によらざるを得ない。本章に限らず、本研究で計算機解析を多用している理由はそこにある。ここでは、2次元モデルに基づく計算機解析の方法について概説する。^{(41), (42)}

素子の解析は、本章及び第3章の場合のように、プレーナ素子の断面内を2次元的にモデル化する場合、横幅方向へは一様とし、第5章のように横方向面内の不均一をモデル化する場合、深さ方向へは一様として3次元問題を2次元問題に置き換える。いま、問題とする2次元平面を縦横とも等間隔(h)のメッシュに分割し、その各交点の位置を (i, j) で表わすと、その点での電位 $V_{i,j}$ およびキャリア密度 $n_{i,j}$ を与えられた境界条件と初期条件下で、各時刻 t での値として求めることが問題の主要部分となる。メッシュ分割の一例を、本章での問題に当てはめて、図2.1に示す。

一般に、ガン・ドメインの動的な振舞いはPoisson 方程式

$$\nabla^2 V = -e (n - N_0) / \epsilon \quad (2-1)$$

と電流連続の式

$$-\frac{\partial n}{\partial t} = \text{div} (n \tilde{v}(\tilde{E}) - D \cdot \text{grad } n) \quad (2-2)$$

とをキャリアの速度－電界特性^{(8), (16)}

$$v(E) = \frac{\mu_0 E + v_s (E/E_0)^4}{1 + (E/E_0)^4} \quad (2-3)$$

を考慮して解くことにより解明できる。ここに V は各点での電位、 n はキャリア密度、 N_0 はドーピング密度、 e は電子電荷、 ϵ は誘電率、 v はキャリア速度、 E は電界、 D は拡散係数、 μ_0 、 v_s 、 E_0 は定数で $\mu_0 = 8,000 \text{ cm}^2/V \cdot s$ 、 $v_s = 8 \times 10^6 \text{ cm/s}$ 、 $E_0 = 3.95 \text{ kV/cm}$ 、 $D = 200 \text{ cm}^2/s$ を仮定している。これらの値は N_0 が 10^{16} cm^{-3} 以下で動作層の厚みが厚い場合のGaAsエピ層について該当する。但し、 D については電界依存性もあるようであるが、この点については2次元解析に関する限り深く追求はせず、別途の研究課題とする(2.4節および5.3.2節参照)。

電流連続の式を差分表現に改めると、 Δt を時間分割単位として

$$n_{i,j}(t) = n_{i,j}(t - \Delta t) + (J_{i-1,j}^{i,j} + J_{i,j+1}^{i,j} + J_{i+1,j}^{i,j} + J_{i,j-1}^{i,j}) \Delta t / h \quad (2-4)$$

となる。ここに、 $J_{i-1,j}^{i,j}$ は図 2.1 に示すように単位時間に点 $(i-1, j)$ より点 (i, j) へ流入するキャリアの量を表わし、

$$J_{i-1,j}^{i,j} = (n_{i,j} + n_{i-1,j}) \cdot v_{i-1,j}^{i,j} / 2 + D (n_{i-1,j} - n_{i,j}) / h \quad (2-5)$$

である。但し、

$$v_{i-1,j}^{i,j} = (V_{i,j} - V_{i-1,j}) v(E') / h E' \quad (2-6)$$

$$E' = \sqrt{\left(\frac{V_{i,j} - V_{i-1,j}}{h}\right)^2 + \frac{1}{4} \left(\frac{V_{i,j+1} - V_{i,j-1}}{2h} + \frac{V_{i-1,j+1} - V_{i-1,j-1}}{2h}\right)^2} \quad (2-7)$$

である。他の同様な表現も同じように解釈すればよい。

時刻 t でのキャリア密度分布 $n_{i,j}(t)$ が求まると、同時刻での各点の電位は逐次加速緩和法 (SOR) を用いて計算する場合

$$V_{i,j}^{(k)} = V_{i,j}^{(k-1)} + \omega \left[(V_{i,j-1}^{(k)} + V_{i-1,j}^{(k)} + V_{i,j+1}^{(k-1)} + V_{i+1,j}^{(k-1)}) / 4 - e h^2 (n_{i,j} - N_{i,j}) / 4 \epsilon - V_{i,j}^{(k-1)} \right] \quad (2-8)$$

となる。ここに、 ω は加速係数で $1 \leq \omega < 2$ 、 k は緩和回数である。 $N_{i,j}$ は点 (i, j) での N_0 の値である。各点での電界強度 $E_{i,j}$ は、すべての点における電位 $V_{i,j}$ を計算後、

$$E_{i,j} = \sqrt{\left(\frac{V_{i,j+1} - V_{i,j-1}}{2h}\right)^2 + \left(\frac{V_{i+1,j} - V_{i-1,j}}{2h}\right)^2} \quad (2-9)$$

より求められる。

境界条件としては、電極以外の境界 (素子の表面、側面、半絶縁性基板との界面) から外部への電気力線の漏れがないという仮定を置き、境界点における外向きの電界成分をゼロとした。このために、境界点では (2-4)、(2-8)、(2-9) は変更を要するが、境界点の種類に応じて、それに適した式をそれぞれ用意した。実際に計算を行わせる場合は、すべてのメッシュ点に指数をふり当て、その点が境界点か、内部の点か、電極上の点かをそれによって区別し、計算式を選択させた。

オーミック電極上の点は、他の部分よりドーピング密度を数倍 (通常は 5 倍) 高くして他の部分と区別し、そこでの電位は外部信号によって与えられるものとした。また、 $n_{i,j} = N_{i,j}$ (オーミック電極上の点で) とした。ショットキー電極上の点では、ショットキー障壁が常に存

在するとして、電極から動作層内へ流入するキャリアの数をゼロとした。

本研究においては $h = 0.4 \mu\text{m}$, $\Delta t = 0.2 \text{ ps}$ は固定している。また、特に断わらない限り能動領域のドーピング密度は $N_0 = 10^{15} \text{ cm}^{-3}$ とする。

図 2.2 に計算のフロー・チャートを示す。境界条件としてカソード電位 V_C , アノード電位 V_A の他、第 3 章のショットキー・ゲート付素子のゲート、第 5 章の E 型素子のオーミック・ゲートへもゲート電位 V_G を与える必要がある。また、E 型素子のノッチ・トリガの場合はノッチでのドーピング密度 N_N を時間的に変化させる。

2.3 2次元動作解析

プレーナ型ガン・ダイオードの計算機解析結果について述べる⁽⁴²⁾。モデルは図 2.3 に示すように、素子の横幅方向は一様とし、素子の長さ方向と深さ方向についての 2 次元平面内の物理量の時間変化を求める。特に指定しない限り、モデルの大きさは全長 $\ell_0 = 24 \mu\text{m}$, 電極間距離 $\ell_a = 17.6 \mu\text{m}$, 深さ $d = 6 \mu\text{m}$, 電極長 $\ell_c = 3.2 \mu\text{m}$ である。オーミック電極としては、図 2.3 の下図に示すように、タイプ A のような半埋込形電極と、タイプ B のような完全平面電極のいずれかを仮定したが、両者の間には素子の動作特性上、本質的な差異は認められなかった。図にはカソード電極のみを示しているが、アノード電極もそれと全く同じとする。

図 2.4 は、閾値電圧よりも低い $V_A = 3.6 \text{ V}$ なるアノード電圧を印加したときの素子内の様子を示す。下図は、素子断面内の等電位線（実線）およびキャリアの流線（点線）の分布である。等電位線は 0.1 V きざみで描いている。電極（タイプ A）が素子の表面についているため、カソード及びアノード両電極の内側の端近傍で流線の曲がりが見われており、キャリアの集中的な流れをもたらす。そのためそこでの電流密度は他の能動領域におけるよりも高くなり、局所的に高電界を呈する⁽⁴⁵⁾。そのようすは、図 2.4 の上図に示されている。この図は素子の表面から一定の深さ d における素子の長さ方向に沿った電界強度分布を示す。負微分移動度 (NDM) の現われる閾値電界は $E_m = 3.4 \text{ kV/cm}$ であり、素子内では閾値を越える電界の部分は存在していない。 $d = 0$ 即ち表面に沿った面上で両電極の内側の端が他の部分に比べて高電界になっている。それに対して電極の真下の動作層の部分はキャリアの流線が疎らであるため、素子の中央部に比して低電界となっている。

アノード端の方がカソード端よりも高電界になっているのは、電極端でのドーピング密度の差によるキャリアの拡散のために、アノード側で正の電荷が生じ、カソード側では負の電荷が生じることによる。従って、バイアスを 3.6 V から徐々に上げてゆくと、カソード側で閾値を越える

以前にアノード側で閾値を越えてしまい、素子動作が複雑となる原因を生じる。なお、図 2.4 の下図で、両電極から離れた素子中央部では等電位線は表面に垂直にほぼ等間隔に並んでおり、深さ方向の不均一性は殆んどないので、形状効果は弱いと考えられる。

図 2.5 は $V_A = 9\text{ V}$ を立ち上がり 40 ps で印加した時のドメイン生成の様子を等電界曲線（数値の単位は kV/cm ）で示したものである。このバイアスに対しては素子は連続動作を呈する。時間はアノード電圧印加開始時刻を $T = 0$ として表示する。全印加電圧の半分 $V_A = 4.5\text{ V}$ が印加されている $T = 20\text{ ps}$ では、アノード端で既に閾値を越えた電界部分が存在し、カソード側のドメインの原始形態とみなせる高電界部では、まだ閾値は越えていない。バイアスがすべてかかり終わる $T = 40\text{ ps}$ においては、カソード前方の成長途上にあるドメインは素子の最深部まで拡がり、その最大電界は 15 kV/cm 程度になっている。その時同時にアノード端高電界も成長し、これも一種のドメインとなってアノード電極の下方へも延びている。 $T = 60 \sim 80\text{ ps}$ ではカソードから走行してきたドメインがほぼ定常走行形態に落ちつき、外側の電界を下げて、アノード端に存在していた高電界をも消滅させている。本モデルのような表面電極形素子では、実効的なバイアス電圧は表面上で最大となるため、ドメイン最大電界もまた素子の表面に位置し、深さ方向に対して完全に一様なドメインとはならない。

図 2.6 は、図 2.5 のつづきで、カソードから走行してきたドメインがアノード端に到達後、消滅してゆく様子を示したものである。ドメインはキャリアの流線に沿ってアノードの下方に回り込みながら、アノード電極に吸収されてゆく。この場合に特徴的なのは、1次元ドメインのように単調にその大きさを減じてゆくのではなくて、ドメインの最大電界が一時、定常走行時よりも大きくなって、しかる後にアノードに入り込んでゆくことである。その理由は、ドメインの消滅に伴って素子電流が増加し、アノード端で再び電流集中が起こって高電界となるからである。しかし、電極に達した空間電荷は中和されてしまうので、ドメイン幅の方は時間と共に単調に小さくなる。 $T = 240\text{ ps}$ では消滅しつつあるドメインがなおアノードに存在するが、その外側電界は 3 kV/cm 近くまで上昇しており、新たなドメインがカソード前方に形成されようとしている。 $T = 280\text{ ps}$ では、先行ドメインは完全に消滅し、新たに生成されたもののみが存在している。このような生成、消滅の過程をくり返しなが、連続的なドメイン発生が持続する。

図 2.7 は、図 2.5～図 2.6 及びそれに連続する一連の動作時の素子電流（上段）と、各時刻のドメインおよびアノード端高電界部の最大電界（下段）を示したものである。 $T = 200\text{ ps}$ と 400 ps の近辺で、アノード端の最大電界を示す曲線と、ドメインのそれとが重なっているのは、走行ドメインがアノード端に達したことを意味する。ドメインの最大電界は、前述した理由から、消滅時に定常走行時の 2 倍近くにもなっている。この再編成過程が存在するため、ドメイン消滅

に伴う電流の立ち上がり時間は 60 ps , その後の立ち下がり時間は 25 ps と、1次元ドメインの場合の 40 ps , 15 ps に比べて長くなっている。それゆえ、超高速スイッチング素子としてプレーナ素子を用いた場合、動作速度は2次元効果に起因する制限を受けることになる。発振周期は第1周期を除き 218 ps であり、 $\ell_a = 17.6\text{ }\mu\text{m}$ を定常速度 10^7 cm/s で走行するのに要する時間よりも 42 ps も長い。この時間の一部がプレーナ形状であるために付加された余分の過渡応答時間に対応する。素子電流の減少率は $k = 0.52$ であり、動作層の長さが $18\text{ }\mu\text{m}$ 以上あれば、ドメインは十分に成長しきることができ、定常走行形態に落ちついた時の大きさが2次元効果の影響を受けることは少ないと考えてよい。

図 2.8 は、 $V_A = 6\text{ V}$ を印加した時の特性を示す（電極はタイプ B）。このバイアス値は ℓ_a を素子長とみなした時の閾値電圧に相当する。バイアスがかかり終わった後、一つのドメインがカソード側で形成され（DOMAIN PEAK）、走行してアノードに至った後も高電界がアノード端に停滞し（ANODE EDGE）、それ以降のドメイン生成を妨げている。カソード前方では一応新しいドメインの核が形成される（CATHODE FRONT でその最大電界を示す）が、その最大電界は高々 5 kV/cm であり、 $2\sim 3\text{ }\mu\text{m}$ 走行してすぐに消滅し、また次の核が形成されるという過程をくり返す。ドメインの核は動作層の他の部分の電界を下げる程には大きくなりないので、素子の電流は変化しない。素子がこの状態にある時、アノード・トリガ・パルス 0.6 V を $V_A = 6\text{ V}$ に上乗せしても、アノード端での電界が大きくなるのみで、ドメインはトリガされない。ところが、 2 V のパルスを上乗せするとドメインが発生し、単発トリガ・モードの動作を示す（図 2.9）。逆に振幅が 3 V の負のトリガ・パルス印加しても、やはり単発トリガ・モードとなる。

図 2.9 からわかるように、アノード端での高電界はカソード前方のドメインの核よりも、より迅速にバイアスの変化に追従する。その理由は、アノード端ではカソード前方のドメインの核のできる動作層部よりはドナー密度が高いため、総じてキャリア密度も大きく、そこでの局所的な誘電緩和時間が短いためであると思われる。カソード前方にできるドメインの核が走行ドメインとして成長しうるかどうかは、バイアスの変化の終了した時点でのアノード端高電界との間の電圧配分の大きさに依存する。

ところで、アノード端の高電界を支えているのは、図 2.10 に示すように、一種のアノードにトラップされた静止ドメインである。アノードの内側の端の直下にキャリアの蓄積層が、外側の端の真下に空乏層が形成されており、アノード電極を取り巻くようにして静止した1対の空間電荷が存在している（図の上段は図 2.8、2.9 の $T = 400\text{ ps}$ における素子内の電界分布、下段はその時のアノード電極付近のキャリア密度分布である）。1次元解析では、動作層のドナー密度

が $2 \times 10^{15} \text{cm}^{-3}$ 以上でないとドメインのアノード・トラップ現象は起こらないとしているので、⁽⁴⁶⁾ 本現象は2次元効果によって派生したものであると考えられる。

図 2.1 1 は前記の場合よりも薄い素子における動作を示したものである。全長 $\ell_0 = 24 \mu\text{m}$ は変わらず、素子の厚みを $d = 2.8 \mu\text{m}$ としたものである。電極はタイプ B である。バイアスは $V_A = 6 \text{V}$ を立ち上がり 40ps で印加した。この値は図 2.8 , 2.9 の場合と変わらないのに、素子は連続動作を呈し、発振周期は 155ps であって、ドメインが ℓ_a なる距離を走行するのに要する時間よりはるかに短い。その理由は図 2.1 1 からわかる。素子が薄いために、キャリアの深さ方向への流れの経路が大部分途中で遮断され、キャリアは深さ方向にほぼ一様に流れるようになる。従って能動領域の全体に均一化されるようにバイアスがかかり、カソード端での高電界は発生できなくなり、ドメインの生成が素子の中央部で行われる ($T = 60 \sim 80 \text{ps}$)。ドメインがアノードに達するまでの走行距離はそれだけ短くなり、発振周期が短縮される。このようなカソード端の高電界によらないドメインの生成は時間がかかり、電流の立ち下がり時間は 34ps となるが、消滅は早く、立ち上がり時間も 34ps となる。

素子長を短くして $\ell_a = 10 \mu\text{m}$ ($d = 2.8 \mu\text{m}$) とすると、図 2.1 1 にみられるバイアスの均等配分の傾向と、アノード端の電流集中効果が相乗されて、閾値電圧の約 1.8 倍の $V_A = 6 \text{V}$ を印加した時 (図 2.1 2), ドメインはアノードのすぐ直前に形成されることになる。 $V_A = 3.4 \text{V}$ としてもその様子は変らない。図 2.1 3 は $V_A = 3.4 \text{V}$ のときの動作を素子内の等電界曲線分布で示したものである。このような動作に対しては、定常走行ドメインの形成に基づく素子電流の平坦な部分の存在は完全に抹殺され、1 周期のすべてがドメインの成長時間と消滅時間で支配されてしまう。

素子形状は図 2.5, 2.6 の場合と同じとし、動作層のドナー密度を $N_0 = 2.5 \times 10^{15} \text{cm}^{-3}$ とする (電極部は不変) と、 $V_A = 6 \text{V}$ のとき、アノード直下に定常的にキャリアの蓄積層が形成され、アノード端最大電界も一定値 34kV/cm となる。これは、アノード端での電流集中のより極端な場合であると考えられる。

以上のように、素子長を $N_0 \ell_a$ 積の限界 ($\sim 10^{12} \text{cm}^{-2}$) まで短くすることは、素子の動作を不安定なものとし、厚さを薄くすることはカソード端での電流集中効果を弱めてドメインの生成の核を曖昧にし、ドナー密度を大きくすることは、アノード端での電流集中効果をより強調することになる。

なお、素子長 $\ell_a = 70 \sim 80 \mu\text{m}$, 厚さ $d = 3 \mu\text{m}$ のプレーナ型ガン・ダイオードを表面電極構造 (コプレーナ型) と平行電極構造 (パラレル型) にして同一ウェーハを用いて試作し、電極構造の違いによる発振特性の差の有無を調べたところ、両者には有意な差が認められなかった。

この事実は、前記の形状効果が顕著となるのは、より短い素子に対してであることを示唆している。

2.4 ドメインのアノード・トラップに対する検討

ガン効果素子を通常の使い方で論理素子として用いる場合は、素子の単安定動作を利用する。従って素子が双安定動作を示す^{(46), (47)}ことは好ましくない。2.3節で述べたプレーナ型ガン・ダイオードのアノード端での静止ドメインの形成は、この観点からは避けなければならない現象である。ここでは、その現象についてより深く検討する。⁽⁴³⁾

(a) 実験

ドメインがアノードでトラップされたことに起因すると思われるプレーナ型ガン・ダイオードの動作特性の実験結果について述べる。使用した素子は、 $d = 4\ \mu\text{m}$, $N_0 = 3 \times 10^{15}\ \text{cm}^{-3}$, $\mu_0 = 6000\ \text{cm}^2/\text{V}\cdot\text{s}$ の、(100) 方位を持つ Cr ドープ半絶縁性の GaAs 基板 ($250\ \mu\text{m}$ 厚) 上のエピタキシャル GaAs 層を用いて製作した。アノード・カソード間距離 $\ell_a = 50\ \mu\text{m}$, 横幅 $W = 40\ \mu\text{m}$ である。ダイオードは $50\ \Omega$ のストリップ線路形パッケージにマウントし、その電流及び電圧波形を $12\ \text{GHz}$ のサンプリング・オシロスコープを用いて同時に観測した(電流波形と電圧波形との時間差は $10\ \text{ps}$ 以内となるよう調整した)。ダイオードの低電界抵抗は約 $1\ \text{k}\Omega$ であるからダイオードは定電圧下で動作していると言える。バイアス電圧は、くり返し $100\ \text{Hz}$, 立ち上がり $200\ \text{ps}$, パルス幅 $50\ \text{ns}$ のパルスで与えている。くり返しの小さい、パルス幅の短いパルスを用いたのは、深い不純物準位が素子の動作に影響しないようにするためである。^{(48), (49)}

図 2.1 4(A) は一様なバイアスを印加した時、その立ち上がりから数 ns 後の素子の電流-電圧特性である。素子電流は、閾値電圧に相当する $1.6\ \text{V}$ 以上の電圧では飽和する傾向を示し、 $V_A \geq 2.1\ \text{V}$ で漸く発振しはじめる。しかし、そのように高い電圧印加時の電流波形はノイズが多く、発振波形を観測することはできなかった。ところが、閾値電圧よりやや低めにバイアスしておいて図 2.1 4(C) の上段に示すようなトリガ・パルスをアノードに印加すると、同図下段に示すようにドメインは正常にトリガされる。図 2.1 4(B) は、この場合のアノード・トリガ電圧が最大となる時刻での、素子の電流-電圧特性を示す。図 2.1 4(C) の出力電流波形からわかるように、ドメインが走行し消滅した後の素子電流の値は、ドメインがトリガされる前の値よりやや低くなっている。図 2.1 4 の(A) と(B) のように、同じ素子であっても観測時の素子の状態により電流-電圧特性が異なる。とりわけ、図 2.1 4(A) の特性はドメインがアノードにトラップされた時のものではないかと思われる。そこで、一様なバイアス・パルスの立ち上がり時の電流波形を調べると図 2.1 5 の波形を得た。(A), (B), (C) の順にバイアスが大きくなっている。図からわかるようにパルス

の立ち上がった時点で単一のドメインがトリガされている。(A)では、そのドメインの消滅後は、バイアスが閾値電圧以上に保持されているのにドメインはできず、素子電流もドメイン・トリガ前の状態より低いままである。バイアス電圧がより高くなると単一ドメイン・トリガ後の電流波形はノイズの多いものとなるか(B), 又は発振周期の短い振動モードとなる(C)。後者はアノード端近傍でのドメインの生成、消滅に基づくものと思われる。

トラップされたドメインが素子の動作に及ぼす影響を調べるために、素子に二つの連続したトリガ・パルス印加してみた。第2のパルスは第1のパルスよりやや振幅を大きくしている。図2.16(A)は、第1のパルスでは閾値を越えず、第2のパルスで閾値を越すよう素子のバイアスを調整した時のトリガ電圧(上段)及び出力電流(下段)波形を示す。この場合は通常の動作を呈する。バイアス電圧を約0.5 V高くすると、第1のパルスで閾値を越え、ドメインがトリガされるが、第2のパルスではトリガされない(図2.16(B))。第1のパルスでトリガされたドメインがアノードに走行到達後、そこでトラップされてしまうため、次のトリガ入力での新たなドメイン生成を阻止してしまったものと解釈される。図2.16(C)は第2のトリガ入力にタイミングを合わせた場合の素子の電流-電圧特性である。この特性は、トリガが入力される以前にドメインが生成された経歴がなければ、ドメインをトリガ入力で生成することができるが、そうでない場合は、新しくドメインをトリガするのに、より大きいトリガ電圧($\cong 6$ V)を必要とすることを示している。図2.16(D)は、二つのトリガ入力の中間で観測した電流-電圧特性である。この図では、ちょうど閾値を越えた電圧でSNR(静的な負性抵抗)がみられ、それ以上の電圧に対しては、ノイズの多い発振状態に達するまでは電流は上昇しつづけている。プレーナ型ガン・ダイオードを論理素子として用いる場合にこのような特性となると、トリガ感度の低下、及び出力電流におけるジッタの発生をもたらすので好ましくない。

図2.17(A)は三つの連続するトリガ・パルスをアノードに印加した時のトリガ電圧(上段)及び出力電流(下段)波形である。前述の現象と同じく、第1のトリガ・パルスに対してのみドメインの生成が観測され、第2、第3のパルスに対しては応答していない。いったんアノードにトラップされたドメインを消滅させるには負のトリガ・パルスを必要とする。^{(46), (50)}そこで、第2のトリガ・パルスの極性を反転させて、第1のトリガ・パルスで形成されたトラップ・ドメインを消去させたのが図2.17(B)である。予想通り第2のトリガ入力後、電流は最初の状態に復しており、従って第3のトリガ・パルスには正しく応答しているのがわかる。

(b) 拡散係数の電界依存の影響

実験で得たアノードでのドメインのトラップの生起原因として考えられるのは、第1にキャリアの拡散効果であり、^{(46), (51), (52)}第2に電界が大きくなるにつれて多数キャリア(電子)の捕獲確率

が増大する性質を有する能動領域中に存在する深い不純物準位の働きである。^{(48), (49), (53)} 前者は、ドメインがアノードに走り込むよりも、より速くアノード直下でそれが再編成して安定状態に落ちつくものであり、2次元解析の項で述べた電流集中効果に起因するドメイン・トラップはこれらの原因による。後者の原因は深い不純物の濃度が、エピ層中又はエピ層と半絶縁性基板との界面で高く、しかもそれが電氣的に活性であって、キャリアの捕獲時間 τ_c が $\tau_c \lesssim W_D/v_P$ である場合に現実的なものとなる。⁽⁴⁸⁾ここに、 W_D はドメイン幅、 v_P はドメインの走行速度であり、前記実験の場合、 $\tau_c \lesssim 20 \sim 30 \text{ ps}$ である ($N_0 = 3 \times 10^{15} \text{ cm}^{-3}$ のとき $W_D = 2 \sim 3 \mu\text{m}$)。⁽¹⁶⁾このような短い時間でキャリアが深い準位にトラップされる可能性はきわめて小さい。プレーナ型ガン・ダイオード中の深い準位によると思われる電位分布の時間的変化の観測に関する報告は、その時定数が μs 以上であったことを報じている。また筆者の測定したGaAsエピ層中の深い不純物密度はエピ層のドナー密度の1割以下であり、基板との界面においてもドナー密度より小さかった。^{(54), (55)}これらの実験事実から判断して、第2の原因は前記実験の場合には該当しないと思われる。

第1の原因、即ち拡散効果の影響については、拡散係数が電界によらないとして1次元解析を行い、ドーピング密度の高いガン素子で容易にドメイン・トラップが起きるとした村山と大見の報告⁽⁴⁶⁾がある。しかし、現実にはドメインのトラップが観測されているのは、前記実験結果も含めてドーピング密度が $2 \sim 4 \times 10^{15} \text{ cm}^{-3}$ の場合に限られ、^{(46), (50), (56)}高ドーブの素子で必ずドメイン・トラップが起こっているわけではない。この矛盾は拡散係数の電界依存性を考慮しなかったためと思われる。前節の2次元解析結果によれば、それを考えなくても形状効果のみでドメイン・トラップが起こり得るのであるが、より厳密に解析するため、以下で拡散係数の電界依存の影響について考える。

GaAsの拡散係数の電界依存性については、キャリアの速度-電界特性ほど明確にはわかっていない。その具体形 $D(E)$ は図2.18に示すように解析手段の違いにより異なったものとなっている。⁽⁵⁷⁾⁻⁽⁶¹⁾このうちのどれが実際の $D(E)$ を正しく記述しているかが不明であるため、このすべてについて、素子の1次元モデルを立ててダイナミックな解析を行った。計算機解析に用いた $D(E)$ はそれぞれ表2.1に示す式で表わされる。ダイオードのモデルは図2.22の挿入図に描いたA, B二つのプロファイル考えた。プロファイルAは通常の計算機解析モデルとして用いられるものであり、カソードの前方に一つのノッチを設けたものである。プロファイルBはアノードの手前にもノッチを設けて2次元解析で明らかとなったプレーナ形状に基づく電極端での高電界集中効果を1次的にモデル化したものである。いずれのプロファイルも能動領域のドーピング密度は適宜変化させている。ノッチの深さは $0.8 N_0$ とした。

図2.19は図2.18に示した各 $D(E)$ について、アノード・カソード間電圧 $V_A = 8 \text{ V}$ を印加した

ときの素子電流波形を示す。 D が電界によらない($D=200\text{cm}^2/\text{s}$:2次元解析に用いたものと同じ)としたときの結果も同時に示す。ドーピング密度 N_0 はこの場合、 $3\times 10^{15}\text{cm}^{-3}$ であり、プロフィール A についての結果である。拡散係数が電界依存性を有するとした時、Copeland と Knight (C & K)⁽⁵⁹⁾の提案した $D(E)$ のみでドメインのトラップが起こっている。 N_0 を $5\times 10^{14}\text{cm}^{-3}$ から $6\times 10^{15}\text{cm}^{-3}$ の間で変化させてプロフィール A 及び B の両方のモデルについて計算したが、C & Kと D =一定以外の $D(E)$ については、ドメインのトラップは見い出せなかった。C & Kの $D(E)$ に対しては、プロフィール A のモデルで図 2.20 に示すように $N_0=3\times 10^{15}\text{cm}^{-3}$ のみでトラップが起こり、プロフィール B のモデルでは図 2.21 に示すように $1\times 10^{15}\text{cm}^{-3}\leq N_0\leq 4\times 10^{15}\text{cm}^{-3}$ でトラップが起こっている。 D =一定の場合に対しては、プロフィール A のモデルで $N_0\geq 2\times 10^{15}\text{cm}^{-3}$,プロフィール B で $N_0>9\times 10^{14}\text{cm}^{-3}$ のときにトラップが起こる。この結果からわかるように、ドメインのトラップはプロフィール A よりもプロフィール B の方で、より起こりやすい。このことは、サンドイッチ形構造の素子よりもプレーナ型構造の素子の方が2次元形状効果が効くために、よりドメインがトラップされやすいということと等価である。2次元形状効果の効き方が素子形状によって異なることは、2次元解析の項で既に述べた。本1次元^元モデルの場合、プロフィール B でカソード側のノッチのみを浅くすると、よりドメインがトラップされやすくなり、カソードのノッチをなくしてしまうと、アノードのノッチからドメインが発生して能動領域を走行することなく、すぐトラップ・ドメインへと移行してしまう。この結果は、先の2次元解析の素子形状による動作の違いと対応づけることができる。

図 2.19 において、 $D(E)$ の違いによってドメインの走行速度 v_P が異なり、 $0.94\sim 1.55\times 10^7\text{cm/s}$ となっている点に留意する必要がある。これは、 v_P がキャリアの平均ドリフト速度と、 dD/dE に比例する拡散誘起速度との差によって与えられるからである⁽⁵²⁾(5.3.2節参照)。従って $E>E_m$ (閾値電界)での $|dD/dE|$ が最も大きいRuchとKino⁽⁵⁷⁾の $D(E)$ に対して v_P は最大となる。GaAsでのドメインの走行速度 v_P は、実験的には $1.0\times 10^7\text{cm/s}$ と求まっているので、Ruch と Kino の与えた $D(E)$ よりは、より電界依存性の小さい $D(E)$ が、実際のものであろうと推測される。

図 2.21 で $N_0=4\times 10^{15}\text{cm}^{-3}$ のとき、最初にドメインがアノードに達した後、短い周期で電流振動が起こっている。短い周期での電流振動は、アノード・ノッチからのドメインの周期的生成によって引き起こされたものであり、2次元解析での図 2.12 及び 2.13 の場合に相当する。この解析結果は図 2.15(C)に示した実験結果をよく説明しており、ドメインのアノードでのトラップが不十分に起こった場合であると解釈できる。

ドメインがトラップされている状態では素子はSNRを呈することが従来の1次元解析で示されている。^{(46),(62)}しかし、図 2.16(D)の実験結果は、閾値を越えた僅かの電圧範囲でしかSNRを呈さず、連続的な発振形態に入るまでのより高い電圧領域では正抵抗を示している。図 2.22 は

$N_0=3 \times 10^{15} \text{cm}^{-3}$ のときのプロファイル A 及び B に対する電流－電圧特性の計算値を示す。 A 、 B の両方のモデルに対し、ドメインがトラップされた状態での素子電流は閾値を越えた直後の電圧に対して減少しており、SNRを呈している。そして、ドメインがトラップ状態から脱して連続動作へ移行するまでの電圧領域の大部分で電流が増加し、正抵抗を示す。プロファイル A よりもプロファイル B の方がアノード電圧の広い範囲に亘ってドメインのトラップが起こっている。これはアノードでのノッチ、即ちアノード端での高電界領域がトラップを促進するからである。 D ＝一定とした1次元解析では高電圧領域においてもSNRを示し、トラップ状態から連続動作への移行は起こらない。⁽⁴⁶⁾

以上の結果から、トラップ・ドメインの実験結果を正しく説明できるのは、CopelandとKnightの $D(E)$ 特性と、プレーナ素子のアノードでの高電界効果を考慮したモデルであることが明らかとなった。そのモデルでは N_0 が 10^{15}cm^{-3} 以上 $4 \times 10^{15} \text{cm}^{-3}$ 以下でドメインのトラップが起こることを予測でき、通常の用途を考える場合、ドーピング密度は、この範囲からはずしたものをを用いることが必要であることが結論される。

2.5 結 論

ガン効果論理素子の基礎構造と考えられるプレーナ型ガン・ダイオードについて2次元モデルによる計算機解析を行い、プレーナ素子内のドメインの振舞いを論じた。1次元的なモデルとの本質的な差異は、プレーナ電極が素子の表面に設けられていることから派生するキャリアの素子断面内の不均一な流れがカソード及びアノードの電極端での電流集中をもたらし、カソード端ではそれがドメイン生成の核となり、アノード端ではドメインの消滅を妨げてアノード・トラップ・ドメインの形成に寄与する点にある。アノード端での高電界はトラップ・ドメインを生じない連続動作においても、アノードに達したドメインの自然消滅を阻止するように働くので、新たなドメインの成長を遅らせる。そのため発振周期は、そのような影響のない場合に比べて長くなる。素子をトリガ・モードで動作させる時には、アノード端の電流集中はドメインをトリガさせるのに必要な最小電圧を高め、トリガ感度を低下させる。

ドメインのアノード・トラップについての実験では、ドメインがいったんアノードでトラップされてしまうと、次にドメインをトリガするのに必要なトリガ電圧が大きくなり、トラップ後の素子電流はドメインをトリガする以前の定常値よりは若干小さくなることがわかった。また、ドメインがトラップされている状態では、素子の電流－電圧特性は、閾値を越えた僅かな電圧範囲でSNRを呈し、更に電圧を高めてゆくと再び正抵抗を示して、やがてはノイズの多い発振状態

又はドメインの走行時間で決まる周期よりはるかに短い周期での電流振動状態へと移行することがわかった。これらの実験事実 Copeland と Knight の提出した $D(E)$ 特性と、プレーナ形状に起因するアノードでの高電界効果とを考慮したモデルで説明できることを示した。このモデルに基づく解析結果によれば、ドーピング密度が $1 \sim 4 \times 10^{15} \text{cm}^{-3}$ のとき、ドメインのアノードでのトラップが生じる。アノード・トラップは通常の論理素子には好ましくない現象なので、素子の設計に際しては、ドーピング密度を $5 \times 10^{15} \text{cm}^{-3}$ 以上にするのがよい。第 3 章以降に述べる実験では、エピ層のドーピング密度をその範囲に限定している。ただし、2 次元動作解析においては、計算時間の節約を考慮して $N_0 = 10^{15} \text{cm}^{-3}$ のモデルを採用している。ドーピング密度がより高い場合の動作は、既存の定常走行ドメインについての 1 次元解析結果⁽¹⁶⁾ から類推することができる。

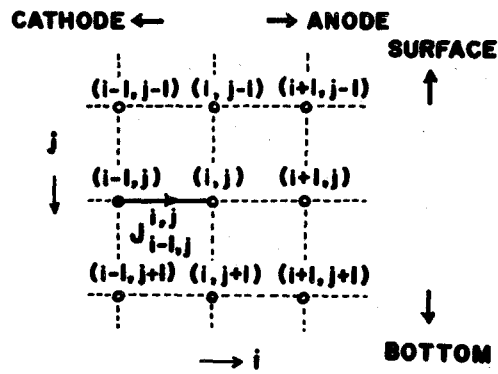


図 2.1 2次元平面のメッシュ分割

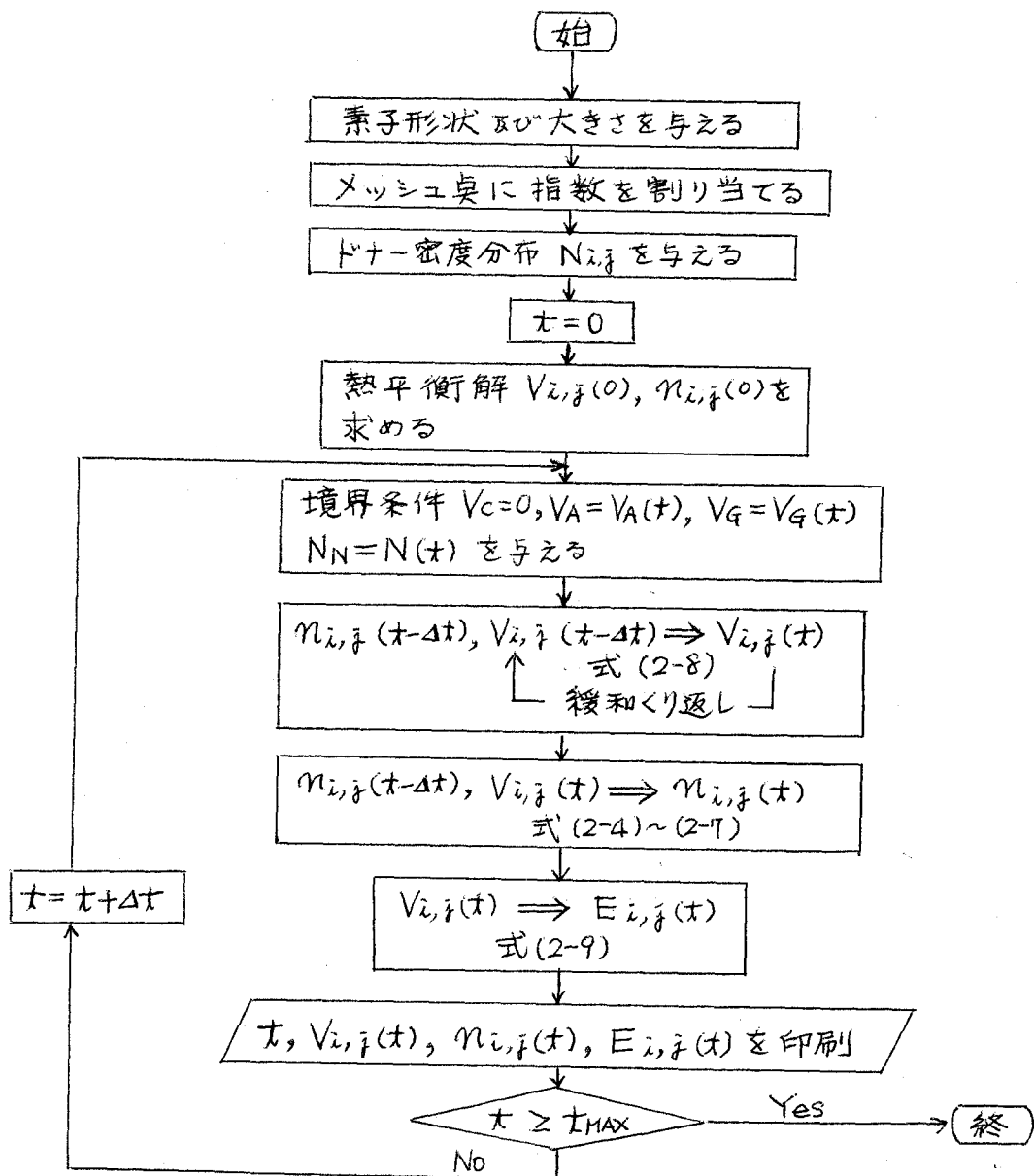


図 2.2 計算機の2次元解析のフローチャート

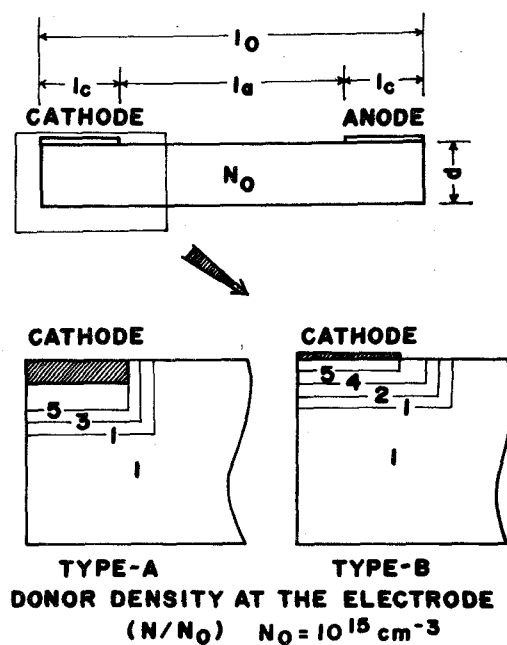


図 2.3 プレーナ型ダイオードの解析モデル

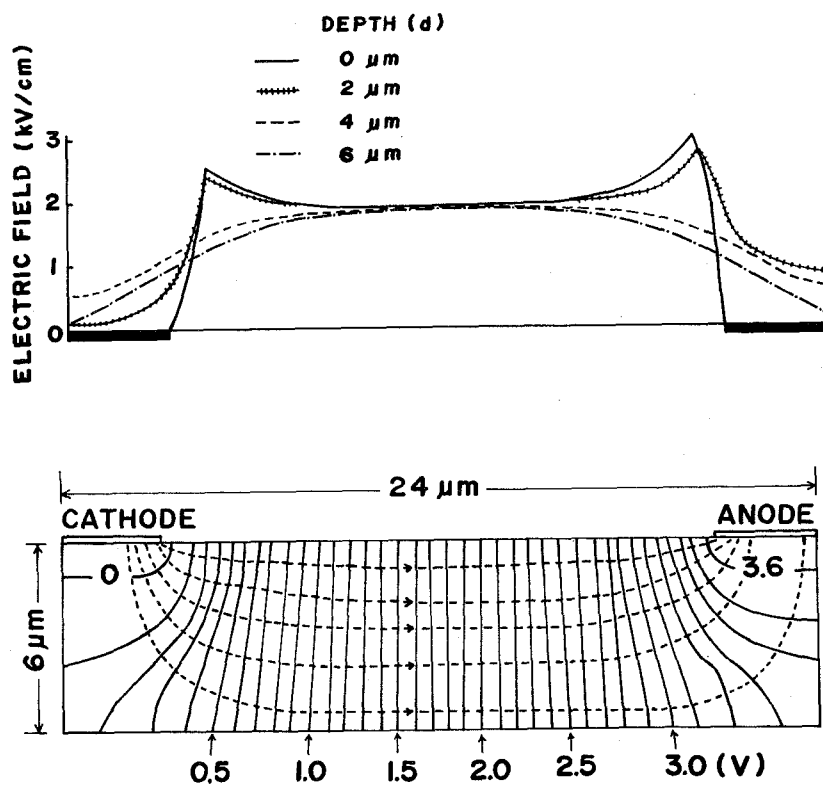
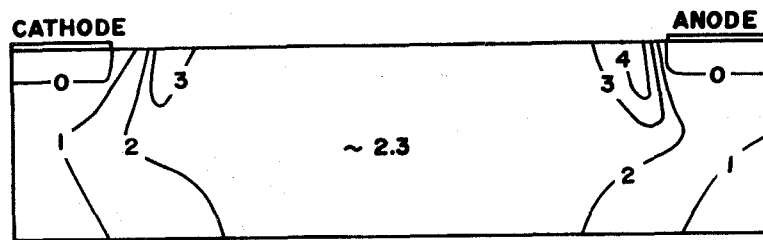
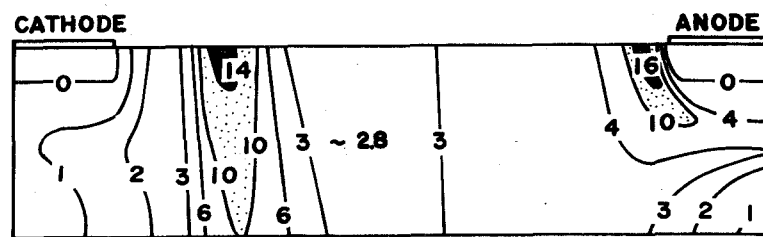


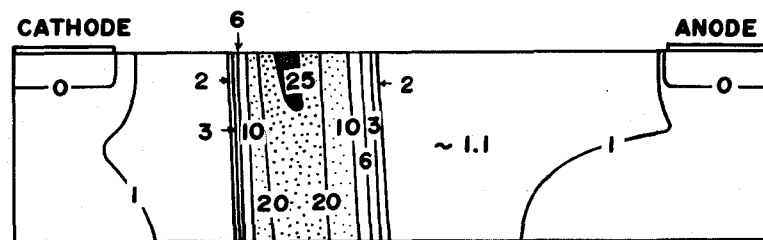
図 2.4 低電圧印加時の電界分布(上)と等電位線(下)
〔 $V_A = 3.6 \text{ V}$ 〕



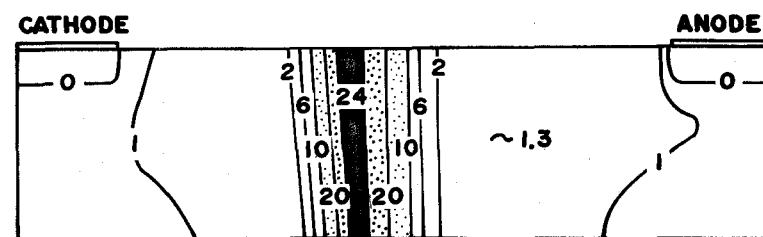
(a) 20ps



(b) 40ps

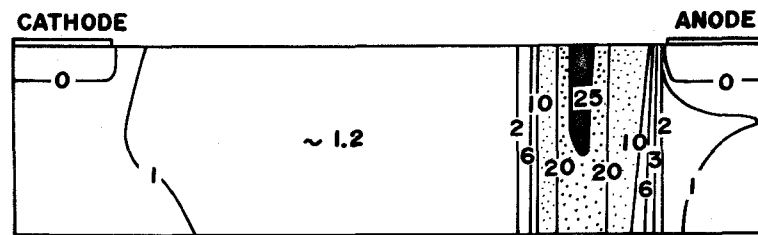


(c) 60ps

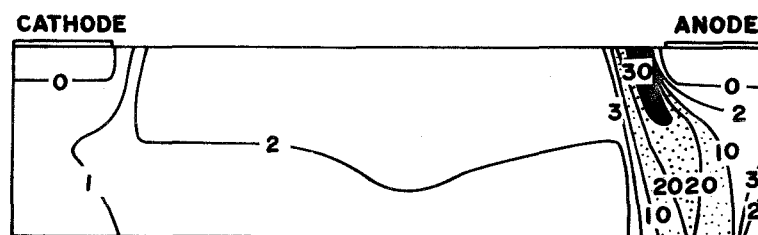


(d) 80ps

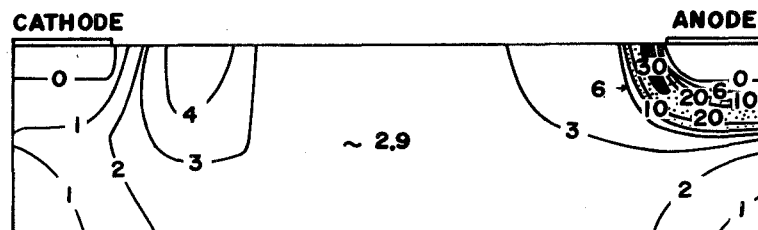
図 2.5 プレーナ型ガン・ダイオードでのドメイン生成
〔連続動作, $V_A = 9V$ 〕



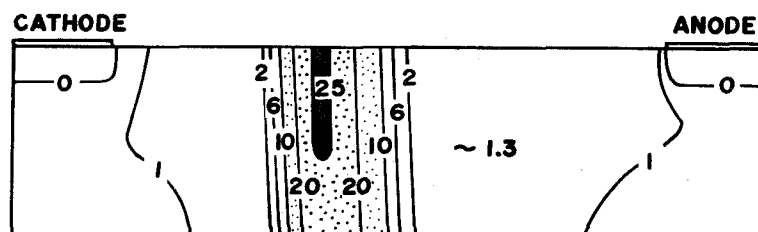
(a) 160ps



(b) 200ps



(c) 240ps



(d) 280ps

図 2.6 プレーナ型ダイオードでのドメイン消滅
〔連続動作, $V_A = 9V$ 〕

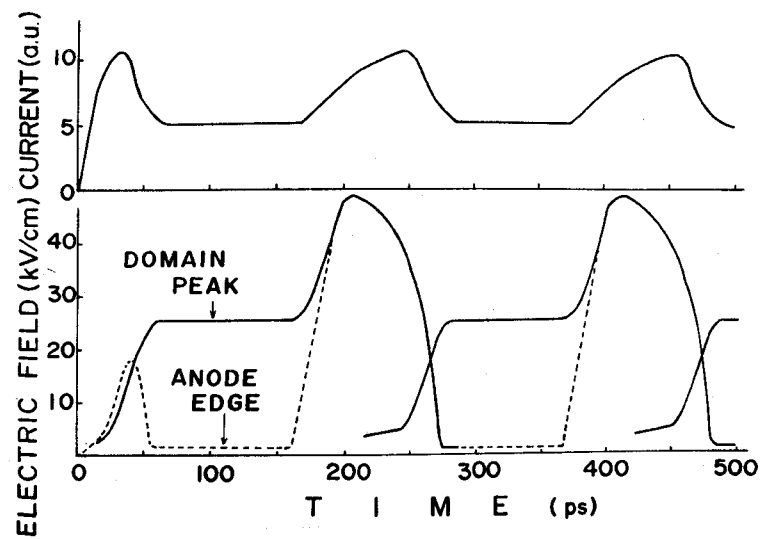


図 2.7 連続動作時の素子電流 (上)とドメイン及びアノード端での最大電界の時間依存性 (下)
〔 $V_A = 9\text{ V}$ 〕

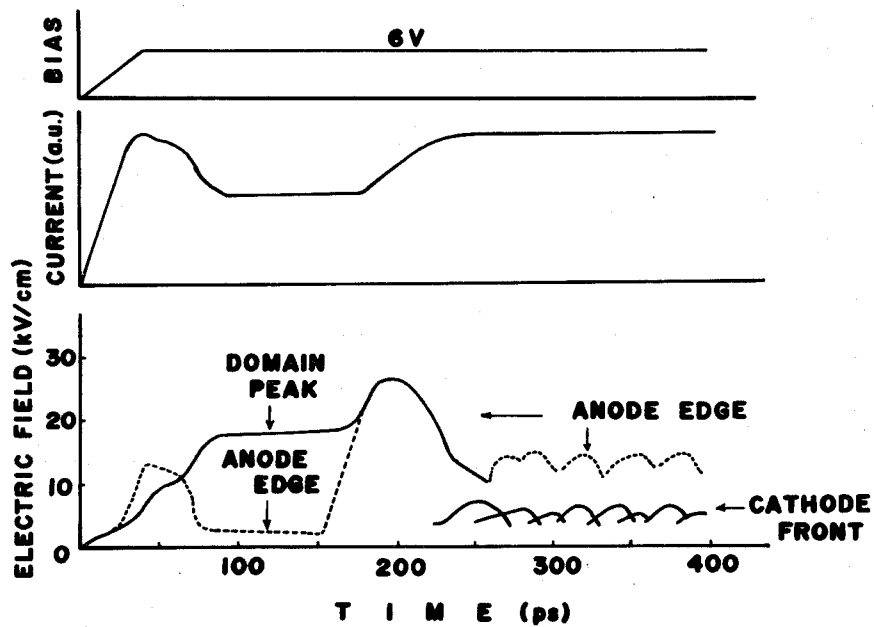


図 2.8 $V_A = 6\text{ V}$ を印加した時の特性

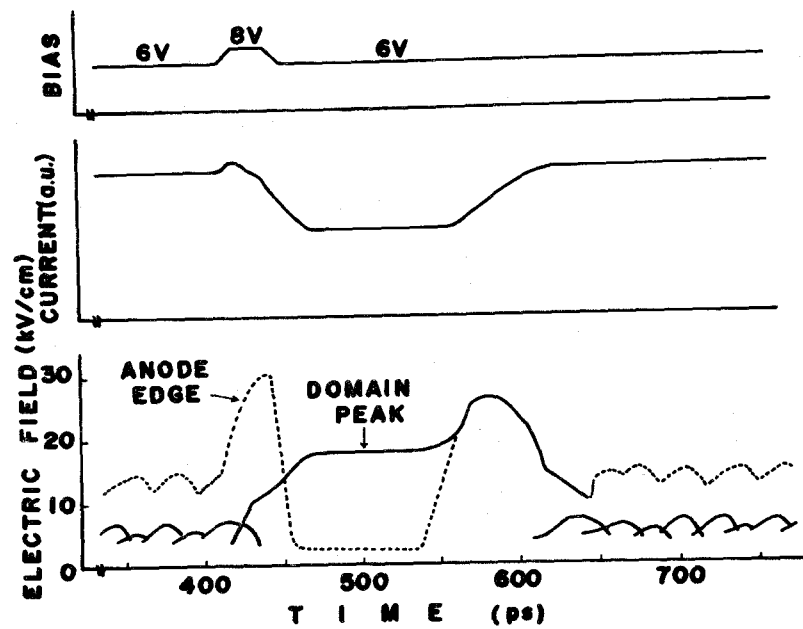


図 2.9 単発トリガ・モードの動作特性

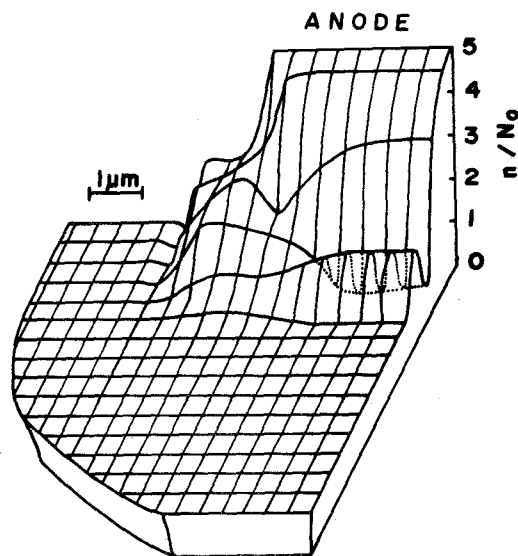
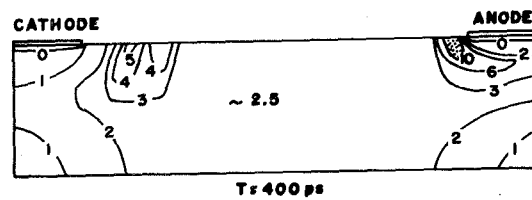


図 2.10 アノード端での定常ドメイン〔 $V_A = 6\text{ V}$ 〕

(上) 電界分布

(下) アノード近傍のキャリア分布

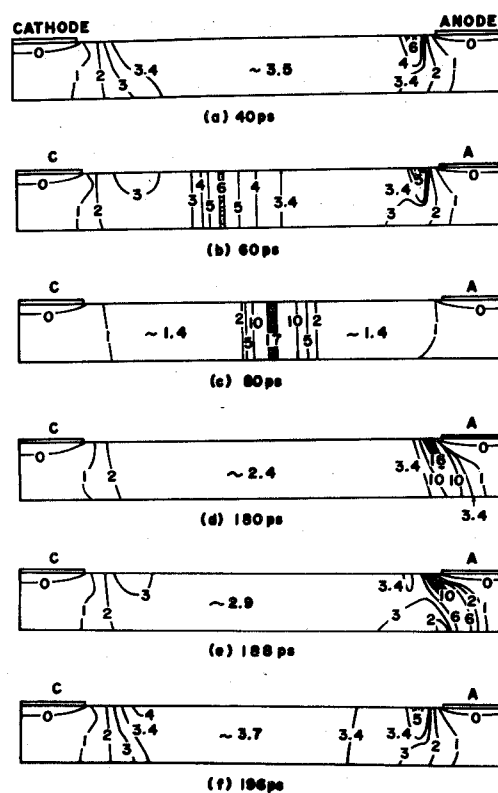


図 2.11 薄い素子でのドメイン生成及び消滅
 $[d = 2.8 \mu\text{m}, V_A = 6 \text{V}, l_0 = 24 \mu\text{m}]$

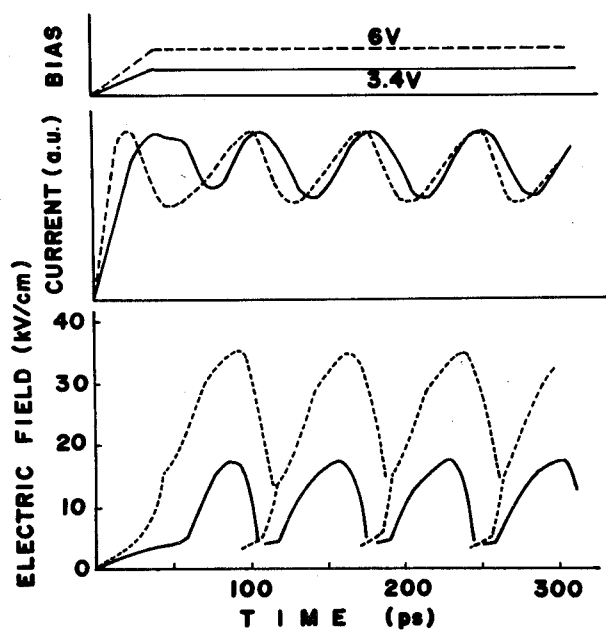


図 2.12 薄くて短い素子での特性
 実線 (3.4V), 点線 (6V)
 $[d = 2.8 \mu\text{m}, l_0 = 16.4 \mu\text{m}]$

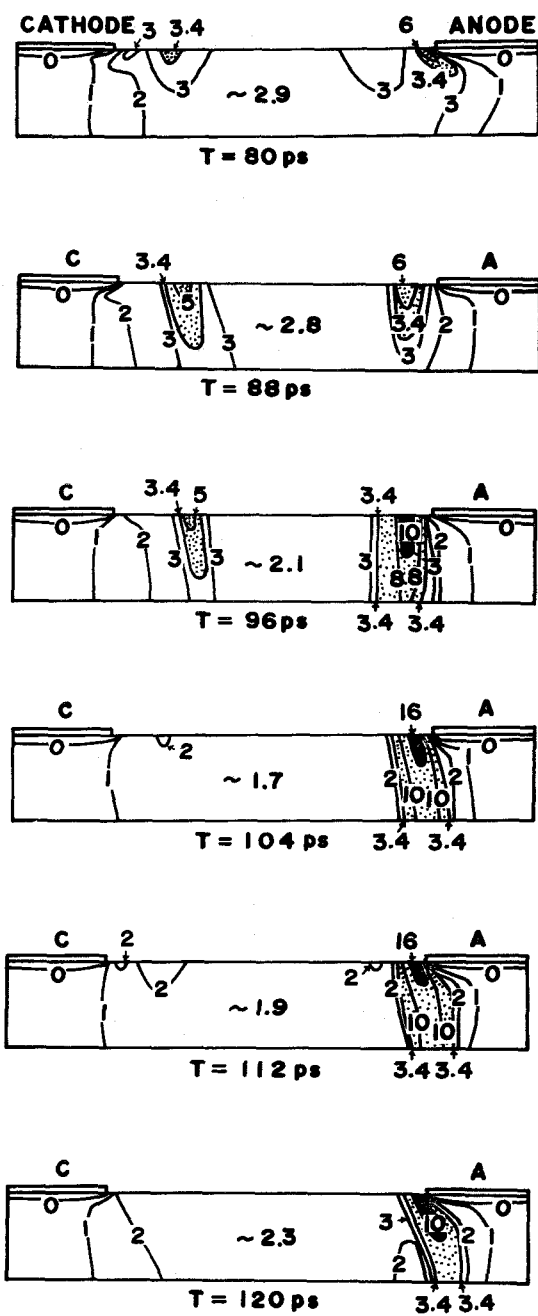


図 2.13 薄くて短い素子でのドメインの振舞い〔 $V_A = 3.4 \text{ V}$ 〕

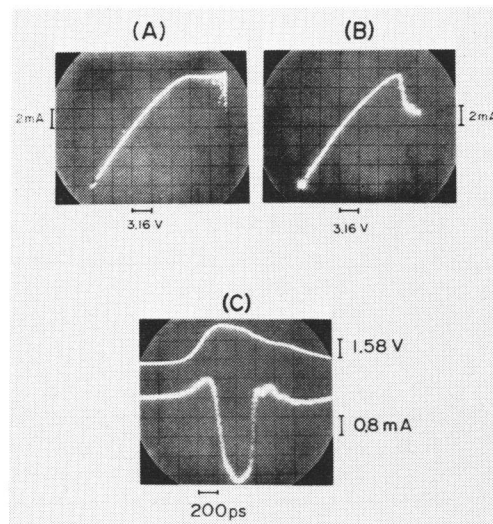


図 2.14 アノード・トラップ・ドメインの存在する場合の素子特性

- (a) バイアス印加数 ns 後の電流－電圧特性
- (b) アノード・トリガ印加時刻での電流－電圧特性
- (c) トリガ電圧 (上) 印加時の電流波形(下)

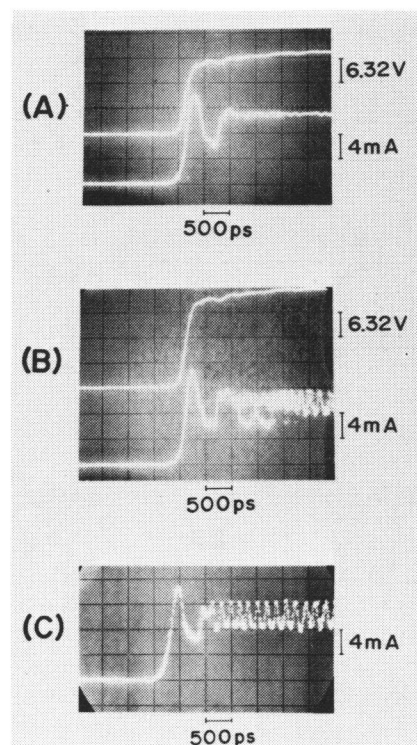


図 2.15 素子電流波形のバイアス依存性

- (A) バイアス (上) の低いときの電流波形(下)
- (B) バイアス (上) のやゝ高いときの電流波形(下)
- (C) バイアスの高いときの電流波形

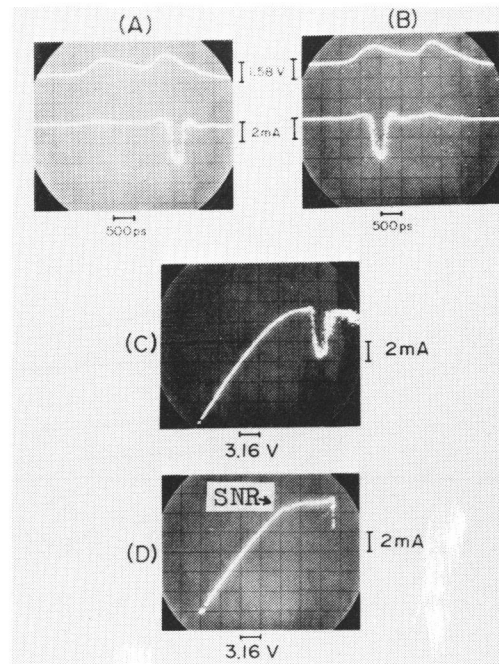


図 2.16 二つの連続したトリガ入力に対する応答

- (A) 第2のトリガ入力のみが閾値を越えた時(上)の電波波形(下)
- (B) 第1のトリガ入力でも閾値を越えた時(上)の電流波形(下)
- (C) 第2のトリガ入力時刻での電流—電圧特性
- (D) 二つのトリガ入力の中間時刻での電流—電圧特性

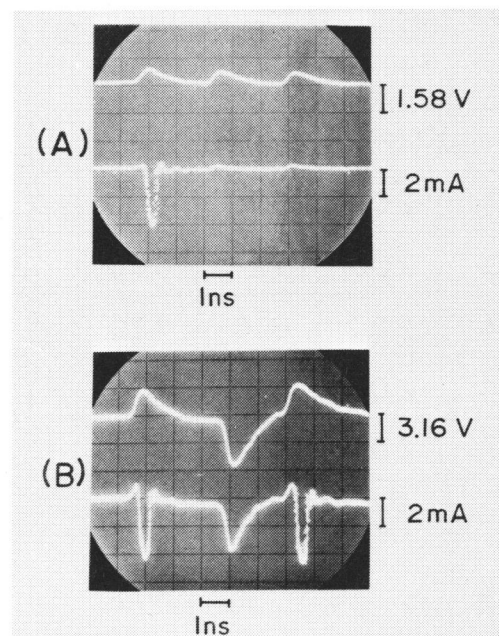


図 2.17 三つのトリガ入力に対する応答

- (A) 三つの連続正入力(上)に対する電流波形(下)
- (B) 正, 負, 正の連続入力(上)に対する電流波形(下)

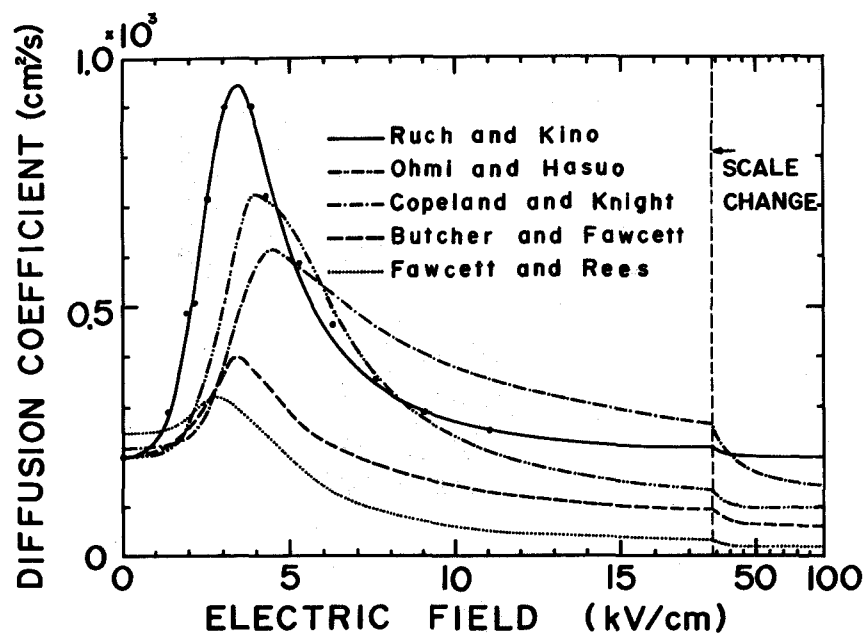


図 2.18 GaAs の拡散係数の電界依存性

表 2.1 計算機解析に用いた $D(E)$ 関数形

Diffusion Coefficient of GaAs

$$D(E) = D_{\infty} + (D_m - D_{\infty}) \cdot \frac{m \cdot (D_0 - D_{\infty}) + (m+n) \cdot (D_m - D_0) \cdot (E/E_m)^n}{m \cdot (D_m - D_{\infty}) + n \cdot (D_m - D_0) \cdot (E/E_m)^{m+n}}$$

name	E_m (kV/cm)	D_0 (cm ² /s)	D_m (cm ² /s)	D_{∞} (cm ² /s)	$\frac{m(E < E_m)}{m(E > E_m)}$	$\frac{n(E < E_m)}{n(E > E_m)}$
Ruch and Kino	3.4	200	940	200	3.0 2.5	3.0 5.5
Ohmi and Hasuo	4.0	200	720	100	5.0 2.5	3.5 2.0
Copeland and Knight	4.4	220	610	120	2.0 1.0	5.0 5.0
Butcher and Fawcett	3.4	200	400	60	16.0 1.5	2.5 7.5
Fawcett and Rees	2.7	250	320	20	2.0 2.0	5.0 2.5

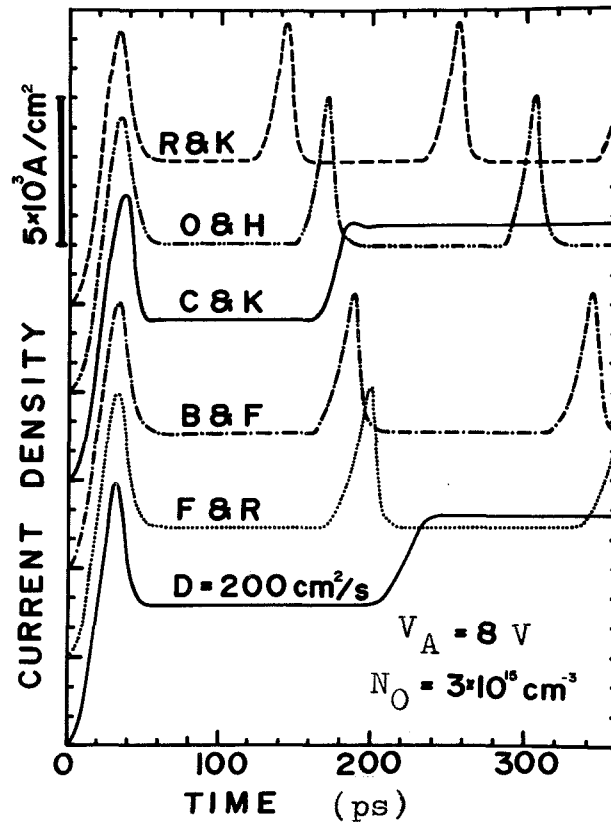


図 2.19 プロフィル A のモデルに対する電流波形

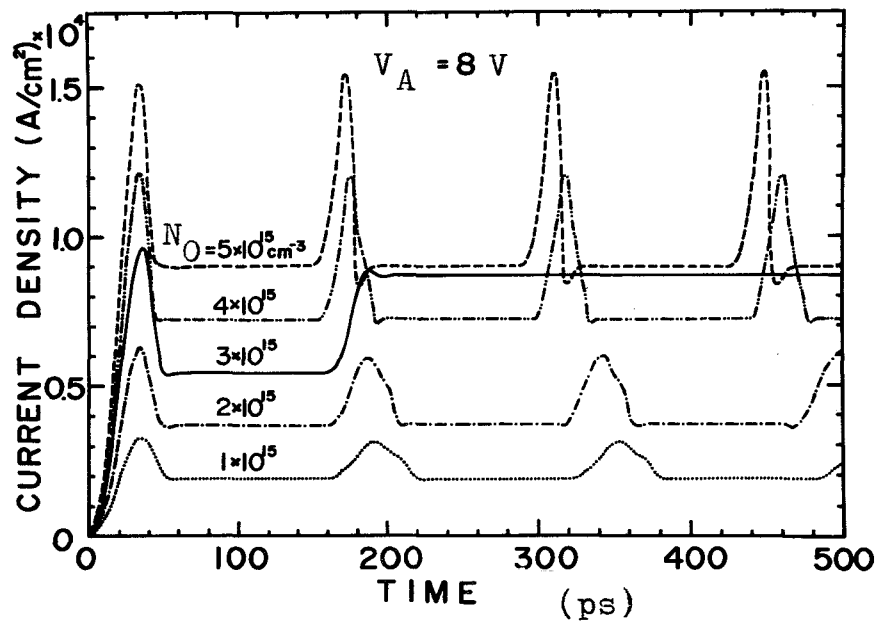


図 2.20 プロフィル A で C & K の D (E) を用いたときの電流波形のドーピング密度依存性

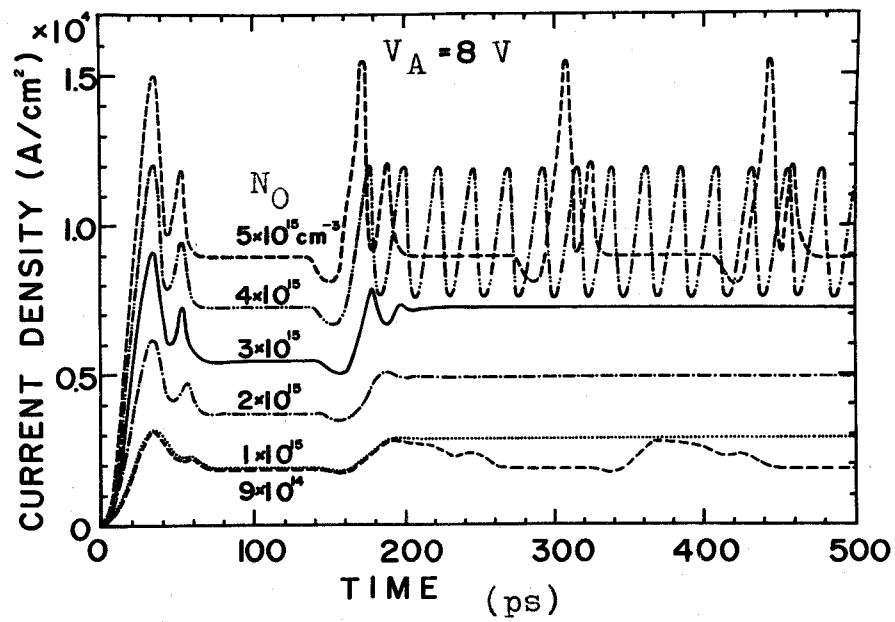


図 2.21 プロファイル B で C & K の D (E) を用いたときの
電流波形のドーピング密度依存性

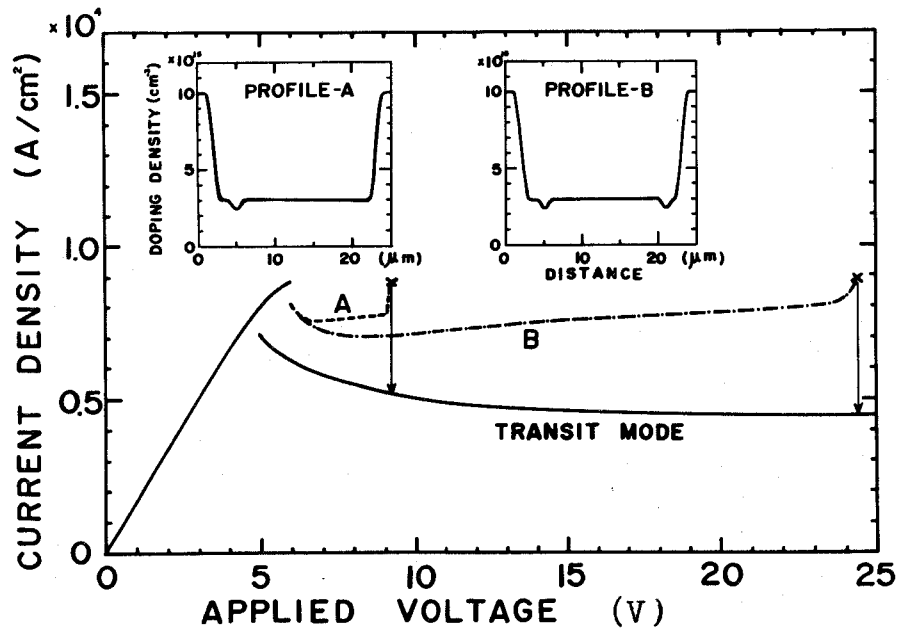


図 2.22 ドメイン・トラップ時の素子の電流—電圧特性
(C & K の D (E) 使用)

第3章 ショットキー・ゲート付ガン効果素子

第3章 ショットキー・ゲート付ガン効果素子

3.1 序 論

ガン効果素子を論理素子として用いる場合に、前章で述べたプレーナ型ガン・ダイオードと負荷抵抗を組み合わせ、バイアス電圧とトリガ入力電圧の大きさの調整により論理を取らせる方法が考えられる。しかし、そのような回路では入力信号と出力信号を電氣的に分離することができない。一般の論理回路では入出力信号は少くとも静的（DC的）には分離できることが必須の要件となり、これを満たさない回路は実用的でない。そのことは、ガン効果論理回路にも当てはまる。

ガン素子自体は、バイポーラ・トランジスタやMOSトランジスタのようなインピーダンス変換機能を有していないので、入出力信号分離のための特別な工作需要となる。その際注意すべきことは、分離ゲートを導入することによって、ガン素子の高速性が損われないような形態を選ぶべきであることと、ガン素子の製作の容易さという特徴を維持できるものにするることである。このような選択基準に適合した分離ゲートとしてはショットキー・ゲートがある。特に n 形GaAsに対しては、ショットキー・ゲートは作りやすく、金属を蒸着するだけでよい。

ショットキー・ゲート付ガン効果素子の模式図を図3.1に示す。⁽²⁹⁾本素子はショットキー・ゲートをプレーナ型ガン・ダイオードのアノードとカソードの間の能動領域表面に設け、通常はゲート接合が若干逆バイアスとなるようにゲート・オフセット電圧を印加しておいてゲート下に空乏層を延ばすことにより、ゲート端子への入力と、カソードとアノード間のチャネル電位とをDC的に分離する。本素子におけるドメインの生成（トリガ）は、ゲート端子へ負のトリガ電圧を入力し、ゲート下空乏層の延びを大きくしてその下のチャネルにおける電界を閾値以上に持ち上げることにより行われる。

本素子の特徴や、本素子をディジタル回路へ応用する場合に必要な基本量の定義については、菅田らによって論じられている。^{(30), (31), (63)} そのほかにも、本素子の動作の解明と素子の応用についての報告がある。^{(64)-(78), (81), (82)} それにもかかわらず、本素子の動作に関してはなお不明な点が多い。そこで、本章では本素子の計算機解析を行って基本動作の解明を行い、⁽⁷⁹⁾ また簡単な素子のモデルを考えて実験結果と比較する。さらに、本素子の論理回路への応用例として2入力ゲート構造のAND、OR回路を取り上げて、その設計と動作実験を行った結果について述べる。⁽⁸⁰⁾

3.2 計算機解析

2.2節で述べた方法で、2次元モデルについて計算機解析を行って、ショットキー・ゲート付ガン効果素子の動作を解明する。⁽⁷⁹⁾ショットキー・ゲートは常に実効的に逆バイアスが印加されており、接合面ではキャリアは存在していないものとする。

解析モデルをその断面図の形で図3.2に示し、各部分の長さを図のような記号で表わす。モデルの各部分の大きさは表3.1に示す。モデルの大きさとオーミック電極形状は前章のプレーナ型ガン・ダイオードのものとほぼ同じとし、両者におけるドメイン・ダイナミクスの違いが明らかとなるようにした。 $\ell_c = 3.2\mu\text{m}$ は各モデルに共通とした。

図3.3はモデルのバイアス印加パターンを示す。連続動作の場合、素子は最初に熱平衡状態にあり、時刻 $T = 0$ から、同じ立ち上がり時間でアノード及びゲートに電圧を印加する。トリガ動作の場合は、アノード電圧 V_A 及びゲート電圧 V_G が印加された定常状態から出発して、 $T = 0$ からゲートに負のトリガ電圧が加えられてゲート電圧が V_T に変化する。トリガ・パルスの幅は、トリガされたドメインがアノードに達する時間より短くなるように設定し、単発トリガ・モードをモデル化した。

3.2.1 連続動作

(a) 連続的なドメイン形成

ゲート・バイアスが適当に設定され、アノード・バイアスが十分高い場合は、素子は連続的にドメインを発生し、発振状態になる。図3.4はそのような状態の一例を示し、一つのドメインがゲート下で発生し、それが成長してアノードまで走行して消滅し、新たなドメインが形成されるまでの様子を素子断面内の等電界曲線分布で表わしたものである。図中の数字は電界強度の値であり、単位は kV/cm である（モデルSL-1）。

$T = 10\text{ps}$ において、ゲート下にキャリアの空乏層と蓄積層のペアが形成された結果として、ゲート接合から延びている空乏層の下に能動領域に閾値以上の電界を有する部分が現われている。それと同時に電極端の電流集中効果によってアノード端近傍にも閾値以上の電界を持つ部分が生じる。 $T = 30\text{ps}$ においては、ゲート下に形成された高電界層は、ゲート部から離れてアノード側へ向かって走行しようとしている。この高電界層が成長しつつある間にアノード端での高電界層は逆に消滅に向かう。その理由はゲート下高電界層（ドメイン）の成長が、その外側電界の低下をもたらすため、アノードでの電流集中が緩和されるからである。 $T = 60\text{ps}$ においてはゲートから出発した高電界層は定常走行ドメインとみなされるまでに成長している。そのドメインは形状を一定に保ったまま、約 10^7cm/s の速度でアノード側へ走行してゆく。

$T=136\text{ ps}$ では、ドメインは既にアノードに達して部分的に消滅しつつある。この消滅段階でアノード端への電流集中が再び顕著となるため、ドメインの最大電界は定常走行時 ($T=60\text{ ps}$) よりも大きくなる。 $T=148\text{ ps}$ では、アノード電極下に回り込んだドメインが電極部へ引っぱり上げられるような形で消えてゆくのがみられる。 $T=160\text{ ps}$ ではアノードに達したドメインは完全に消滅してしまい、ゲート下に新たなドメインが形成されている。このようなくり返しで、次々とドメインの運動が行われる。

(b) ドメイン形成過程のバイアス依存性

ドメイン形成の様子はバイアスの大きさによって変化する。図 3.5 は同じ素子に対してバイアスを変えた時のドメイン形成の違いを示したものである。モデル $SL-2$ は $V_A=10\text{ V}$, $SL-3$ は $V_A=8\text{ V}$, $SL-4$ は $V_A=7\text{ V}$ の場合のものであり、ゲート・バイアスはアノード電圧が高い程、ショットキー接合への実効的な逆バイアスが大きくなるように設定されている。ゲートのアノード側の端における電界強度はゲート下空乏層の伸びの大きさを表わす指標となる。即ち、その値が大きい程、空乏層の伸びが大きい。そこで、ゲートのアノード側の端の電界を GATE EDGE 電界 (E_{GE}) として示し、空乏層の伸びの変化を代表させる。また、ドメインの最大電界を DOMAIN PEAK 電界 (E_{DP}) として示し、ドメインの成長を代表させる。図からわかるようにバイアスが高い程、空乏層の伸び方と、伸びの変化率が大きく、従ってドメインの成長も速い。従って、電流減少の遅れ時間も、バイアスが高い程小さい。また定常ドメインの大きさも、バイアスが高い程大きい。しかし、その事は直ちに電流減少率

$$k_{SB}=(I_{max}-I_{min})/I_{max} \quad (3-1)$$

が、高バイアス程大きくなることには結びつかない (I_{max} , I_{min} は電流変化の 1 周期における最大電流と最小電流である)。その理由は、ショットキー・ゲート付ガン効果素子の電流が、ゲート下空乏層の伸びの大きさにも依存する、つまり、ゲート電圧にも依存するからである。ショットキー・ゲートへの逆バイアスが大きい程、空乏層の伸びが大きく、アノード電圧が一定のとき、 I_{max} がより小さくなる。

図 3.6 は $V_A=8\text{ V}$ のときのドメイン形成過程のゲート定数 (V_G と ℓ_G) に対する依存性を示す (モデル $SL-3$, $SL-5$, $SL-6$, $SL-7$)。 I_{max} は、 V_G が小さく (ゲート接合の逆バイアスが大きい) ℓ_G の大きい程小さくなっている。より明確には E_{GE} が大きい程 I_{max} が小さい。このことは前記の主張を裏付けるものである。しかるに図の E_{DP} の定常値はどのモデルに対しても同一であり、ドメインの大きさが主としてアノード電圧によって定まっていることを示している。
 I_{min} はドメインの大きさ、つまりドメイン外側電界に比例するから、アノード電圧のみに依存

すると考えてよい。結局 k_{SB} は V_A が大きく、 V_G が大きい場合に大きくなるものと考えられる。

ドメイン生成過程は、バイアスを印加して最初にドメインが形成される場合と、2 番目以降のドメインの形成される場合とで、必ずしも同一であるとは限らない。図 3.7 は $V_G = 0\text{ V}$ で $V_A = 6\text{ V}$ (点線; モデル $SL-8$) の場合、及び $V_A = 9\text{ V}$ (実線; モデル $SL-9$) の場合のカソード電流と E_{GE} , E_{DP} の時間変化を示したものである。アノード電圧の低い $V_A = 6\text{ V}$ の場合は、バイアスの変化している $T = 0 \sim 20\text{ ps}$ を除いて、カソード電流、 E_{GE} , E_{DP} のいずれも第 1 周期から同一の時間変化を示す。しかし、アノード電圧の高い $V_A = 9\text{ V}$ の場合は、第 1 周期と第 2 周期以降とは異なった時間変化をしている。その理由は図 3.7 (b) をみればわかる。即ち、第 2 周期以降でのドメインの生成においては前の周期で生成されたドメインがアノードで消滅しかかっているため、そこでは電流の集中が起こり、ゲート下で別のドメインが形成されても電流は落ち込まない。この場合、電流は 2 段階を経て落ち込む。最初の緩やかな減少はゲート下での新しいドメイン生成に対応し、次の急激な減少はアノードでの古いドメインの消滅に対応する。 $V_A = 6\text{ V}$ の場合はドメインがアノードに達したことによる電流集中の効果が薄いため、そのような現象はみられない。

(c) ドメイン形成のバイアス電圧立ち上がり時間依存性

閾値電圧よりもかなり高い電圧が、ドメイン形成時間よりもはるかに短い立ち上がり時間で印加されたときは、素子はより複雑な動作を呈する。モデル $SL-10$ は $V_A = 9\text{ V}$ ($V_G = 0\text{ V}$) が $T_R = 2\text{ ps}$ で印加された場合である。このときの立ち上がり時間はゲート下空乏層が延びるのに要する時間に比べても十分短いのでバイアス印加直後にはアノード端が高電界を支えることになる。ゲート下でドメインが形成される速度が遅いとアノード端の高電界もドメインとして成長する。この時の様子を各時刻におけるアノード・カソード間の素子表面での電界分布として図 3.8 に示す。 $T = 12\text{ ps}$ ではアノード端とゲートのアノード側の端の 2 箇所で高電界になっている。 $T = 24\text{ ps}$ では、2 箇所の高電界ともドメインとして成長し、 $T = 60\text{ ps}$ ではそれらが同時にアノードへ向かって走行しているのがわかる。 $T = 84\text{ ps}$ では、アノードで形成されたドメインは既に消滅し、ゲート端で形成されたものがアノードの直前まで走行している。 $T \geq 84\text{ ps}$ では図 3.7 のモデル $SL-9$ の結果で $T = 124\text{ ps}$ を $T = 84\text{ ps}$ と読み直したものとなる。二つのドメインが同時に存在している時には、素子電流は図 3.9 に示すようにきわめて複雑な時間変化を呈する。二つのドメインが成長を競い合うことから、電流は一つのドメインが存在している時の値にまで下がることもなく、一つのドメインが消滅しても他の一つが頑張っているために高い値まで回復することもない。

アノード電圧が低い場合、たとえば $V_A = 6\text{ V}$ の場合はモデル $SL-1$ にみられるように $T_R = 2\text{ ps}$

であっても二つのドメインが共存することはない。従って、モデル $SL-10$ の場合はアノード端での高電界誘起に伴う特殊現象であるとみなせる。ショットキー・ゲート付ガン素子に関する限り、カソード端での電流集中はドメイン生成の核とはなり得ない。

二つ以上のドメインの共存は実験的には素子内に不均一があるらしい2端子素子のバイアス電圧を速い立ち上がりで増加させた時、その第1周期のみに観測されている⁽⁸³⁾。前記の計算機解析の結果は、ドーピングの不均一がなくてもプレーナ素子内に二つ以上のドメインの共存があり得ることを示唆している。

3.2.2 トリガ動作

$\ell_A = 2.36 \mu\text{m}$ の素子に $V_A = 6.5 \text{ V}$, $V_G = 0.5 \text{ V}$ を印加すると、能動領域の平均電界が 2.0 kV/cm となってトリガ動作可能な条件となる。バイアスを印加した定常状態では、ゲート下空乏層の伸びは図 3.10(a) のようになっている。図はドーピング密度 N_0 で規格化したキャリアの等密度曲線を示している（モデル $SL-11$ ）。

トリガ・パルス $V_T = -1 \text{ V}$ がゲートに印加されると、図 3.10(b)–(e) に示すようにゲート下でドメインがトリガされる。この図もゲート付近の規格化キャリア密度の分布を示す。各図の左側がカソード側、右側がアノード側に相応する。図のように、ドメインの形成はゲート下空乏層の再編成時に行われる。しかも、ゲートから伸びた空乏層がそのままドメインの空乏層領域を構成することに留意すべきである。また、ドメインの蓄積層は、その空乏層よりカソード寄りのゲート下で次のような過程を経て形成される。ゲート下の空乏層が底面に向かって伸びている間、それまでキャリアの存在していた領域からキャリアが掃き出されて空乏層の下にたまる。それらのキャリアはその場所よりアノード側に、ゲート下から伸びた高電界を伴う空乏領域が存在しているため、そこでのキャリア速度が負微分移動度の効果により、他の中性領域のキャリア速度よりも遅いので、容易にはアノード側へドリフトできない。それゆえ、ゲート下空乏層の伸びているすぐ横のカソード側部分にキャリア蓄積が起こる。これがその部分での電界を高めソース側からドリフトしてきたキャリアを堰止めてしまう。このように単に FET 動作によって伝導チャネルが狭くなるためにそこでの電界強度が増して閾値を越える^{(64),(65)} ということのみでは、ショットキー・ゲート付ガン効果素子におけるゲート・トリガでのドメイン形成の機構の完全な説明となっておらず、過渡時でのキャリアの運動をも考慮せねばならない。

図 3.10(f)–(i) は、トリガされたドメインがアノードに達した後、消滅してゆく様子をアノード端近傍の等キャリア密度曲線で示す。ドメインの空乏層はプレーナ電極の下方へもぐり込み、蓄積層はアノード端付近に留まっている。 $T = 268 \text{ p s}$ での分布(i)はトリガ入力のない定常状態の分布そのものであり、この時点ではドメインは完全に消え去っている。

図 3.11 はモデル $SL-11$ に対するカソード電流, E_{GE} , E_{DP} の時間変化を描いたものである。このトリガ動作においては, トリガ入力時の過渡応答は別として, ほぼ矩形の電流波形が得られており, 正常なトリガ・モードが実現されている。しかるに, 電流減少率は $k_{SB} = 0.24$ であり, 同じような大きさのプレーナ型ガン・ダイオードの値に比べてかなり小さい。 k_{SB} が小さいのは, ショットキー・ゲート付素子でトリガ動作を行わせるためには, ゲート下での伝導チャネルが他の部分より高電界となっているから, そこでの電界が閾値を越えないよう, アノード電圧を低く設定せねばならず, I_{max} が小さいからである。ゲート長 ℓ_G が素子長 ℓ_A に比べて十分小さく, 「ピンチ・オフ」電圧 $V_0 = e N_0 d^2 / 2 \epsilon$ が素子のアノード電圧に比べて十分大きい場合は k_{SB} を 0.5 に近い値で動作させられるが, 本例のように $V_0 \simeq 2V_A$ と薄い素子では k_{SB} は大きくできず, トリガ可能なアノード電圧の範囲も $6V < V_A < 7V$ ときわめて狭い。この点は本素子の致命的な欠点である。

3.3 論理ゲートの設計

素子長が短い場合のショットキー・ゲート付ガン効果素子の動作は計算機解析で明らかとなったが, 素子長がもっと長い素子の動作条件を設定する方法を確立することが現段階では大切である。本節では MESFET (ショットキー障壁ゲート電界効果トランジスタ) の動作解析⁽⁹⁷⁾ で得られた知見を基にして, 本素子を用いた論理ゲートの設計を試みる。本素子は構造的にみれば MESFET そのものであり, 素子内の最大電界がガン発振の閾値 E_m を越えない限り, FET 解析手法を当てはめることができる。

3.3.1 単ゲート回路

図 3.1 に示すようなショットキー・ゲート付ガン効果素子のカソードとアース間に負の信号出力電圧を取り出すための負荷抵抗 R_L が接続された回路を単ゲート回路と呼び, その回路のトリガ・モードでの動作条件を求める。回路の電源電圧 (アノード・アース間電圧) を V_A , 素子電流を I とすると, 次の関係が成立する。

$$V_A = (R_{GA} + R_{CG} + R_L) \cdot I + U_D \cdot V_0 \quad (3-2)$$

ここに, R_{GA} はゲート・アノード間の能動領域の抵抗, R_{CG} はカソード・ゲート間の抵抗, $U_D \cdot V_0$ はゲート下での伝導チャネルにおける全電圧降下である。いま, ゲート電圧を V_G とすると, 実効ゲート電圧の規格化量 U_G は次のようになる。

$$U_G = [V_B - V_G + (R_{CG} + R_L) \cdot I] / V_0 \quad (3-3)$$

素子内にドメインがトリガされる条件をゲートのアノード側の端でのチャネル電界が E_m 以上になることと考えると、ゲート電圧 V_G 印加時にドメインをトリガするのに必要な最小電流として、

$$I = I_{DS(sat)} \equiv I_0 \cdot [1 - (U_G + U_{D(sat)})^{1/2}] / \Gamma \quad (3-4)$$

を得る。⁽⁹⁷⁾ 但し、 $I_0 = V_0 / R_0$ 、 $R_0 = 3 \rho \ell_G / dW$ 、 $\Gamma = V_0 / 3 E_m \ell_G$ 、 $V_0 \cdot U_{D(sat)}$ はゲートのアノード端でのチャネル電界が E_m の時のゲート下全電圧降下、 W は素子幅、 ρ は比抵抗、 V_B はゲート接合の拡散電位である。

(3-2)、(3-3)、(3-4) より、ゲート電圧 V_G 印加時のドメイン・トリガ可能な最小の電源電圧 V_A は、次のように求まる。

$$\begin{aligned} V_A / V_0 = & (1 + \ell_A / \ell_{Le}) \cdot \alpha_{SB} \cdot \{ 1 - [(V_B - V_G) / V_0 + \alpha_{SB} + \alpha_{SB}^2 / 2 \\ & - \alpha_{SB} \sqrt{\alpha_{SB}^2 / 4 + \alpha_{SB} + U_{D(sat)} + (V_B - V_G) / V_0 + U_{D(sat)}}]^{1/2} \} \\ & + U_{D(sat)} \end{aligned} \quad (3-5)$$

但し、 ℓ_A はゲート・アノード間距離、 $\ell_{Le} = (R_{CG} + R_L) dW / \rho$ 、

$$\alpha_{SB} = (R_{CG} + R_L) \cdot I_0 / V_0 \Gamma = \ell_{Le} / 3 \ell_G \Gamma \quad (3-6)$$

であり、 $U_{D(sat)}$ は 4.3.1 節で述べる方法で求められる。

従って、単ゲート回路をトリガ・モードで動作させるには、ゲート・バイアス $V_G = V_{GB}$ に対して、この値を (3-5) に代入して得る V_A の値よりも低く、かつ、トリガ入力時のゲート電圧 $V_G = V_T$ を (3-5) に代入して得る V_A の値よりも高くなるよう電源電圧を設定する必要がある。そのような V_A の値が存在するためには (3-5) で $dV_A / dV_G > 0$ であることが必要であり、

$$V_{GB} / V_0 < \alpha_{SB} + U_{D(sat)} + V_B / V_0 \quad (3-7)$$

となるよう V_{GB} の値を設定することが要求される。

次に、トリガ入力ゲートに印加され、ゲート下の能動領域で電界が閾値を越えた時、それがドメインとして成長しうるためには、ゲート下以外の能動領域の電界 E_0 がドメイン維持電界 E_{sus}

以上であることが必要である。計算機解析結果を参照すると、 $E_{sus} \doteq \frac{3}{5} E_m$ となるから、その条件は

$$E_0 = (1 - \sqrt{U_{GT} + U_D(sat)}) \cdot E_m > \frac{3}{5} E_m \quad (3-8)$$

と書ける。但し、 U_{GT} は (3-3) で $V_G = V_T$ とした時の U_G の値である。(3-3) , (3-8) より、

$$V_T/V_0 > \frac{3}{5} \alpha_{SB} - \frac{4}{25} + U_D(sat) + V_B/V_0 \quad (3-9)$$

を得る。

次に、ドメインができた時ゲート接合が導通しない条件として次式を得る。

$$V_{GB}/V_0 < \alpha_{SB}(1-k) + V_B/V_0 \quad (3-10)$$

但し、 k はドメイン形成に伴う電流減少率である。(3-7) は (3-10) に含まれるので、ゲート電圧に対する条件としては、 V_{GB} が (3-10) , V_T が (3-9) となる。(トリガ入力がない時、ゲート接合が導通しない条件も (3-10) に含まれる)。

3.3.2 2入力ゲート回路

単ゲート回路のゲート電極を横幅方向の中央部で切断して二つに分離し、2入力ゲート構造とすれば、 AND (論理積)回路や OR (論理和)回路が実現できる。単ゲート回路の場合と同様な解析法を用いてそれらの回路の動作条件を求めることはできるが、やや煩雑になるので、ここではより単純化したモデルで動作条件を求める。

二つのゲート下伝導チャネルの平均電界を E_G とすると、

$$E_G = E_0 / \{ 1 - \gamma (\sqrt{V_{G1}/V_0} + \sqrt{V_{G2}/V_0}) \} \quad (3-11)$$

となる。ここに E_0 はゲート下以外の能動領域の電界、 γ は一つのゲート幅の素子幅 W に対する比率、 V_{G1} 及び V_{G2} は、各ゲートへの印加電圧をそれぞれ V_{GX} , V_{GY} とすると、次のように与えられる。

$$V_{G1} = V_B - V_{GX} + (R_L + R_{CG}) \cdot I \quad (3-12)$$

$$V_{G2} = V_B - V_{GY} + (R_L + R_{CG}) \cdot I \quad (3-13)$$

また、素子電流 I は、

$$I = E_0 dW / \rho \quad (3-14)$$

である。(3-11)は二つのゲートを分断する間隙が小さい、即ち $2r \simeq 1$ を仮定して求めた。電源電圧 V_A に対しては、

$$V_A = E_0 \cdot (\ell_{Le} + \ell_A) + E_G \cdot \ell_G \quad (3-15)$$

が成立する。

素子中にドメインが生成される条件は、(3-11)において $E_G \geq E_m$ と置いたものである。これを(3-12)～(3-15)と組み合わせると、次の条件式を得る。

$$r^4 (X_G - Y_G)^2 - 2r^2 (X_G + Y_G) (1 - E_0^*)^2 - 4r^2 \beta (1 - E_0^*)^2 + (1 - E_0^*)^4 \leq 0 \quad (3-16)$$

上式は

(i) $X_G = Y_G$ のとき

$$\frac{X_G}{Y_G} \geq \frac{1}{4} \alpha^2 - \beta \quad (3-17)$$

(ii) $X_G \neq Y_G$ のとき

$$\alpha^2 + Y_G - 2\alpha \sqrt{Y_G + \beta} \leq X_G \leq \alpha^2 + Y_G + 2\alpha \sqrt{Y_G + \beta} \quad (3-18)$$

となる。但し、 $X_G = (V_B - V_{GX}) / V_0$ 、 $Y_G = (V_B - V_{GY}) / V_0$ 、 $E_0^* = E_0 / E_m$ 、

$$\alpha = (1 - E_0^*) / r \quad (3-19)$$

$$\beta = (V_A - E_m \ell_G) / (1 + \ell_A / \ell_{Le}) V_0 \quad (3-20)$$

$$E_0^* = (V_A - E_m \ell_G) / (\ell_{Le} + \ell_A) E_m \quad (3-21)$$

である。(3-17)、(3-18)より、電源電圧 V_A を与えた時、AND動作、或いはOR動作可能なゲート電圧の範囲を求めることができる。

(a) AND動作

二つのゲートともトリガ入力のない時 ($X = Y = 0$)、ドメインは発生しない (出力 $Z = 0$) ことが必要である。この条件はゲート・バイアスを V_{GB} とすると、

$$V_{GB} / V_0 > V_B / V_0 - \alpha^2 / 4 + \beta \quad (3-22)$$

となる。次に、ゲート-1にのみトリガ入力があるて $V_{GX} = V_{GB} - \Delta V_G$ ($X=1$) となり、ゲート-2は $V_{GY} = V_{GB}$ ($Y=0$) である時、ドメインはやはり発生せず、 $Z=0$ となる条件は、トリガ電圧振幅 ΔV_G に対する条件として、

$$\Delta V_G / V_0 \leq \alpha^2 - 2\alpha \sqrt{\beta + (V_B - V_{GB}) / V_0} \quad (3-23)_1$$

または

$$\Delta V_G / V_0 \geq \alpha^2 + 2\alpha \sqrt{\beta + (V_B - V_{GB}) / V_0} \quad (3-23)_2$$

となる。 $X=0, Y=1$ のとき、 $Z=0$ となる条件も上式と同じである。

次に、両方のゲートに同時にトリガ入力印加され、 $V_{GX} = V_{GY} = V_{GB} - \Delta V_G$ となった時、ドメインの発生する ($Z=1$) 条件は

$$\Delta V_G / V_0 > \alpha^2 / 4 - \beta - (V_B - V_{GB}) / V_0 \quad (3-24)$$

となる。

(b) OR動作

まず、 $V_{GX} = V_{GY} = V_{GB}$ ($X=Y=0$) のとき、 $Z=0$ となる条件として、

$$V_{GB} / V_0 > V_B / V_0 - \alpha^2 / 4 + \beta \quad (3-25)$$

を得る。次に $V_{GX} = V_{GB} - \Delta V_G$, $V_{GY} = V_{GB}$ ($X=1, Y=0$) のとき、 $Z=1$ となる条件は、

$$\alpha^2 - 2\alpha \sqrt{\beta + (V_B - V_{GB}) / V_0} \leq \Delta V_G / V_0 \leq \alpha^2 + 2\alpha \sqrt{\beta + (V_B - V_{GB}) / V_0} \quad (3-26)$$

となる。 $X=0, Y=1$ のとき、 $Z=1$ となる条件も、上式と同じである。次に、 $V_{GX} = V_{GY} = V_{GB} - \Delta V_G$ ($X=Y=1$) のとき、 $Z=1$ となる条件は

$$\Delta V_G / V_0 > \alpha^2 / 4 - \beta - (V_B - V_{GB}) / V_0 \quad (3-27)$$

となる。

(c) 付加条件

以上の条件のほか、AND, OR回路に共通の条件として、次のものが加わる。第1にゲートへトリガ入力のある時、ドメインが確実に成長しうる条件として、 $I > e N_0 \mu_0 E_{sus} \cdot dW = 3 I_{th} / 5$ (I_{th} は閾値電流) が必要であるから、電源電圧は

$$V_A / V_0 > 1/3 \Gamma + 3 \alpha_{SB} (1 + \ell_A / \ell_{Le}) / 5 \quad (3-28)$$

を満たさねばならない。第2にドメインができた時、ゲート接合が導通しない条件として

$$V_{GB}/V_0 < V_B/V_0 + (1-k) \cdot \alpha_{SB} \quad (3-29)$$

が必要である。 α_{SB} は(3-6)に定義されている。

3.4 実 験

まず、ショットキー・ゲート付素子の製作工程を図3.12に示す。パターン形成はすべてAZ1350Jなるフォトリソレジストを用いた光食刻技術に依っている。メサ・エッチの際のエッチング液は $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4:\text{H}_2\text{O}=8:1:1$ 容量比のものを使用した。メサ・エッチに際しては $\langle 100 \rangle$ 面を持つGaAsエピ層に対して、 $\langle 01\bar{1} \rangle$ 方向からみると $\langle 111 \rangle$ A面で囲まれたV字型に、 $\langle 01\bar{1} \rangle$ からみると $\langle 111 \rangle$ A面で囲まれた逆メサ型になるようエッチングされることを考慮して、動作層に対して平行にメサ型となるようパターンを形成している。このような配慮は、メサの段差の部分をつなげるショットキー金属が断線しないようにするために行うものである。オーミック電極用のAuGeの組成比は重量比で $\text{Au}:\text{Ge}=88:12$ である。NiはAuGeのドロップ・レットを防ぐために必要で、AuGeの数%を蒸着している。蒸着は $1\sim 2 \times 10^{-6}$ Torrの真空中で行った。熱処理は 430°C 以上 460°C 以下で約1分間、 N_2 雰囲気中($2\ell/\text{min}$)で行った。素子のマウントは 300°C まで加熱したステムにAgSnの小片をのせ、ペレットを接着する方法で行った。各電極からのリード線は $30\mu\text{m}\phi$ のAu線を用いた。ショットキー電極としてはNi蒸着膜を用いた。

試作した素子の電流-電圧特性を図3.13に示す。本節での実験結果は特に断わらない限り、DCバイアス下でのものである。本素子の大きさは ℓ_{AC} (アノード・カソード間距離) $=80\mu\text{m}$, $\ell_A=40\mu\text{m}$, $\ell_G=7\mu\text{m}$, $d=5\mu\text{m}$, $W=40\mu\text{m}$ であり、 $N_0=5 \times 10^{15}\text{cm}^{-3}$ である。ゲート電圧が正負のどちらでも動作できるのは、ゲート・カソード間の電圧降下分のゲート接合への実効的な逆バイアスとしての効き方が、それ程大きくないためである。ゲート電圧を変化させた時の低アノード電圧での電流変化が殆んどないのは、本素子の「ピンチ・オフ」電圧が大きく、そのようなバイアス条件での相互コンダクタンス g_m が小さいことによる。ショットキー・ゲート付素子の理想特性としては、 V_G によっては、閾値以下での電流値及びドメイン発生時の電流減少率が変わらず、単に閾値のみが異なるものがよい。図3.13は理想特性からずれた特性となっているので、素子パラメータの最適化についての検討が必要である。

図3.14は本素子のゲート・トリガ実験の一例である。2種のゲート・トリガ入力(上段)に

対する出力電流波形（下段）を示す。電流は素子のカソード側に接続した入力抵抗 50Ω のサンプリング・オシロスコープ（帯域 1.24GHz ，立ち上がり 28ps ）で観測した。トリガ入力電圧の観測も同じ装置を用いて行った。パルス回路は 50Ω 系で構成されている。トリガ入力パルスの幅が短い左側の図の場合は，単発トリガ動作となっており，出力パルス幅 $T_W = 0.4\text{ns}$ は， ℓ_A なる距離を 10^7cm/s でドメインが走行するのに要する遅れ時間に相当すると解釈できる。トリガ入力パルス幅が T_W より大きく， $2T_W$ より小さい右側の図の場合は，2回のドメイン発生が確認される。何回ドメイン発生がくり返されるかはトリガ入力パルス幅に依存するので，この性質を利用すると，本素子を AD 変換装置として用いることができる。本トリガ・モードでのバイアス条件は $V_A = 2.7\text{V}$ ， $V_G = 8.5\text{V}$ である。

この素子の各ゲート電圧 V_G に対する発振開始電源電圧 V_A を測定した結果を図 3.15 の実線（データは×印）で示す。また，3.3.1節で述べた理論式（3-5）からの計算結果を点線で示す。閾値電界は図 3.13 のデータを基に $E_m = 4\text{kV/cm}$ とした。このとき， $\alpha_{SB} = 0.160$ ， $U_D(\text{sat}) = 0.030$ ， $\Gamma = 1.13$ ， $\ell_{Le} = 38\mu\text{m}$ となる。実験と理論とはよく一致しており，前節の解析法が有効であることを裏付けている。また（3-9）の条件は， $V_G/V_0 > -0.022$ ，（3-10）は $V_G/V_0 < 0.09$ （本実験では $V_T = V_{GB} = V_G$ ゆえ）となるが，これら V_G の下限及び上限値は実験値とほぼ一致する。但し， $V_0 = 9.5\text{V}$ ， $V_B = 0.8\text{V}$ である。

ショットキー・ゲート付ガン素子を実用化するに当たって問題となるのは DC バイアス印加時の素子の特性が，パルス・バイアス印加時のそれとは異なる場合が多いことである。^{(25),(77)} 図 3.16 は $N_0 = 6 \times 10^{15}\text{cm}^{-3}$ ， $d = 3\mu\text{m}$ ， $\ell_{AC} = 80\mu\text{m}$ ， $W = 40\mu\text{m}$ ， $\ell_A = 70\mu\text{m}$ ， $\ell_G = 6\mu\text{m}$ の素子について電流－電圧特性を測定したものであり，上図がパルス・バイアス，下図が DC バイアス印加時の特性である。この両者の特性を比較してわかることは次の通りである。

- ① 各ゲート電圧に対する閾値電流はパルス・バイアスの方が DC バイアスより大きい。
- ② 各ゲート電圧に対する閾値電圧はパルス・バイアスの方が DC バイアスより小さい。
- ③ ドメイン生成に伴う電流減少率はパルス・バイアスの方が大きい。
- ④ 各ゲート電圧に対する低電界抵抗は，パルス・バイアスの方が DC バイアスより小さい。

上記の実情を反映して，素子をトリガ動作させる場合の条件もパルス・バイアスと DC バイアスとで異なる。図 3.17 はほぼ同じ条件でゲート・トリガを行った時の入力電圧（上段）及び出力電流（下段）を示す。図の左側が DC バイアス，右側がパルス・バイアスの時の結果である。バイアス条件は DC の場合， $V_A = 2.6\text{V}$ ， $V_{GB} = 4\text{V}$ である。図からわかるように， DC バイアスにすると，パルス・バイアス時よりもトリガ電圧 ΔV_G を大きくしなければドメインをトリガできない。即ち， DC バイアス下ではトリガ感度が低下する。また出力電流振幅もパルス・バイアス

時よりも小さくなり、同一の負荷抵抗を用いた時の電圧利得が低下する。このように、パルス・バイアス下では正常な動作を示す素子でも、 DC バイアスを印加すると著しい特性の劣化が観測される。極端な場合には、 DC バイアス下ではガン発振を示さないこともある。以上の現象はショットキー・ゲート付ガン素子のみならず、半絶縁性 GaAs 基板上に形成したプレーナ素子に共通にみられるものである。⁽⁸⁴⁾その原因としては、基板とエピ層の界面に存在するトラップ準位に捕捉されたキャリアによる空間電荷蓄積効果が考えられる。^{(25),(48),(49),(53)-(55),(85)-(88)}それを避けるために、基板とエピ層の間にバッファ層を成長させることが試みられ、ある程度の成功を収めている。⁽⁸⁹⁾しかし、現時点では完全に解決されているとは言えない。本研究の趣旨はガン効果素子の基本動作特性の解明という点にあるので、第4章以降の実験は殆んどすべてをパルス・バイアス下で行っている。だが、 DC バイアス下での動作も可能なものがあることを示す例として、本節では DC バイアス下の素子の動作実験を取り上げている。本素子のトリガ入力に対する信号出力の遅れ時間は最小で約 100 ps であり、 DC バイアス下でも素子の高速性は保たれている。⁽⁸⁰⁾

次に2入力ゲート素子の動作実験について述べる。⁽⁸⁰⁾試作した素子は図3.18に示すようにカソードのすぐ前方に四つのショットキー・ゲートを設けたものであり、このうちのアノード側に近い二つに X, Y 入力を印加して動作させた。素子定数は、 $N_0 = 6 \times 10^{15} \text{ cm}^{-3}$, $d \simeq 3.5 \mu\text{m}$, $\ell_{AC} = 100 \mu\text{m}$, $W = 60 \mu\text{m}$, $\ell_A = 67 \mu\text{m}$ (X, Y 入力用ゲートとアノードとの距離), $\ell_G = 8 \mu\text{m}$ (4本とも), $\mu_0 \simeq 6000 \text{ cm}^2/\text{V} \cdot \text{s}$ である。

図3.19(a)はAND動作例である。バイアス条件は $V_A = 3.35 \text{ V}$, $V_{GB} = 6.7 \text{ V}$ である。 X 又は Y 入力として、 $\Delta V_G \simeq 1 \text{ V}$ が、いずれか一方のゲートにのみ印加された時にはドメインはできず、素子電流の減少はない。 X, Y に同時に $\Delta V_G \simeq 1 \text{ V}$ が印加された時にのみドメインが発生し、電流の減少がみられる。即ち、本例はAND動作を呈している。この時の条件 $V_0 = 5.6 \text{ V}$, $\ell_{Le} = 31 \mu\text{m}$, $V_B = 0.8 \text{ V}$, $E_m = 4 \text{ kV/cm}$ を用いて計算すると (3-19) より $\alpha = 0.53$, (3-20) より $\beta = 0.17$ を得る。従って $k \simeq 0.3$ ゆえ、AND動作可能な条件として (3-22), (3-29) より $6.4 \text{ V} < V_{GB} < 9.5 \text{ V}$, (3-28)より $V_A > 2.7 \text{ V}$, (3-23), (3-24) より $\Delta V_G > 0.5 \text{ V}$ を得る。本実験でのバイアス条件、トリガ振幅は共に理論の予想範囲内にあり、3.3.2節で述べた設計モデルの正当性が確かめられた。

図3.19(b)はOR動作の例である。用いた素子はANDの場合と同じで、バイアス条件は $V_A = 3.5 \text{ V}$, $V_{GB} = 6.7 \text{ V}$, トリガ振幅 $\Delta V_G \simeq 1 \text{ V}$ である。 X 又は Y 入力のどちらか一方に入力のあった時及び同時に入力のあった時にドメインが発生して電流が減少しており、OR動作となっていることがわかる。この場合のOR動作可能な条件は、 $E_m = 4.3 \text{ kV/cm}$ として $\alpha = 0.58$, $\beta = 0.18$ ゆえ、(3-25), (3-29)より $6.0 \text{ V} < V_{GB} < 10 \text{ V}$, (3-26), (3-27)より $0.73 \text{ V} \leq \Delta V_G \leq 5.5 \text{ V}$

(3-28)より $V_A > 2.9V$ となるが、実験値はすべてそれらの条件を満たしており、3.3.2節でのOR回路の設計も妥当なものであると考えられる。閾値電界の値をAND回路の場合に比べて若干大きくしたのは、OR回路では1ゲートへの入力のみでドメインをトリガせねばならないから、トリガ振幅に対する要求がより厳しくなることを考慮したものである。

図3.19(c)はINHIBITION動作の例である。X入力ゲートのバイアスをトリガ入力のない時に $V_{GB} - \Delta V_G$ の値にしておくと、Y入力ゲートへトリガ入力 $-\Delta V_G$ があった時にドメインができる。ところがX入力ゲートに正の入力 ΔV_G がY入力と同時に印加されると、ドメインはトリガされない。X入力ゲートへは極性反転回路等を通してY入力ゲートへ加わるトリガ信号とは逆極性の信号が印加されるようになっていけるとすると、出力が $Z=1$ （ドメイン生成）となるのはX入力がないで、Y入力のある時のみであり、 $Z = \sim X \cdot Y$ なる演算が遂行される。この場合の素子の動作条件はOR動作の場合とほぼ同じである。

以上で2入力ゲート回路において、AND、OR、INHIBITIONの各演算が可能であることが実験により確認され、それらの動作を行わせるためのバイアス条件等が理論的に求められることが明らかとなった。

3.5 結 論

ガン効果論理素子の基本構造の一つである、ショットキー・ゲート付ガン効果素子の基本動作についての知見を得る為、2次元モデルによる計算機解析を行った。その結果、本素子でのドメインの大きさや成長速度、素子電流の減少率等は素子定数のみならず、動作時のアノード及びゲート・バイアスの大きさによって変化することがわかった。

また、バイアス印加直後に電流集中のため、アノード端が高電界となり、ドメイン成長時間より短い時間でバイアスを変化させると、ゲート及びアノードの両方で同時にドメインが形成され、複雑な様相を呈することがわかった。しかし、電流集中の効果は連続動作時の大きいバイアス下で大きく、トリガ・モードで動作させる場合には、殆んど悪影響を及ぼさないことが判明した。トリガ動作の解析からわかったことは、ゲート下でのドメイン形成において、ゲート下空乏層の広がりによって閉め出された余剰キャリアがドメインの核となること、素子長の短いものはトリガ・モードで動作させうるバイアスの範囲が著しく狭いこと、かつ、電流減少率も小さいことなどである。

本素子を用いた単ゲート回路及び2入力ゲート構造素子のAND、OR回路に対するバイアス

条件とトリガ電圧振幅の大きさを予想するために FET 理論を適用して簡単な理論解析を行った。その結果は、実験により得たものと矛盾せず、解析法の正当性が確認された。素子の動作は DC バイアス下とパルス・バイアス下では異なり、一般に DC バイアス下の動作特性はパルス・バイアス下のそれに比べて劣化する傾向にある。しかし、 DC バイアス下でもガン素子自体の高速性は保証され、論理動作は正常に行い得ることを実験的に確認した。

本素子で、むしろ問題となるのは素子長を短くした時の論理回路としての性能劣化である。計算機解析で明らかになったように、素子長が $20\mu\text{m}$ 前後にまで縮小された時には、本素子はきわめて使いづらいものとなる。この問題は素子定数の最適化によっては解決できず、超高速繰り返し動作回路としては、次章で述べる FET トリガ方式を用いるガン効果論理回路を考えた方がよい。

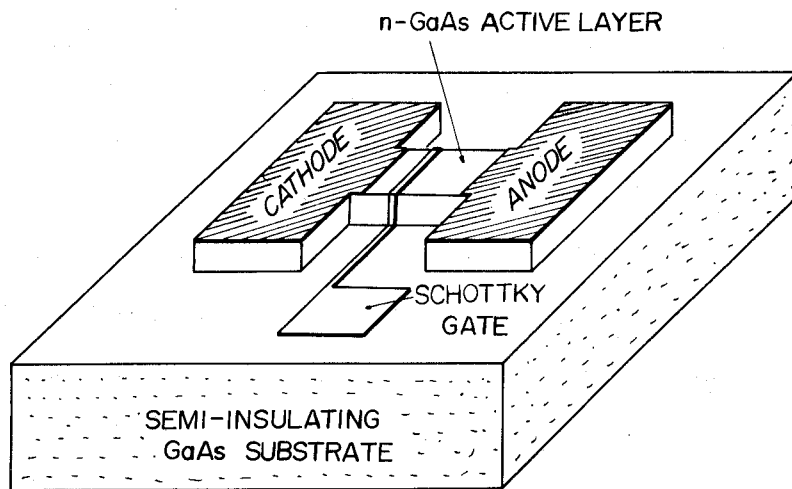


図 3.1 ショットキー・ゲート付ガン効果素子

PLANAR SCHOTTKY-GATE DEVICE

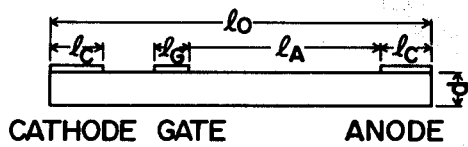
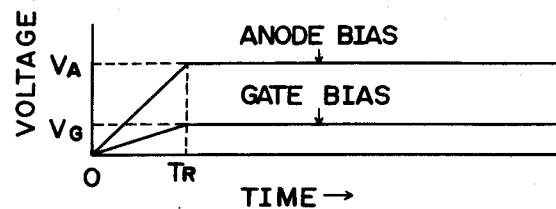


図 3.2 ショットキー・ゲート付素子の計算機解析モデル

TIME SEQUENCE OF APPLIED BIASES

◎ CONTINUOUS OPERATION



◎ TRIGGERED OPERATION

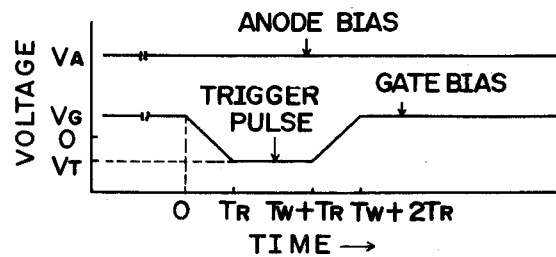


図 3.3 計算機解析におけるバイアス印加パターン

表 3.1 各モデルの大きさ

Model	l_0 (μm)	l_A (μm)	l_G (μm)	d (μm)
SL-1	24	12.0	2.4	6
SL-2	36	21.2	3.2	4
SL-3	36	21.2	3.2	4
SL-4	36	21.2	3.2	4
SL-5	36	21.2	3.2	4
SL-6	36	24.0	2.4	4
SL-7	36	24.8	1.6	4
SL-8	24	12.0	2.4	6
SL-9	24	12.0	2.4	6
SL-10	24	12.0	2.4	6
SL-11	36	23.6	0.8	4

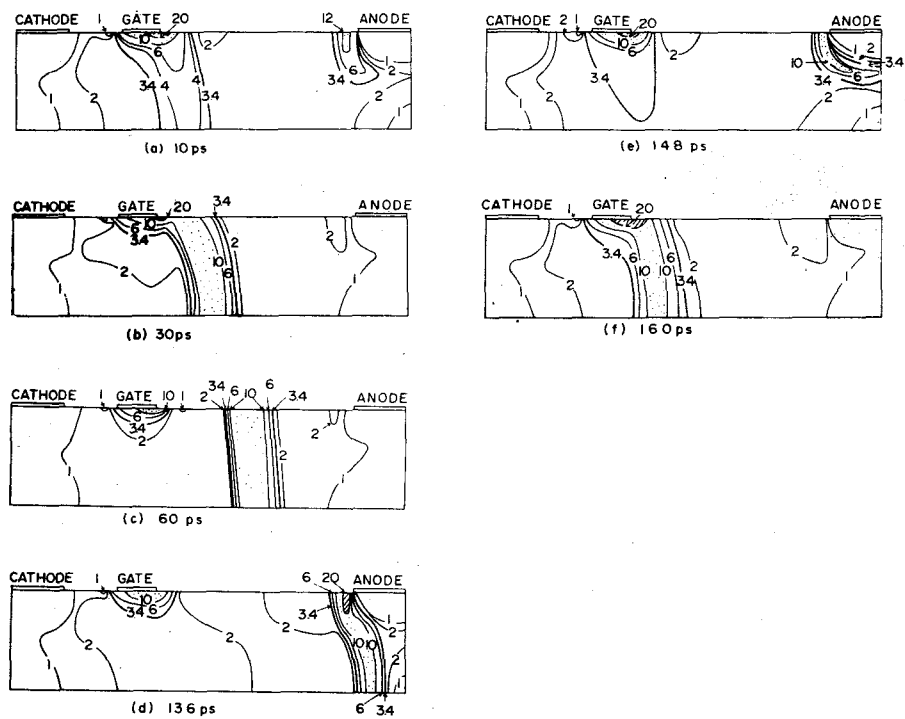


図 3.4 ショットキー・ゲート付素子の連続動作 (SL-1)

[$V_A = 6\text{ V}$, $V_G = 0\text{ V}$, $T_R = 2\text{ PS}$]

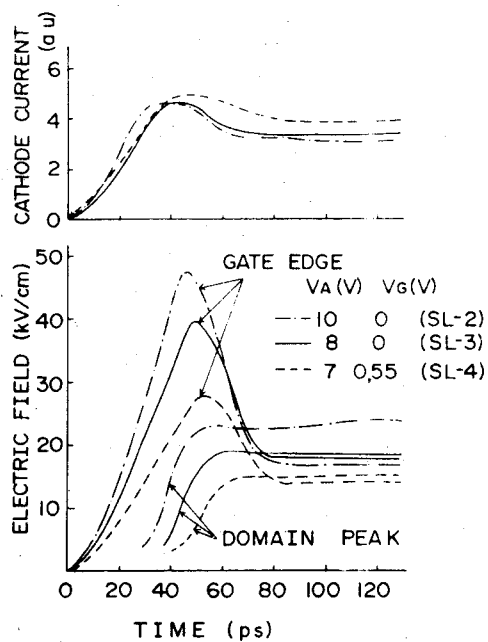


図 3.5 素子動作のアノード電圧依存性
〔 $T_R = 40$ PS〕

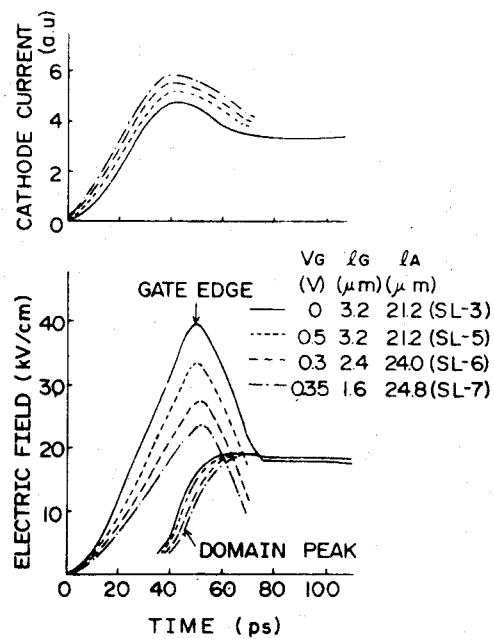


図 3.6 素子動作のゲート定数依存性
〔 $V_A = 8$ V, $T_R = 40$ PS〕

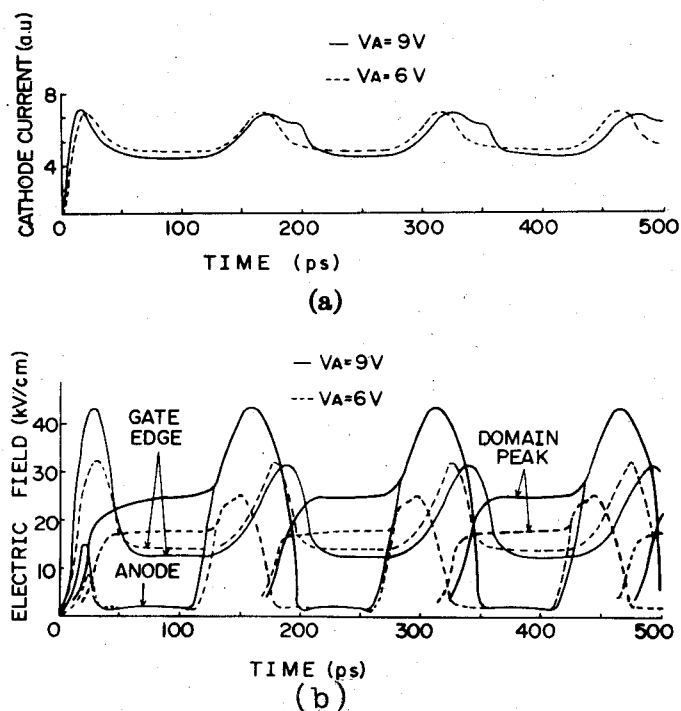


図 3.7 連続動作特性
(実線: SL-9, 点線: SL-8)
〔 $V_G = 0$ V, $T_R = 20$ PS〕

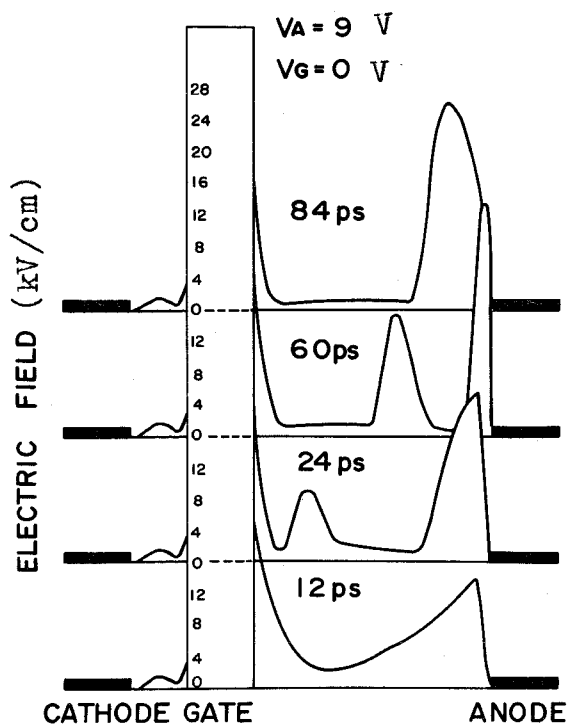


図 3.8 速い立ち上がりパルスに対する応答 (SL-10)
[$T_R = 2 \text{ PS}$]

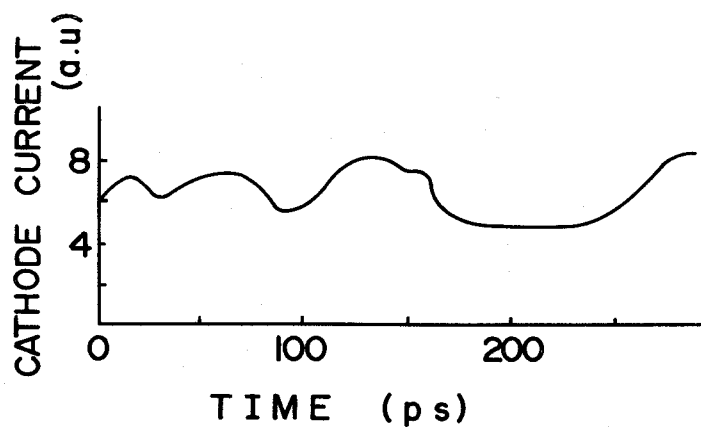


図 3.9 速い立ち上がりパルス印加時の素子電流 (SL-10)

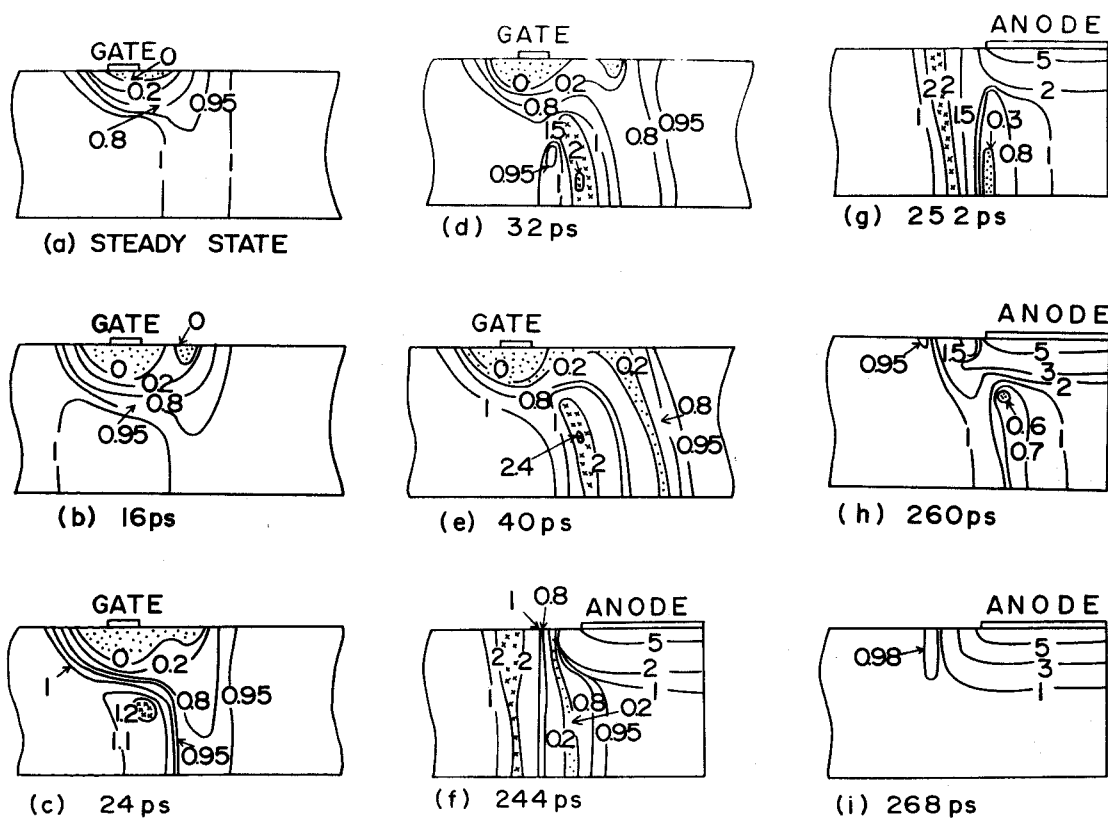


図 3.10 トリガ動作におけるドメイン生成と消滅 (SL-11)

[$V_A = 6.5 \text{ V}$, $V_G = 0.5 \text{ V}$, $T_R = 10 \text{ PS}$, $V_T = -1 \text{ V}$, $T_W = 30 \text{ PS}$]

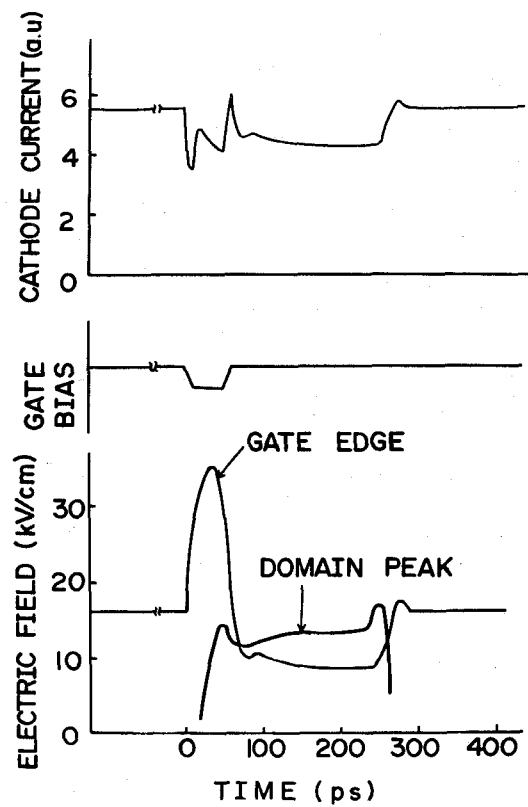


図 3.11 トリガ動作特性 (SL-11)

Fabrication Process of Planar Gunn Device

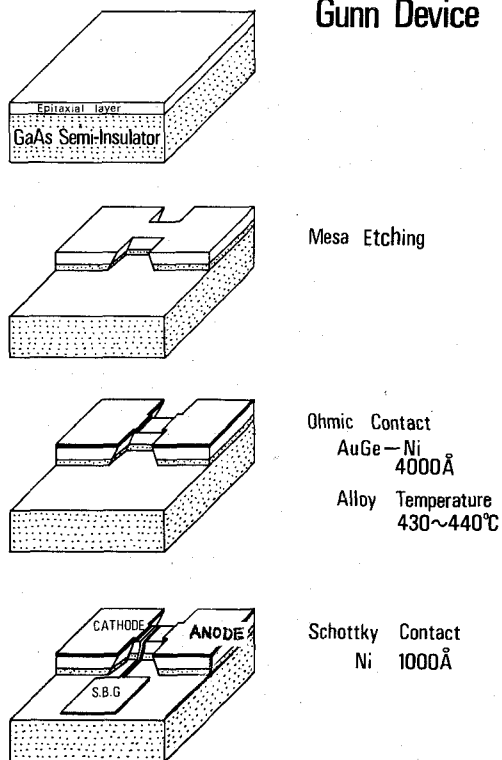


図 3.12 ショットキー・ゲート付素子の製造プロセス (一例)

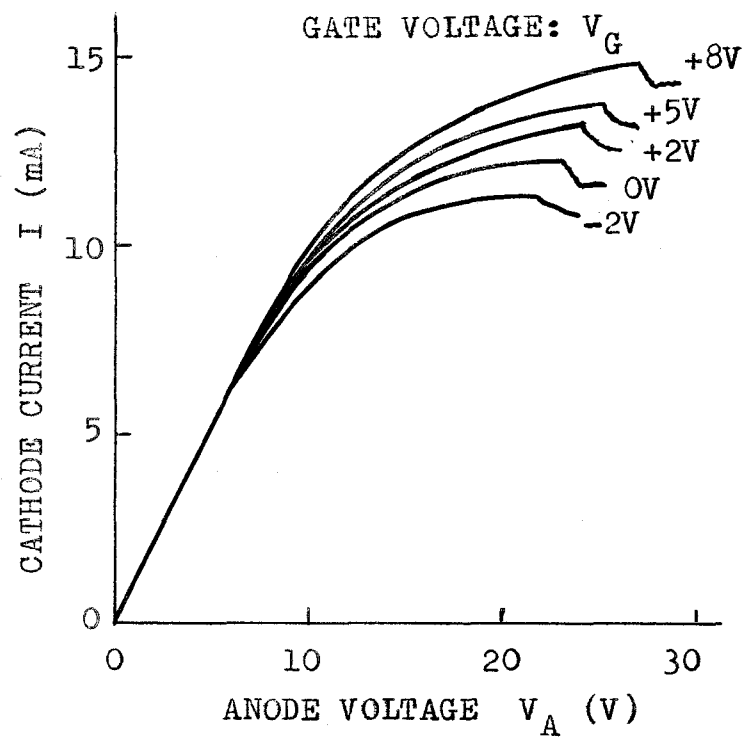


図 3.13 ショットキー・ゲート付素子の電流－電圧特性

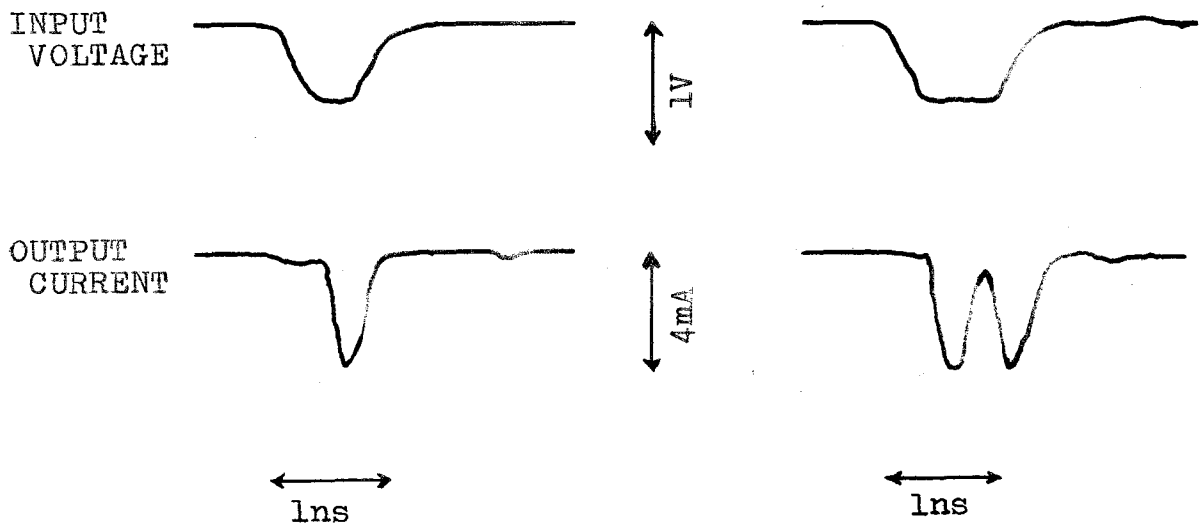


図 3.14 ショットキー・ゲートによるトリガ動作

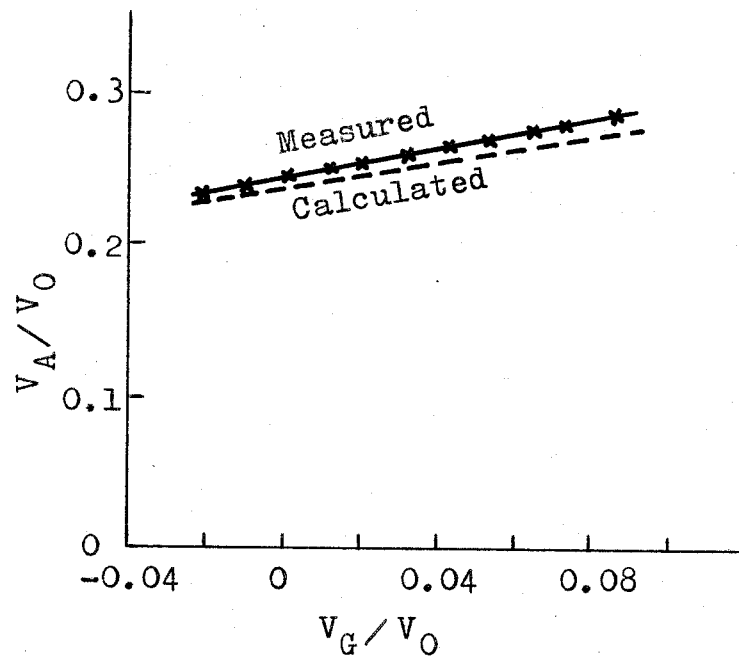


図 3.15 発振開始電圧の実測値と計算値との比較

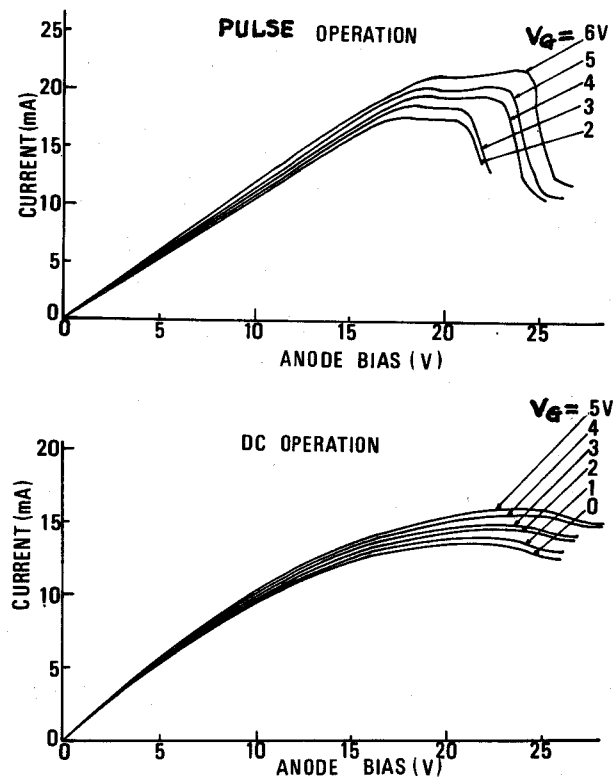


図 3.16 パルス・バイアスと D C バイアスとの静特性の比較

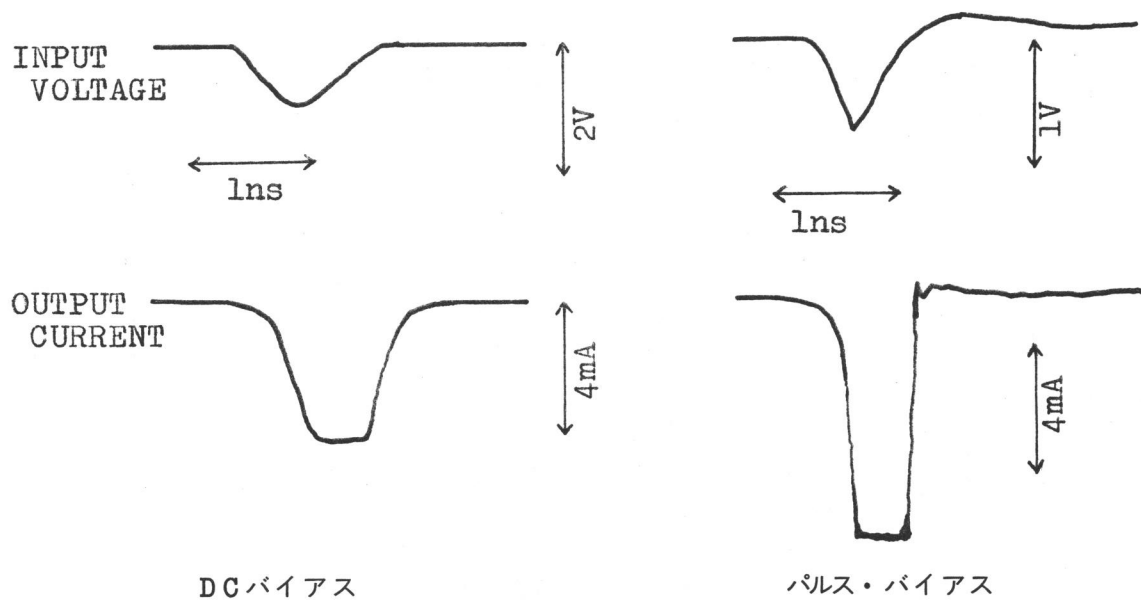


図 3.17 パルス・バイアスと DC バイアスとのトリガ動作特性の比較

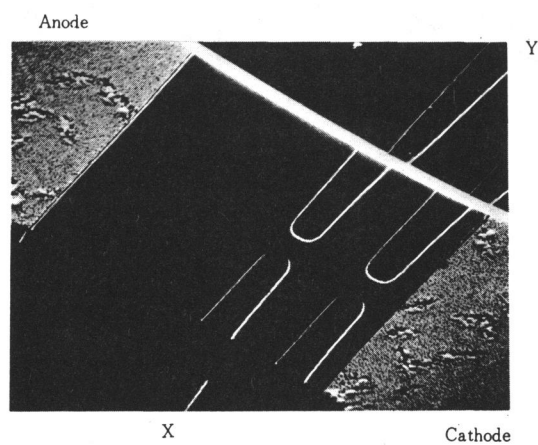
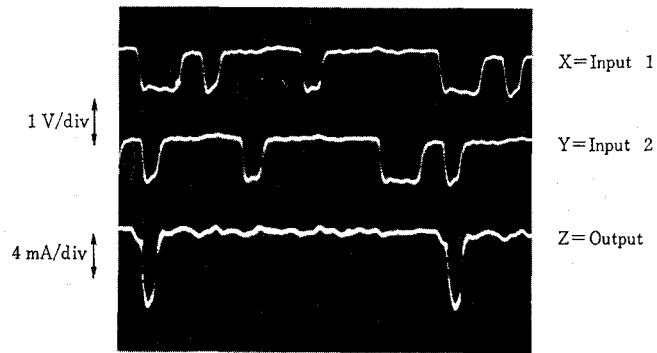
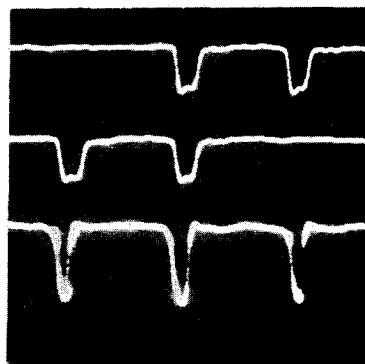


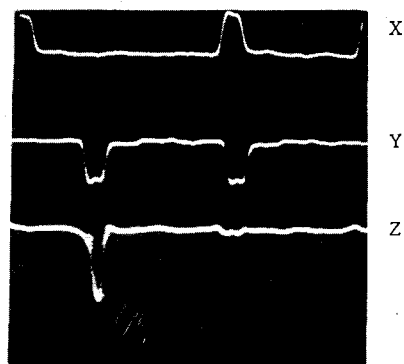
図 3.18 多入力ゲート素子 (4 入力の場合)



(a) AND 2ns/div



(b) OR



(c) INHIBITION

図 3.19 2 入力ゲート素子の動作

第4章 FET トリガ方式を用いるガン効果論理素子

第4章 FETトリガ方式を用いるガン効果論理素子

4.1 序 論

入出力の信号分離が可能なガン効果論理素子の具体的構造として、ショットキー・ゲート付ガン効果素子があることは、既に前章で述べた。この構造は素子の製作の容易さが長所であり、素子長が長く、動作周波数が1 GHz以下の信号処理では重宝されるが、消費電力の減少と高速くり返し動作を目指して素子長を短くした場合に問題が生じる。それは、その素子の動作原理からして、ゲート長が素子長に比べて十分小さいことが要求されるが、素子製作上の制限から、短い素子長に見合うだけの細いゲートを作ることが難しくなるからである。また、出力電圧を取り出すために、素子のカソード側にガン素子よりも広い面積を占め、ガン素子の低電界抵抗と同程度の大きさの負荷抵抗を設けるので、高集積化と低消費電力化の障害となり、動作速度も改善されにくい。以上の問題は、消費電力と素子のプレーナ形状に由来する2次元効果を小さくしようとして素子の厚みを薄くした場合により顕著となる。

上記の欠点を解消する方法として、MauseらによりFETトリガ方式を用いるガン効果素子が提案された。⁽³⁷⁾⁻⁽³⁹⁾ この方式はMESFET(ショットキー障壁ゲートFET)をガン素子に直列に接続し、そのFETのゲートに正のトリガ電圧を印加してガン素子を通る電流を閾値以上に持ち上げることににより、ドメインを発生させようとするものである。この構造は、電流を制御する部分がガン素子の能動領域とは空間的に分離されるものであるから、ショットキー・ゲート付ガン素子のようにオフセット電圧に対する制限が厳しくなく、短いガン素子に対しても有効に機能しうる。この方式の基本理念は、ガン素子中にドメインをトリガするか否かの論理をMESFETで取らせ、ガン素子は信号増幅及び出力波形の整形を行うために導入するというものである。このように、FETの入出力分離機能と、ガン素子の閾値作用を統合することで、ユニークな論理回路が構成できる。

本方式を用いる論理回路については、Mauseらによる単ゲート回路の実験的研究⁽³⁷⁾⁻⁽³⁹⁾ 以外には、詳しい研究成果の発表はない。^{(90),(91)} そこで本章では本方式を用いる回路の設計法、論理回路の構成法、およびその動作実験について述べる。⁽⁹²⁾⁻⁽⁹⁶⁾

4.2 MESFET の選択

FET トリガ方式を用いる論理素子に組み込む $MESFET$ を正しく選ぶことが、本方式を魅力あるものにする上で大切である。そのためには、短チャネル $MESFET$ の素子電流や応答速度などの特性と、素子定数との相関を明らかにすることが必要である。ここでは筆者が行った $MESFET$ の動作解析法^{(97),(98)}の研究成果を踏まえて、本方式に有用な $MESFET$ の性格について述べる。

図4.1は本方式を用いる論理素子の最も簡単な実施例として、単ゲート回路を示している。この回路はプレーナ型ガン・ダイオードに $MESFET$ が隣接して設けられ、ガン・ダイオード側をアースにして、 $MESFET$ を通して正の極性を有する電源電圧が印加されている。⁽⁹²⁾ガン・ダイオードのアノードと FET のソースとは同一電極となっている。信号入力は FET のゲートに印加され、出力はソース及びアノードの共通電極から取り出す。素子の断面図（上の図）を見ればわかるように、ショットキー・ゲート付ガン効果素子との構造上の違いは、ゲートとオーミック電極間に、もう一つのオーミック電極が付加されていること、及び FET の動作領域の横幅が、ガン・ダイオードのそれよりも広いことである。図の回路の動作を、ガン素子と FET の電流－電圧特性を同時に示した図（下の右側の図）で説明する。トリガ入力のないオフセット状態においては FET のゲート・ソース間印加電圧 V_{GS} が V_{G1} になっており、ガン素子の電流－電圧特性と $V_{GS}=V_{G1}$ での FET の飽和電流を示す線との交点 P が動作点となっている。この状態では、ガン素子は閾値以下にバイアスされており、ドメインの発生はなく、出力電圧としては低いレベルにある。次いで、 $\Delta V_G = V_{G2} - V_{G1}$ なる実効振幅をもつ正のトリガ入力ゲートに印加されると、 $V_{GS}=V_{G2}$ となって動作点は Q 点に移動するため、ガン素子が閾値以上にバイアスされてドメインが発生し、出力電圧は高いレベルに移る。かくして出力電圧は入力の有無によって二つのレベルを取ることであり、これを2値論理の「0」および「1」の状態に対応させてデジタル論理回路とする。動作説明図からわかるように、 FET でガン・ドメインの生成を制御しうるのは、 FET の最大電流 I_{DSS} が、ガン素子の閾値電流 I_{th} よりも大きくなければならない。この要請を満たすための最も簡単な方法は、ガン素子よりも FET の横幅を広くすることである。 I_{DSS} の正確な値を知るには FET の詳しい解析が必要となる。

図4.2は筆者が提案した $MESFET$ の動作解析法⁽⁹⁷⁾を用いて、飽和電流 $I_{DS(sat)}$ を、ゲート長 ℓ_{GO} をパラメータとし、ゲート電圧 V_{GS} の関数として計算した結果を示したものである。 V_B は拡散電位、 $V_0 = eN_0 d F^2 / 2\epsilon$ 、 $I_M = eN_0 v_m d_F W_F$ 、 N_0 は FET の能動領域のドーピング

密度, d_F, W_F はそれぞれ FET の素子の厚さと横幅, v_m はキャリアの速度-電界特性におけるピーク速度である。計算に用いたパラメータの値は $N_0 = 8 \times 10^{15} \text{ cm}^{-3}$, $d_F = 1 \mu\text{m}$, $V_0 = 6.05 \text{ V}$, $I_M / W_F = 1.86 \text{ A/cm}$, $\mu_0 = 5,000 \text{ cm}^2/\text{V} \cdot \text{s}$, $v_m = 1.45 \times 10^7 \text{ cm/s}$, E_m (閾値電界) $= 3.75 \text{ kV/cm}$ である。図にはゲート長 ℓ_{GO} が $1 \mu\text{m}$, $2 \mu\text{m}$, $4 \mu\text{m}$ および $10 \mu\text{m}$ の場合の結果を示している。 $V_B - V_{GS} = 0$ のときの $I_{DS}(\text{sat})$ が I_{DSS} である。ゲート長が $1 \mu\text{m}$ から $10 \mu\text{m}$ までは 10 倍変わっても飽和電流の値は $1/2$ にしかならず, $I_{DS}(\text{sat})$ の ℓ_{GO} 依存性は大きくはない。 $I_{DS}(\text{sat})$ を決める因子としては, むしろ d_F の方が重要である。たとえば $\ell_{GO} = 2 \mu\text{m}$ のとき, d_F が $1 \mu\text{m}$ から $1.5 \mu\text{m}$ へ変化すると, I_{DSS} は $W_F = 1 \text{ cm}$ として, 1.43 A から 2.41 A へ変わる。 ℓ_{GO} をいくらに設定するかはガン素子の長さ ℓ_{AC} や電源電圧を加味して決定されるが, d_F の方はガン素子の特性との兼ね合いで決まる。他の制約を考えないとすれば, ゲート長は短い程, 電流が大きくとれ, 相互コンダクタンス g_m も大きいので, トリガ感度の面で有利であると言える。

図 4.3 は, ガン素子と FET との素子電流の相互関係が d_F を変えたときにどのように変わるかを調べた実験結果である。⁽⁹²⁾ 本実験では N_0 も変化しているので, $N_0 d_F$ をパラメータとして, (a), (b), (c) の三つの場合の結果を示した。各図において左側が FET の電流-電圧特性, 右側がガン素子の電流-電圧特性である。ガン素子は素子長 $\ell_{AC} = 50 \mu\text{m}$, 幅 $W_G = 40 \mu\text{m}$ であり, FET はゲート長 $\ell_{GO} = 1.7 \mu\text{m}$, ソース・ゲート間距離 $\ell_{SG} = 3 \mu\text{m}$, ゲート・ドレイン間距離 $\ell_{DG} = 3 \mu\text{m}$, 幅 $W_F = 80 \mu\text{m}$ である。また, $d_F \simeq d_G$ (ガン素子の厚さ) である。ガン素子の能動領域のドーピング密度も N_0 に等しい。図の(a)の場合には, ガン素子は閾値電圧以下での電流-電圧特性の線形性が良く, かつガン発振時の電流減少率も 50% あって, 申し分ない特性を有している。しかし, FET の方がゲート電圧 V_{GS} の小さい値で SNR (負微分抵抗) を示し, 電流飽和特性を示さない。また, ガン素子の閾値電流に相当する飽和電流を与えるには $V_{GS} \simeq -2.5 \text{ V}$ と, ゲートに印加する逆バイアスを大きくしなければならない。また, 動作電流が大きいため消費電力が大きくなり, 集積回路には向かない。図の(c)の場合には FET は良好な飽和特性を示し, ゲート電圧 V_{GS} も -2 V 程度でよく, 動作電流も小さい。しかし, ガン素子の発振特性が良くなく, 電流減少率が 20% しかないため出力電圧の変化分が小さい。これは, ガン素子における電流減少率 ⁽⁶⁴⁾ が 40% 以上あるために必要な条件 $N_0 d_G \geq 10^{12} \text{ cm}^{-2}$ を満たしていないためであろう。図の(b)の場合には, (a)と(c)の中間の特性を示し, ガン素子, FET とも妥当なものと思われる。 FET は $V_{GS} = 0 \text{ V}$ で SNR がみられるが, 動作時のゲート電圧 $V_{GS} = -5 \text{ V}$ においては良好な電流飽和特性を示すので, 問題は起こらないと考えてよい。結局, 本例においては $N_0 d_F \simeq 10^{12} \text{ cm}^{-2}$ とするのが良いという結論になる。もっとも, これは一般論としての話であって, 特殊な用途には

この最適条件から作為的にずらした状態で使用する場合もあり得る。各 d_F の値は(a)で $2.7 \mu\text{m}$, (b)で $2.2 \mu\text{m}$, (c)で $1.7 \mu\text{m}$ と見積られる。この例のように, FET の特性に SNR が生じるのは $\ell_{GO} < d_F$ の場合であると判断され, 素子の安定動作上, そのような条件はできるだけ避けた方が無難である。

FET を選ぶ際に, もう一つ注意すべきことは, 高周波応答特性の良いものを選ぶということである。 FET トリガ方式を用いる回路では, FET とガン素子とは一体となっているから FET の応答速度が遅いと, ガン素子の高速性を減殺してしまうからである。筆者が提案した方法⁽⁹⁹⁾に従って小信号等価回路の定数を求め, FET の高周波性能を表わす遮断周波数 f_T を求めてみよう。図 4.4 は FET の電流-電圧特性の解析結果の一例である。仮定したパラメータの値は, $\ell_{GO} = 1.7 \mu\text{m}$, $\ell_{DG} = \ell_{SG} = 3 \mu\text{m}$, $W_F = 100 \mu\text{m}$, $d_F = 0.9 \mu\text{m}$, $V_B = 0.75 \text{V}$, ソース及びドレイン電極のコンタクト抵抗 $R_{CS} = R_{CD} = 50 \Omega$, $N_0 = 10^{16} \text{cm}^{-3}$ である。キャリアの速度-電界特性は (2-3) を用い, $\mu_0 = 6,000 \text{cm}^2/\text{V}\cdot\text{s}$, $v_s = 10^7 \text{cm/s}$, $E_0 = 4 \text{kV/cm}$ とした。このとき $v_m = 1.71 \times 10^7 \text{cm/s}$, $E_m = 3.79 \text{kV/cm}$ となる。本例の FET は短チャネル素子としての特徴を備え, 電流飽和特性が良好である。この FET のソース接地小信号等価回路は図 4.5 のように表わされ,⁽⁹⁹⁾ 図 4.6 に $V_{GS} = -1 \text{V}$ のときの各定数のドレイン電圧 V_{DS} 依存性を示す。図より, $C_{gs} \gg C_{dg}$, C_{dc} で $(r_C + r_s)g_{m0} \ll 1$ であるから, $f_T \simeq g_{m0}/2\pi C_{gs}$ となり, f_T は g_{m0} に比例し, C_{gs} に逆比例する。それゆえ, ゲート長 ℓ_{GO} を短くして C_{gs}/g_{m0} を小さくすることが高周波性能を向上させるのに役立つ。 f_T の V_{GS} 依存性を図 4.7 に示す。この図からわかるように, $(V_B - V_{GS})/V_0 \leq 0.5$ では $|V_{GS}|$ が大きくなっても f_T の低下は無視できるが, $|V_{GS}|$ をその範囲以上に大きくすると f_T の低下が目立ってくる。 f_T の値自体はその範囲内で使用すれば 6GHz 以上あって当面の要請は満足しうる。なお図 4.6 (b) からわかるように, 電流飽和領域では g_{m0} も C_{gs} も V_{DS} には殆んど依存せず一定とみなせるが, 電流非飽和領域では V_{DS} が減少するにつれて g_{m0} が減少し, かつ C_{gs} が増加するので f_T は急激に小さくなる。この事実より, FET での信号遅れ時間を短くする必要のある回路では FET を電流飽和領域にバイアスするのが望ましいと言える。

以上述べてきた数値解析から得られた結果の信頼性を確かめるために FET 単体についての特性を実験によって調べてみた。表 4.1 はゲート長 ℓ_{GO} が $2 \mu\text{m}$, $4 \mu\text{m}$, $10 \mu\text{m}$ の三つの FET について, 電流-電圧特性から求めた g_m ($=g_{m0}$) と, キャパシタンス・ブリッジを用いて測定したゲート・ソース間容量 C_{gs} の値を示す。測定条件は $V_{DS} = 4 \sim 6 \text{V}$, $V_{GS} = -1 \sim -2 \text{V}$ で $N_0 \simeq 10^{16} \text{cm}^{-3}$, $d_F \simeq 1 \sim 2 \mu\text{m}$ である。この実験結果は ℓ_{GO} が短い程 g_m が大きく, C_{gs} が小さい, 従って $f_T = g_m/2\pi C_{gs}$ が大きいということを示しており, 前記の推測が正しいことを実証している。

また、 $\ell_{G0}=2\mu\text{m}$ の f_T は4GHzとなっており、図4.7に示した $\ell_{G0}=1.7\mu\text{m}$ の場合の $f_T=6\text{GHz}$ ($V_{DS}=3\text{V}$ のとき)に近い。

次に、 FET における信号遅れを求める実験を行った。^{(92),(93)} 図4.8はその測定回路であり、50Ωのパルス回路に素子をマウントしている。 FET のゲートに、 $V_{GS}=0\text{V}$ から $V_{GS}=-2\text{V}$ へ変化するパルス電圧を印加し、このパルス入力50%立ち下がり点に対するドレイン電圧変化分の50%立ち上がり点の遅れを、遅れ時間 τ_d とした。

図4.9は $\ell_{G0}=10\mu\text{m}$ の FET （後節で述べる $E_X \cdot OR$ の実験に用いたのと同じ形状のもの）について、 τ_d の V_{DS} 依存性を示す。使用した素子の電流-電圧特性は図の中に示されている。 $V_{DS}<7\text{V}$ の電流非飽和領域では、 τ_d は V_{DS} の上昇と共に速やかに減少している。これには空乏層の伸びの増加による C_{gs} の減少もさることながら、 g_m が大きくなってゲート容量充電の時定数 C_{gs}/g_m が小さくなった効果が良く効いていることが図の電流-電圧特性からわかる。 $V_{DS}>7\text{V}$ の電流飽和領域では g_m の増大がなくなり、 τ_d の V_{DS} 依存性も小さくなる。そのため $\tau_d \simeq 50\text{ps}$ に収束する傾向がみられる。この結果から明らかなように、 FET 自体の遅れを小さくするためには、 FET を電流飽和領域にバイアスして使うことが必要となる。なお、同様な実験を $\ell_{G0} \simeq 2\mu\text{m}$ の FET を用いて行ったところ、電流飽和領域にバイアスした状態で $\tau_d \simeq 25\text{ps}$ を得た。この値は $\ell_{G0}=10\mu\text{m}$ の素子での最小値の約半分となっており、ゲート長を短くした効果がはっきりと表われている。このように f_T が大きい程、 τ_d を小さくできることがわかった。以上の実験結果は前述の解析結果の妥当性を裏付けるものである。

4.3 論理ゲートの設計

本節では FET トリガ方式を用いる論理回路の基本ゲートとしての単ゲート回路、および筆者らの考案した AND 回路とExclusive OR（排他的論理和）回路（以下では $E_X \cdot OR$ と略す）の動作原理とその設計について述べる。⁽⁹⁶⁾

4.3.1 単ゲート回路

図4.10に示す単ゲート回路の解析を行う。本回路は既に述べたように、ゲートへのトリガ入力がない時はガン素子にドメインができず、入力がある時にはドメインができて、入力電圧以上の電圧変化が出力端子に現われるものである。ところで、本回路に用いる FET は短チャネル $MESFET$ としての必要条件を満たしており、その電流飽和は、ゲートのドレイン端でのチャネル電界がガン発振の閾値 E_m を越えると起こる。それより低い真性ドレイン電圧 V_D 印加時のドレイン電流 I_{DS} は、

$$I_{DS}(V_D, V_G) = I_0 \{ 3U_D + 2[U_G^{3/2} - (U_G + U_D)^{3/2}] \} \quad (4-1)$$

となる。但し、 U_D は規格化ドレイン電圧で $U_D = V_D / V_0$ 、 U_G は規格化実効ゲート電圧で $U_G = (V_B - V_G) / V_0$ 、 $0 \leq U_G < 1$ であり、 V_G はゲート接合に印加される逆バイアス（ゲート電極電位とゲートのソース端チャネル電位との差）である。また、 $I_0 = V_0 / R_0$ 、 $R_0 = 3\rho \ell_{GO} / d_F W_F$ 、 ρ は比抵抗である。

一方、飽和電流 $I_{DS(sat)}$ を与える最小のドレイン電圧を $V_{D(sat)} = V_0 \cdot U_{D(sat)}$ とすると、

$$I_{DS(sat)}(U_G) = I_0 \cdot [1 - (U_G + U_{D(sat)})^{1/2}] / \Gamma \quad (4-2)$$

となる。ここに、

$$\Gamma = \frac{V_0}{3 E_m \ell_{GO}} \quad (4-3)$$

であり、この値をいくらに選ぶかが飽和電流の大きさを規定するのに重要である。^{(97), (100)} ガン素子と組み合わせる FET では、 $\Gamma > 1$ とする必要がある。 $U_{D(sat)}$ は一般には Γ と U_G の関数であるが、 $U_G < 1/2$ での U_G 依存性は小さく、実質的には Γ にのみ依存すると考えてよい。⁽¹⁰⁰⁾ (4-1) と (4-2) とから、 $I_{DS(sat)}$ が Γ と U_G をパラメータとして求まり、同時に $V_{D(sat)}$ （即ち、 $U_{D(sat)}$ ）が求まる。ガン素子の閾値電流は $b = d_F W_F / d_G W_G$ として次のように表わされる。

$$I_{th} = \frac{I_0}{b \Gamma} \quad (4-4)$$

図 4.10 の回路で、トリガ入力のないオフセット状態（ゲート電位 $V_{GS} = V_{GB}$ ）において、ガン素子にドメインができないようにする条件として、

$$I_D = I_{DS(sat)}(U_{GB}) < I_{th} \quad (4-5)$$

かつ、 FET が飽和領域にバイアスされるために、電源電圧 V_A の満たすべき条件

$$V_D = V_A - (R_G + R_S + R_D) \cdot I_D > V_{D(sat)} \quad (4-6)$$

が必要である。 R_G はガン素子の低電界抵抗、 R_S 、 R_D は FET のソース及びドレイン抵抗である。また、

$$U_{GB} = [V_B - V_{GB} + (R_G + R_S) I_{DS(sat)}(U_{GB})] / V_0 \quad (4-7)$$

である。この時、出力端子に現われる電圧は 2 値論理で「0」の電圧レベルに相当し、次式で与えられる。

$$V_{OUT}(0) = R_G \cdot I_{DS(sat)}(U_{GB}) \quad (4-8)$$

次に、トリガ電圧 $\Delta V_G = V_{GT} - V_{GB}$ がゲートに印加され、 $V_{GS} = V_{GT}$ ($U_G = U_{GT}$) となった時、ガン素子にドメインが生成される条件は、

$$I_D = I_{DS(sat)}(U_{GT}) > I_{th} \quad (4-9)$$

かつ $V_D > V_{D(sat)}$, 但し、

$$U_{GT} = [V_B - V_{GT} + (R_G + R_S) \cdot I_{DS(sat)}(U_{GT})] / V_0 \quad (4-10)$$

である。ドメインがトリガされ、ガン素子中を走行している間の出力電圧は 2 値論理の「1」に相当し、

$$V_{OUT}(1) = V_A - V_{DD} - (1-k)(R_D + R_S) \cdot I_{th} \quad (4-11)$$

である。ここに、 V_{DD} 及び V_{GD} は次の二つの式を連立し、

$$I_{DS}(V_{DD}, V_{GD}) = (1-k) \cdot I_{th} \quad (4-12)$$

$$V_{GD} = V_{GB} - V_A + V_{DD} + (1-k) R_D I_{th} \quad (4-13)$$

を解いて得られる。 k はドメイン発生に伴うガン素子電流の減少率である。

(4-5) , (4-7) , (4-2) , (4-4) 及び FET での信号遅れを小さく保つ目安となる条件 $U_{GB} < 1/2$ とから、ゲート・オフセット電圧 V_{GB} に対する条件として、

$$\alpha_S (1 - \sqrt{U_{D(sat)} + 1/2}) - 1/2 < (V_{GB} - V_B) / V_0 < U_{D(sat)} + \alpha_S / b - (1 - 1/b)^2 \quad (4-14)$$

を得る。但し、 $R_G \gg R_S$ とし、

$$\alpha_S = I_0 R_G / \Gamma V_0 \quad (4-15)$$

である。また、(4-9) , (4-10) , (4-2) , (4-4) と、ゲート接合を導通させないで使用するために必要な条件 $U_{GT} > 0$ とから、トリガ電圧 ΔV_G に対する条件として、

$$U_{D(sat)} + \alpha_S/b - (1 - 1/b)^2 - y$$

$$\leq \Delta V_G/V_0 < \alpha_S(1 - \sqrt{U_{D(sat)}}) - y \quad (4-16)$$

を得る。ここに

$$y = (V_{GB} - V_B)/V_0 \quad (4-17)$$

である。(4-14)を満足する V_{GB} ，および(4-16)を満足する ΔV_G が存在しうするためには， b は次の条件を満たさねばならない。

$$1/(1 - \sqrt{U_{D(sat)}}) < b < 1/(1 - \sqrt{U_{D(sat)}} + 1/2) \quad (4-18)$$

上式の上限值 b_{max} ，下限値 b_{min} を Γ の関数として図4.11に示す。

この二つの曲線に囲まれた斜線の範囲が b の取りうる値の範囲である。 $d_F = d_G$ なる通常の状態においては $b = W_F/W_G$ となって， b は FET とガン素子の横幅の比となる。 FET での遅れ時間を小さくするには， FET を U_{GB} が0に近い条件下で使用する事が望ましいので，斜線の範囲内で b を b_{min} に近い値とするのがよい。従って $\Gamma > 1$ では $b \simeq 2$ が適当である。

単ゲート回路の設計例として， $b = 2$ ， $\alpha_S = 20/\Gamma$ ($\ell_{AC}/\ell_{GO} = 30$)の場合の(4-14)，(4-16)で表わされるバイアス範囲を Γ の関数として図4.12に示す。図において，Iが $(V_{GB} - V_B)/V_0$ の，IIが $(V_{GT} - V_B)/V_0$ のそれぞれ取りうる範囲である。 Γ が1に近いとIの範囲に比べてIIの範囲が狭く，トリガ電圧 ΔV_G に対する制約は大きい， $\Gamma \geq 3$ では，その制限も緩くなる。図4.13は $b = 2$ ， $\alpha_S = 3.33/\Gamma$ ($\ell_{AC}/\ell_{GO} = 5$)の場合の同様なグラフである。 Γ に対するI，IIの範囲は図4.12と同様であるが，この場合は $\Gamma \geq 8$ ではIの範囲，即ち， $(V_{GB} - V_B)/V_0$ が負の領域に入り込んでしまう。即ち，ガン素子の長さ ℓ_{AC} に対する FET のゲート長 ℓ_{GO} の割合が大きくなると，ゲート・オフセット電圧 V_{GB} としては負の電圧を与える必要が生じ，電源電圧 V_A が正であるから，二つの極性の異なる電源を必要とする。このことから考えると一つの電源で動作させるために Γ を小さくすることが回路の簡単化のために重要となる。 ℓ_{AC}/ℓ_{GO} の値を決める際にもう一つ注意すべきことは， $\ell_{AC}/\ell_{GO} = 30$ の場合に比べて， $\ell_{AC}/\ell_{GO} = 5$ の場合の $(V_{GS} - V_B)/V_0$ の値が1桁程度小さいことである。この値が小さいことは， V_0 の変動たとえばウェーハ内の N_0 や d_F のばらつきに対して，素子の動作電圧の変動が小さいことを意味し，素子の集積化の際に有利である。逆に， ℓ_{AC}/ℓ_{GO} をむやみに大きくすることは素子の歩留りを低下させることになり好ましくない。

単ゲート回路の電源電圧 V_A に対する設定条件は $R_G \gg R_D$ として,

$$V_A/V_0 > \alpha_S/b + U_{D(sat)} \quad (4-19)$$

である。

4.3.2 AND回路

図 4.14 のように同等な特性を有する FET を 2 個並列接続し、これに 1 個のガン素子を接続した回路は 2 入力 AND 、又は OR ゲートとして働く。並列接続する FET を 3 個以上にして多入力ゲートとすることも可能である。

図において 1 個の FET のゲートにのみ入力があった時にはガン素子中にドメインが発生せず、2 個のゲートに同時に入力があった時にドメインができるようにバイアス設定をすれば AND ゲートになる。 R_L は負の極性を持つ出力パルスを取り出すための負荷抵抗であるが、図のように FET のソースとガン素子のアノードを結ぶ端子から出力を取り出す（この場合は正の出力パルスとなる）場合はなくてもよい。

トリガ入力のない時 ($X=Y=0$)、ガン素子にドメインができない条件は,

$$I_D = 2 I_{DS(sat)}(U_{GB}) < I_{th} \quad (4-20)$$

$$U_{GB} = [V_B - V_{GB} + (2R_G + 2R_L + R_S) \cdot I_{DS(sat)}(U_{GB})] / V_0 \quad (4-21)$$

となる。このとき、出力端子に現われる電圧は

$$V_{OUT}(0) = 2(R_G + R_L) \cdot I_{DS(sat)}(U_{GB}) \quad (4-22)$$

である。次に、どちらか一方のゲートにトリガ入力のある時 ($X=1, Y=0$ 又は $X=0, Y=1$) もドメインができない条件は,

$$I_D = I_{DS(sat)}(U_{GB1}) + I_{DS(sat)}(U_{GT1}) < I_{th} \quad (4-23)$$

$$U_{GT1} = [V_B - V_{GT} + (R_G + R_L + R_S) \cdot I_{DS(sat)}(U_{GT1}) + (R_G + R_L) \cdot I_{DS(sat)}(U_{GB1})] / V_0 \quad (4-24)$$

$$U_{GB1} = [V_B - V_{GB} + (R_G + R_L + R_S) \cdot I_{DS(sat)}(U_{GB1}) + (R_G + R_L) \cdot I_{DS(sat)}(U_{GT1})] / V_0 \quad (4-25)$$

である。このときの出力電圧は

$$V_{OUT}(0) = (R_G + R_L) [I_{DS(sat)}(U_{GB1}) + I_{DS(sat)}(U_{GT1})] \quad (4-26)$$

となる。(4-22) と (4-26) で与えられる電圧は、ほぼ等しくなるようにするのが望ましい。
即ち、

$$I_{DS(sat)}(U_{GB}) \simeq [I_{DS(sat)}(U_{GB1}) + I_{DS(sat)}(U_{GT1})] / 2 \quad (4-27)$$

次に、どちらのゲートにもトリガ入力がある時 ($X=Y=1$)、ドメインのできる条件は、

$$I_D = 2 I_{DS(sat)}(U_{GT2}) > I_{th} \quad (4-28)$$

$$U_{GT2} = [V_B - V_{GT} + (2R_G + 2R_L + R_S) I_{DS(sat)}(U_{GT2})] / V_0 \quad (4-29)$$

となる。ドメインができている時の出力電圧は

$$V_{OUT}(1) = V_A - V_{D1} - (1-k) I_{th} (R_D + R_S) / 2 \quad (4-30)$$

但し、 V_{D1} はトリガ入力がいなくなっている時、

$$I_{DS}(V_{D1}, V_{G1}) = (1-k) I_{th} / 2 \quad (4-31)$$

$$V_{G1} = V_{GB} - V_A + V_{D1} + (1-k) R_D I_{th} / 2 \quad (4-32)$$

を解いて得られる。

(4-20) , (4-21) , (4-2) , (4-4) と $U_{GB} < 1/2$ なる条件とから、 V_{GB} の満たすべき条件として次式を得る。

$$2\alpha_A(1 - \sqrt{U_{D(sat)} + 1/2}) - 1/2 < (V_{GB} - V_B) / V_0 < U_{D(sat)} + \alpha_A/b - (1 - 1/2b)^2 \quad (4-33)$$

但し、 $R_G + R_L \gg R_S$ とし、

$$\alpha_A = I_0 (R_G + R_L) / \Gamma V_0 \quad (4-34)$$

である。また、(4-23) ~ (4-25) , (4-28) , (4-29) , (4-2) , (4-4) から ΔV_G の満たすべき条件として、

$$U_{D(sat)} + \alpha_A/b - (1 - 1/2b)^2 - y \leq \Delta V_G / V_0$$

$$< \frac{2C_A(4C_A-1)-[(2-1/b)^4-2C_A]^2+[1-4C_A-2(2-1/b)^4]\cdot y}{4C_A+2(2-1/b)^4-1-4y} - y \quad (4-35)$$

を得る。ここに y は (4-17) で定義され、

$$C_A = U_{D(sat)} + [2 - (2 - 1/b)^2] \cdot \alpha_A \quad (4-36)$$

である。また、 $U_{GT2} > 0$ なる条件より

$$\Delta V_G / V_0 < 2\alpha_A (1 - \sqrt{U_{D(sat)}}) - y \quad (4-37)$$

を得る。 b に対する制約は単ゲートの場合と同様に考えて

$$1/2(1 - \sqrt{U_{D(sat)}}) < b < 1/2(1 - \sqrt{U_{D(sat)}} + 1/2) \quad (4-38)$$

となる。 b は単ゲートの場合の約 $1/2$ とすればよい。電源電圧 V_A に対する制約は $R_G + R_L \gg R_D$ のとき

$$V_A / V_0 > \alpha_A / b + U_{D(sat)} \quad (4-39)$$

となる。

4.3.3 $E_X \cdot OR$ 回路

図 4.15 は $E_X \cdot OR$ ゲートの構成例である。この回路は 2 個の単ゲート回路を並列接続し、それに共通負荷抵抗 R_L を接続したものである。 X, Y の二つのトリガ入力のうちいずれか一方のみがあった時には入力のあった方の FET に接続されているガン素子中にドメインができるようにし、 X, Y とともに同時に入力された時には、 FET のソース・アース間の抵抗 R_L における電圧降下の増大に基づくゲートへの実効逆バイアスの増加により、どちらのガン素子にもドメインができないように設計する。

$X = Y = 0$ のとき、ドメインのできない条件は

$$I_{D1} = I_{D2} = I_{DS(sat)}(U_{GB}) < I_{th} \quad (4-40)$$

$$U_{GB} = [V_B - V_{GB} + (2R_L + R_S) \cdot I_{DS(sat)}(U_{GB})] / V_0 \quad (4-41)$$

である。このときの出力電圧は

$$V_{OUT(0)} = 2R_L I_{DS(sat)}(U_{GB}) \quad (4-42)$$

である。 $X = 1, Y = 0$ のとき、ドメインのできる条件は、

$$I_{D1} = I_{DS(sat)}(U_{GT1}) > I_{th} \quad (4-43)$$

$$U_{GT1} = [V_B - V_{GT} + (R_L + R_S) \cdot I_{DS(sat)}(U_{GT1}) + R_L I_{DS(sat)}(U_{GB1})] / V_0 \quad (4-44)$$

$$U_{GB1} = [V_B - V_{GB} + (R_L + R_S) \cdot I_{DS(sat)}(U_{GB1}) + R_L I_{DS(sat)}(U_{GT1})] / V_0 \quad (4-45)$$

である。さらに、ドメインができない時にもX入力用ゲート接合が導通しない条件は

$$U_{GD1} = [V_B - V_{GT} + (R_L + R_S)(1-k)I_{th} + R_L I_{DS(sat)}(U_{GD2})] / V_0 > 0 \quad (4-46)$$

ここに、

$$U_{GD2} = [V_B - V_{GB} + (R_L + R_S) \cdot I_{DS(sat)}(U_{GD2}) + R_L(1-k)I_{th}] / V_0 \quad (4-47)$$

である。このときの出力電圧は

$$V_{OUT(1)} = R_L \cdot [(1-k)I_{th} + I_{DS(sat)}(U_{GD2})] \quad (4-48)$$

となる。X = 0, Y = 1の場合も同様に考えられる。

X = Y = 1のとき、ドメインのできない条件は、 $I_{D1} = I_{D2} = I_{th}$ と仮定した時、 U_G は

$$U_{GT2} = [V_B - V_{GT} + (2R_L + R_S) \cdot I_{th}] / V_0 \quad (4-49)$$

となるから、この値が $I_{DS(sat)}(U_{Gth}) = I_{th}$ なる U_{Gth} に対して、

$$U_{GT2} > U_{Gth} \quad (4-50)$$

となること、及び各FETのドレイン電圧に対して $V_{D1} = V_{D2} > V_{D(sat)}$ となることである。

(4-40), (4-41), (4-2), (4-4) 及び $U_{GB} < 1/2$ なる条件より、 V_{GB} の満たすべき条件として、

$$2\alpha_E(1 - \sqrt{U_{D(sat)} + 1/2}) - 1/2 < (V_{GB} - V_B)/V_0 < U_{D(sat)} + 2\alpha_E/b - (1 - 1/b)^2 \quad (4-51)$$

を得る。また、(4-43) ~ (4-47), (4-2), (4-4) より ΔV_G の満たすべき条件として、

$$C_E + \alpha_E^2/2 - \alpha_E \sqrt{C_E + \alpha_E^2/4 + (1-1/b)^2} - y < \Delta V_G/V_0$$

$$< \alpha_E [1 + \alpha_E/2 + (1-k)/b - \sqrt{(1+\alpha_E/4 + (1-k)/b) \cdot \alpha_E + U_{D(sat)} - y}] - y$$
(4-52)

を得る。さらに、(4-49)、(4-50)、(4-2)、(4-4)より

$$\Delta V_G/V_0 < U_{D(sat)} + 2\alpha_E/b - (1-1/b)^2 - y$$
(4-53)

が加わる。ここに、 $\alpha_S = I_0 R_G / \Gamma V_0$ は(4-15)で、 $y = (V_{GB} - V_B) / V_0$ は(4-17)で、

$$\alpha_E = I_0 R_L / \Gamma V_0$$

は、ここで定義する量である。また、

$$C_E = U_{D(sat)} + \alpha_E (1 + 1/b) - (1-1/b)^2$$
(4-54)

であり、 $R_L \gg R_S$ とした。 b に対する条件は単ゲート回路の場合と同じく、(4-18)で与えられる。また電源電圧に対する条件は $R_L \gg R_D$ として次式となる。

$$V_A/V_0 > (2\alpha_E + \alpha_S)/b + U_{D(sat)}$$
(4-55)

図4.15の $E_X \cdot OR$ 回路は正の極性を有する入力電圧を印加して負の極性を有する出力電圧パルスを取り出す回路である。この出力を次段のゲートへの入力とするには、パルス極性反転回路を必要とする。しかし、図4.15の回路に若干の変更を加えて直接正の極性を有する出力パルスを取り出すことも可能である。それは、電源供給線と2個のガン素子の共通アノード端子との間に、もう1個の共通抵抗を挿入し、この抵抗と共通アノード端子との接続部から出力を取り出すようにすることである。こうすれば出力パルスは正極性のものとなる。あるいは図4.16のように、 FET をガン素子のアノード端に接続した回路としてもよい。いずれの場合も2個の共通負荷抵抗を必要とする。どちらを選ぶかはゲートへのオフセット電圧の設定条件によって決まってくる。 FET トリガ方式を用いる単ゲート回路や AND 回路と組み合わせる場合は、図4.16の方の回路構成を採用することになろう。図4.16の回路のゲート・オフセット電圧やトリガ電圧振幅、電源電圧に対する条件は図4.15に関して求めた前記の条件とは異なってくるので、同様な解析により条件を求め直すことが必要となる。

4.4 論理動作の実験

前節で述べた設計指針に基づいて論理ゲートの試作を行った。^{(92),(93),(96)} 素子は半絶縁性 GaAs 基板上の n 形 GaAs 気相エピタキシャル成長層の不必要な箇所をメサ・エッチして除去し、パターンを形成した。オーミック電極には AuGe, Ni の合金, ショットキー電極には Al を用いた。ゲート長が $2\mu\text{m}$ 以下の FET の製作については $2\mu\text{m}$ 幅より狭い Al 蒸着膜を数 μm の段差のメサ・ステップに切れることなく這わせるのはむづかしいので, ショットキー・ゲート付 3 端子素子の製作に用いたような通常のプロセスを避けた。その時には, 和田ら^{(75),(101)} の開発した, 先にショットキー電極用金属を所定の位置に蒸着後, 能動領域以外の部分をエッチ・オフしてパターンを形成し, 平坦な面上にゲート電極を形成する方法を用いている。実験はすべて, 素子を 50Ω のストリップ線路にマウントし, パルス幅 $200\sim 300\text{ns}$, くり返し $1\sim 2\text{kHz}$ のパルスバイアス下で行った。実験に用いたガン素子は特に断わらない限り, 素子長 $\ell_{AC}=50\mu\text{m}$, 横幅 $W_G=40\mu\text{m}$, 厚さ d_G とドーピング密度 N_0 は FET での値にほぼ等しいものとした。

4.4.1 単ゲート回路

図 4.17 は, マスク上でのゲート長 $2\mu\text{m}$ (実際の長さ $\ell_{GO}=1.2\sim 1.8\mu\text{m}$), 横幅 $W_F=80\mu\text{m}$ の $MESFET$ で構成した単ゲート回路の写真を示す。この場合は和田ら⁽¹⁰¹⁾ の方法を用いてゲートを試作したのでゲートのボンディング・パッド部と FET の能動領域の間のエピ層はエッチ・オフされ, ブリッジ構造になっている。写真には負荷抵抗も存在しているが, 本実験では使用していない。実験に用いたガン素子の電流-電圧特性を図 4.18 (左) に示す。これより $R_G=1.7\text{k}\Omega$, $I_{th}=8.5\text{mA}$ を得る。また, $N_0=10^{16}\text{cm}^{-3}$ である。図の(中)には $\ell_{GO}=1.7\mu\text{m}$ の FET の電流-電圧特性を示す。この FET の定数は $b=1.9$, $\Gamma=3.9$, $\alpha_S=4.8$, $V_0=6\text{V}$, $I_0=67\text{mA}$ である。 FET のゲート電位を $V_{GB}=1.33\text{V}$ に設定すると, FET の電流-電圧特性上で $V_{GS}=-1.05\text{V}$ (実効ゲート電圧 $V_G=-1.92\text{V}$) に相当し, $I_D < I_{th}$ となってドメインの発生はない。ところがトリガ電圧 $\Delta V_G=0.2\text{V}$ が V_{GB} に上乘せされると, $V_{GS}=-0.95\text{V}$ ($V_G=-1.83\text{V}$) となり, $I_D > I_{th}$ を満足してドメインが発生し, 素子電流が減少する。図 4.18 (右) は, このときの出力電流波形を, トリガ入力電圧 ΔV_G と共に示す。ドメイン生成に伴うガン素子電流の減少は約 3mA であり, ガン素子の電流-電圧特性上のそれと等しい。本実験においては, V_{GB} をドメインが安定にトリガされる範囲でトリガ電圧振幅が最小になるよう設定している。ちなみに, 本実験に用いたパラメータの値を (4-14), (4-16) に代入すると, $0.7 < (V_{GB}-V_B)/V_0 < 2.2$, $2.2 < (V_{GT}-V_B)/V_0 < 3.6$ となるが, 実験でのバイアス条件は $(V_{GB}-V_B)/V_0 \simeq 2.1$ であり, 理論

の予想するトリガ動作可能なバイアス値の上限に近く、また $(V_{GT} - V_B)/V_0 \simeq 2.2$ であり、こちらの方は下限値であって共に辻褃のあう値になっている。トリガ電圧をもっと大きくして使うときには、 V_{GB} をより小さくしてもよいことが実験的に確認されているが、このことは図 4.1 2 からも推測される。電源電圧は $V_A > 16V$ であるが、これは (4-19) を満たしている。図 4.1 8 では遅れ時間は $\tau_d \simeq 100 ps$ であるが、 τ_d 自体はトリガ入力電圧の立ち上がり時間 τ_{Tr} 、振幅 ΔV_G 、及び V_{GB} に依存するものと思われる。

図 4.1 9 は、 $\ell_{GO} = 10 \mu m$ の FET ($E_X \cdot OR$ の実験に用いたのと同様なもの) を用いた単ゲート回路のトリガ入力に対する信号出力の遅れ時間 τ_d を、ゲート・オフセット電圧 V_{GB} の関数として実験により求めたものである。トリガ入力振幅は $\Delta V_G = 1.5 V$ に固定している。振幅を $\ell_{GO} = 1.7 \mu m$ の場合より大きくしているのは、ゲート長が長いことによるトリガ感度の低下を補償する理由からである。図に示されているように、 V_{GB} が大きくなるにつれて τ_d は急激に減少している。この理由は二つ考えられる。その第 1 は V_{GB} が大きい程、ドメインの発生するのに必要なゲート電圧 V_{Gth} との差が小さくなり、 τ_{Tr} が一定のとき、より早く閾値を越えるからである。第 2 に、 V_{GB} が大きいと、実効規格化ゲート電圧 U_G が小さいので g_m の大きいところで FET を動作させることになり、 FET の応答速度が速くなるからである。本実験においては第 1 の理由によるところが大きい。これは FET トリガ方式に特有なものであり、ガン素子が閾値作用を持つという性質を利用してトリガ入力よりも立ち上がりの鋭いパルスを作り出せる。ところで、 τ_d の電源電圧 V_A に対する依存性をみると、電流非飽和領域にバイアスされた $V_A = 28 V$ では、同じ V_{GB} での τ_d が大きく、電流飽和領域での $V_A = 32 V$ と $35 V$ では小さくなっている。この結果は図 4.9 に示す FET 自体の遅れ時間の V_{DS} 依存性に対応しており、本回路での τ_d が FET の応答速度と密接に関連していることを裏付けている。図では τ_d の最小値は $50 ps$ で、 $\ell_{GO} = 1.7 \mu m$ の FET を用いた場合より見かけ上では小さいが、それはトリガ電圧の立ち上がりの速さの差が表われたものと考えられる。

遅れ時間 τ_d を、トリガ入力電圧の立ち上がり時間や振幅によらないようにして測定するには、単ゲート回路を図 4.2 0 のように多段縦続接続し、第 1 段目のゲートに適当なトリガ入力を印加してドメインを発生させ、その出力信号で次段のガン素子をトリガし、更にまたその出力で次段をトリガするという形をくり返して信号を最終段まで転送し、その転送に要した時間を転送回数で割って τ_d を求めるようにすればよい。そのような実験を行うために、4 段縦続接続回路を試作した。ウェーハ内のドーピング密度やエピ厚のバラツキの影響を考慮して、ゲート長 ℓ_{GO} は $15 \mu m$ と長くした。他のパラメータは $N_0 = 10^{16} cm^{-3}$ 、 $d_F \simeq d_G \simeq 1 \mu m$ 、 $\ell_{AC} = 35 \mu m$ 、 $W_G = 20 \mu m$ 、 $W_F = 60 \mu m$ である。この FET に対しては、 $\Gamma \simeq 0.56$ であり、 FET の設計は Shockley の

gradual channel 近似に基づく理論⁽¹⁰²⁾を用いて行い、電流非飽和領域にバイアスして用いるようにした。 $V_{A1} \sim V_{A4}$ を約 1.5 V にバイアスし、 $V_{GB} \simeq 8 \text{ V}$ 、 $\Delta V_G \simeq 2 \text{ V}$ としたときの各段の出力電流波形を図 4.2 1 (左) に示す。図のように、第 4 段目まで出力電流が減少しているのが観測されており、信号が転送されたことがわかる。第 4 段目における出力電流の落ち込みが他よりも小さいのは素子パラメータのばらつきによるものと思われる。このばらつきのため、各段の電源電圧は多少設定値が異なる (1 ~ 2 V 前後)。この図での 1 段目から 4 段目への信号転送に要した時間は約 400 ps であり、1 段当りに換算して $\tau_d \simeq 130 \text{ ps}$ となる。これに対して電源電圧をトリガ動作可能な最大値約 20 V に設定した時の結果を図 4.2 1 (中) に示す。図 4.2 1 (右) は 1 段目と 4 段目の出力波形を拡大して遅れをみたものであり、約 200 ps の時間に短縮されている。1 段当り $\tau_d \simeq 67 \text{ ps}$ となり動作速度の向上は明らかである。このように、電流非飽和領域に FET をバイアスして用いると τ_d は電源電圧に依存するが、その理由は図 4.1 9 の場合と同様なものである。いずれにせよ、電流非飽和領域にバイアスされているにもかかわらず、 τ_d が 70 ps 前後の小さい値を得たことは、立ち上がり時間 τ_{Tr} の短いトリガ入力パルスを用いる集積回路においては電流飽和領域にバイアスされるよう設計された FET を用いた場合に τ_d が図 4.1 9 に関して得られた 50 ps よりも小さくなり得ることを暗示している。事実、Mause⁽³⁹⁾ は、同様の実験により $\ell_{GO} = 7 \mu\text{m}$ 、 $\ell_{AC} = 15 \mu\text{m}$ の場合について $\tau_d = 35 \text{ ps}$ を得ている。

以上の実験事実よりトリガ感度が良く、かつ高速で動作させるためには、ゲート長の短い FET を電流飽和領域で、しかもトリガ動作可能な範囲内で V_A と V_{GB} を大きく設定する必要があることが判明した。

4.4.2 AND 回路

図 4.2 2 は試作した AND 回路の写真である。 FET は $\ell_{GO} = 1.7 \mu\text{m}$ 、 $W_F = 40 \mu\text{m}$ 、 $\Gamma = 4.3$ 、 $\alpha_A = 3.2$ 、 $b = 0.93$ 、 $V_0 = 6.5 \text{ V}$ 、 $N_0 \simeq 10^{16} \text{ cm}^{-3}$ 、 $I_0 = 38 \text{ mA}$ 、 $\ell_{SG} = \ell_{DG} \simeq 3 \mu\text{m}$ のものを 2 個用いた。ガン素子の電流-電圧特性は図 4.2 3 の上段左側の図に示す。これより $R_G = 1.5 \text{ k}\Omega$ 、 $I_{th} = 9.7 \text{ mA}$ である。図 4.2 2 には見えていないが図の下側にガン素子と直列に負荷抵抗がつながり $R_L = 850 \Omega$ となっている。図 4.2 3 の上段右側の図は FET の電流-電圧特性である。この特性は 2 個の FET を並列に接続して両方のゲートに同一の電圧 V_{GS} を印加して得たものである。図 4.2 3 の下段に AND 動作の実験例を出力電流波形で示す。トリガ入力のない時、即ち $X = Y = 0$ のときは $V_{GB} = 2.2 \text{ V}$ であって、図 4.2 3 の FET の電流-電圧特性上で $V_{GS} = -0.57 \text{ V}$ ($V_G = -1.28 \text{ V}$) に相当するのでガン素子は閾値以下にバイアスされている。 $X = 1$ 、 $Y = 0$ のとき即ち X 入力側 ($GATE-1$) にトリガ入力電圧 $\Delta V_G = 0.4 \text{ V}$ が印加され、 Y 入力側 ($GATE-2$) には印加されないときは、 X 入力側で $V_{GS} = -0.40 \text{ V}$ ($V_G = -1.14 \text{ V}$) となるが、 Y 入力側で V_{GS}

$= -0.85\text{V}$ ($V_G = -1.56\text{V}$) となってガン素子を流れる電流は閾値以下に留まり、出力電流は変化しない。 $X = 0$, $Y = 1$ のときも同様に出力電流の変化はない。しかるに、 $X = Y = 1$, 即ち $GATE-1$ 及び $GATE-2$ に同時にトリガ入力電圧 $\Delta V_G = 0.4\text{V}$ が印加されると、共に $V_{GS} = -0.51\text{V}$ ($V_G = -1.23\text{V}$) となって、ガン素子電流が閾値を越え、ドメインが発生して出力電流が減少する。このときの電流減少量は図 4.23 下段より 4mA とわかるが、これは同図上段のガン素子の閾値以上でのそれに等しい ($k = 0.41$)。本実験における電源電圧は $V_A = 27\text{V}$ であり、(4-39) の条件 $V_A > 23\text{V}$ を満足する。本実験に用いた回路のパラメータを (4-33), (4-35), (4-37) に代入して V_{GB} と ΔV_G の組み合わせで回路の動作がどう変わるかを示したのが図 4.24 である。 V_{GB} の範囲は $1.58 < (V_{GB} - V_B)/V_0 < 3.33$ となり、図では点線で境界値を示す。この点線間の V_{GB} に対して、 ΔV_G が小さすぎる $NON-TRIGGER$ の領域では入力があってもドメインの発生はない。 ΔV_G がそれより大きく、適当な値であれば AND 動作を行い得る。逆に ΔV_G が大きすぎると OR 動作になってしまう。 ΔV_G を更に大きくするとゲート接合が導通し、入出力信号の電氣的分離ができなくなる。このように、ある V_{GB} に対して AND 動作を示す ΔV_G の値の範囲が存在し、それは OR 動作に対する許容範囲よりも狭い。このことは実験的にも確認されている。図 4.23 の実験では $(V_{GB} - V_B)/V_0 = 3.29$ に対して $\Delta V_G/V_0 = 0.06$ であり、この値は図 4.24 で AND 動作可能な範囲内に入っている。しかも、その下限に近いことは実験時のバイアス条件を正しく記述していると考えられ、前節で述べた設計法が妥当なものであることの確証となる。

4.4.3 $E_X \cdot OR$ 回路

図 4.25 に $E_X \cdot OR$ 回路を示す。使用したガン素子の電流-電圧特性を図 4.26 の左図に示す。これより $R_G = 1\text{k}\Omega$, $I_{th} = 16.5\text{mA}$ となる。同図の右図は FET の電流-電圧特性である。 $\ell_{GO} = 10\mu\text{m}$, $W_F = 100\mu\text{m}$, $V_0 = 34\text{V}$, $\Gamma = 3.8$, $b = 3.0$, $\alpha_E = 0.68$, $R_L = 500\Omega$ である。この回路で $V_A = 40\text{V}$, $V_{GB} = 0\text{V}$ としたときの各ゲート入力に対する出力電流を図 4.27 に示す。 $X = Y = 0$ のとき、即ち $GATE-1$ 及び $GATE-2$ へのトリガ入力のないとき、 FET は図 4.26 の電流-電圧特性上の $V_{GS} = -15.2\text{V}$ ($V_G = -16.9\text{V}$) に相当し、ガン素子は閾値以下にバイアスされている。 $X = 1$, $Y = 0$ のとき、即ち $GATE-1$ にのみトリガ入力電圧 $\Delta V_G = 2\text{V}$ が印加されたとき、 $FET-1$ では $V_{GS} = -14.0\text{V}$ ($V_G = -15.9\text{V}$) となって、この FET に直列に接続された $GUNN-1$ が閾値以上になり、ドメインを発生させ共通負荷抵抗を流れる出力電流値が減少する。しかし、 $FET-2$ では $V_{GS} = -16.1\text{V}$ ($V_G = -17.7\text{V}$) となって、 $GUNN-2$ の方ではドメインはできない。 $X = 0$, $Y = 1$ の場合はその逆で $GUNN-2$ の方でドメインができ、 $GUNN-1$ の方ではできない。いずれの場合も出力電流の減少という点では同じ働きをする。 $X = Y = 1$ の

とき、即ち、 $\Delta V_G = 2\text{V}$ が両方のゲートに同時に印加された場合は、各 FET は $V_{GS} = -1.5.2\text{V}$ ($V_G = -1.7.0\text{V}$) となってガン素子中でのドメインの発生を抑えるので電流の減少は起こらず、単に入力電圧の変化に応じた出力電流の増加があるだけである。いま、出力として電流の減少のみが意味あるものとするれば、図 4.2 7 の動作は正しく $E_X \cdot OR$ 動作であることになる。本実験ではトリガ入力として、パルス幅 3ns のものを使用しているので、ドメインが発生する場合にはトリガ入力の持続時間に応じて 4 回のくり返し発生が観測される。この時の電源電圧の設定値は (4-5 5) の条件 $V_A > 3.9.5\text{V}$ を満足している。

図 4.2 8 は本実験回路定数の値を (4-5 1) ~ (4-5 3) に代入して、 V_{GB} と ΔV_G の値の組み合わせによって、回路の動作がどのように変わるかを求めたものである。 $(V_{GB} - V_B)/V_0$ の取りうる値の上限及び下限を図の点線で示す。この範囲の V_{GB} に対して ΔV_G を変えたときの動作姿態の変化の様子は AND 回路の場合と同様なものとなっている。即ち、 ΔV_G が小さすぎると $NON-TRIGGER$ の領域になって、トリガ入力があってもドメインができない。 ΔV_G がある値以上の適当な値になっていれば正常な $E_X \cdot OR$ 動作を示す。それよりも大きい ΔV_G に対しては OR 動作を呈する。更に ΔV_G を大きくすればゲート接合が導通してしまい、入出力信号の分離ができなくなる。このように $E_X \cdot OR$ 回路においても所望の動作を行う ΔV_G の範囲が存在する。回路設計に際しては、そのことを十分考慮する必要がある。なお、図 4.2 7 の実験では $(V_{GB} - V_B)/V_0 = -0.021$ であり、 $\Delta V_G/V_0 = 0.06$ は、図 4.2 8 の $E_X \cdot OR$ 動作可能な範囲に属し、前節で述べた設計法の正当性が認められる。また ΔV_G を大きくすると OR 回路になることは実験的にも確認されている。

4.5 結 論

FET トリガ方式を用いるガン効果論理素子について理論的及び実験的検討を加えた。まず、ガン素子と組み合わせるべき FET の特徴について論じ、ゲート長が短く、高周波特性の良いものが好ましいことを述べた。これは、トリガ感度の良さ、及び応答速度の速さに着目して得られた結論であり、ゲート長 ℓ_{GO} を $10\mu\text{m}$ 以下にすると遮断周波数 f_T は 1GHz 以上となり、この値が一応の目安となる。 $\ell_{GO} = 2\mu\text{m}$ の素子では $f_T \simeq 4\text{GHz}$ となり、動作時の遅れも 25ps 前後で問題となることは少ない。このような高速性は FET を電流飽和領域にバイアスして用いることにより得られる。またドーピング密度 N_0 と素子の厚み d_F との積 $N_0 d_F \simeq 10^{12}\text{cm}^{-2}$ なる条件がガン素子との整合を考えた場合に好ましいことを見出した。

次に、 FET トリガ方式を用いる回路の具体例として単ゲート回路、 AND 回路、及び $E_X \cdot$

OR 回路を取り上げ、これらの各回路を FET の理論を基に解析して設計する方法について検討した。各回路の動作実験の結果は、その設計法が正しいものであることを裏付けた。

本方式を用いた各回路の1ゲート当りの信号伝搬遅れ時間 τ_d は $\ell_{GO}=10\mu\text{m}$ の FET を用いた実験で最小値約 50ps を得た⁽⁹⁴⁾。 ℓ_{GO} をこれより小さくし、バイアス設定を最適にした回路での遅れとしては、これよりも小さくなることが期待される。トリガ感度については $\ell_{GO}=1.7\mu\text{m}$ の FET を用いた単ゲート回路で、トリガ入力電圧 $\Delta V_G = 0.2\text{V}$ でドメインをトリガできた。

本方式はガン素子を閾値ぎりぎりの値にバイアスして使える点に特徴があり、特にガン素子が短い場合 ($\ell_{AC} \leq 30\mu\text{m}$) に有利である。今回の実験では、便宜上 $\ell_{AC}=50\mu\text{m}$ の素子を主として用いたが、実用上では $\ell_{AC}=10\sim 20\mu\text{m}$ 程度にまでは短くできる。そうした場合でもショットキー・ゲート付3端子素子(前章参照)が直面するような問題は発生しない。

AND 回路は勿論、デジタル論理回路において使用頻度の高い $E_X \cdot OR$ 回路も、この方式を用いた簡単な回路で構成できることから、種々のより複雑な論理回路も、これら基本ゲートの組み合わせで実現でき、ガン効果集積回路への展望が開けたものと考えられる。

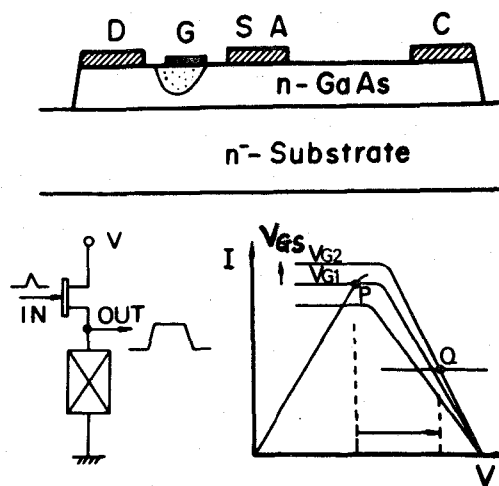


図 4.1 FETトリガ方式の原理

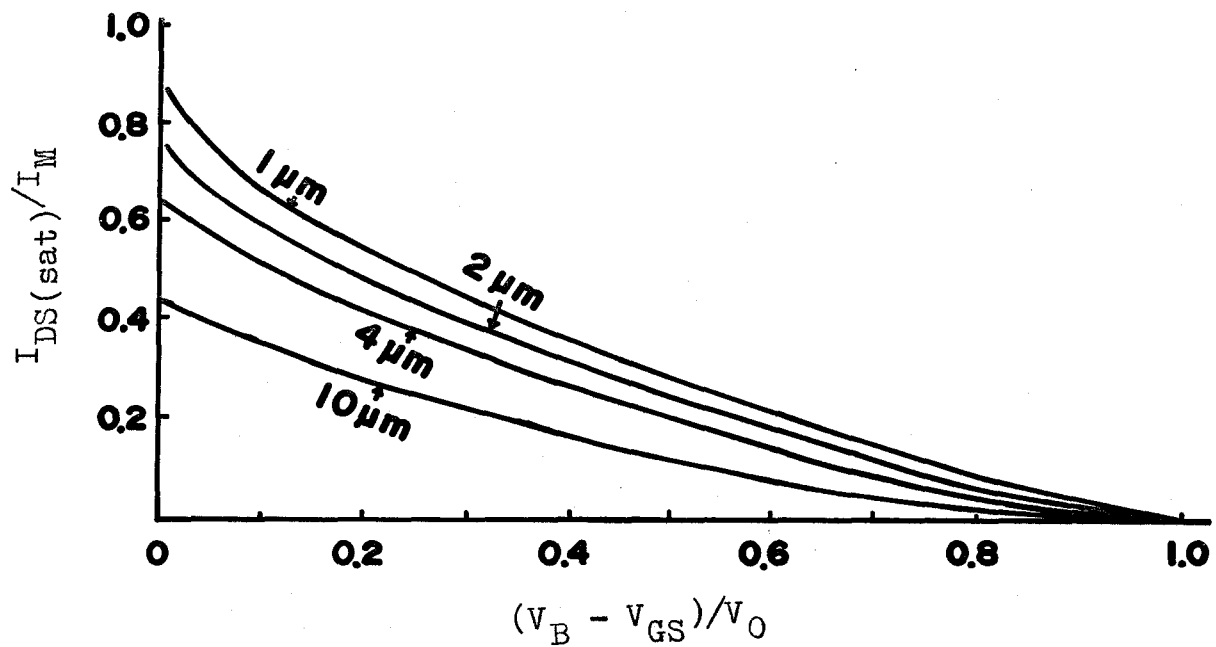


図 4.2 MESFET飽和電流のゲート・バイアス依存性

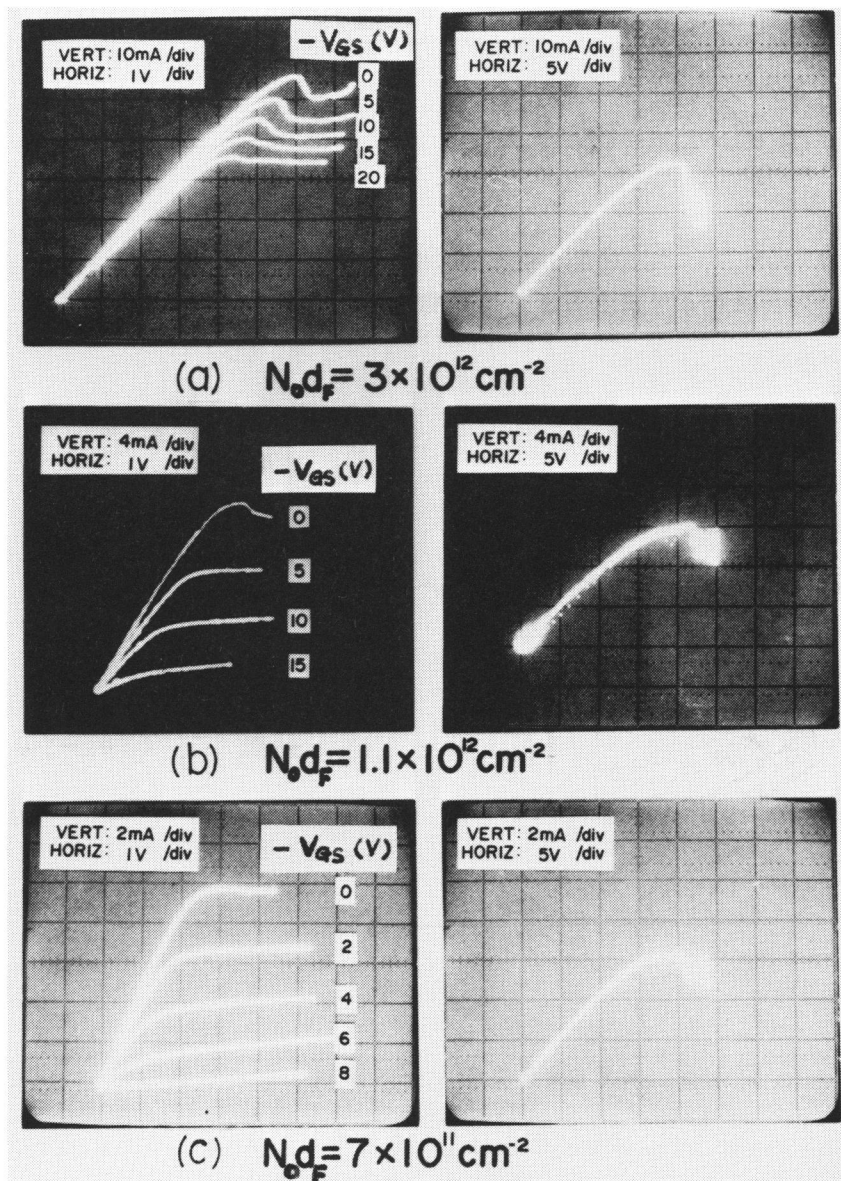


図 4.3 MESFET (左) とガリ素子(右)の動作電流の比較

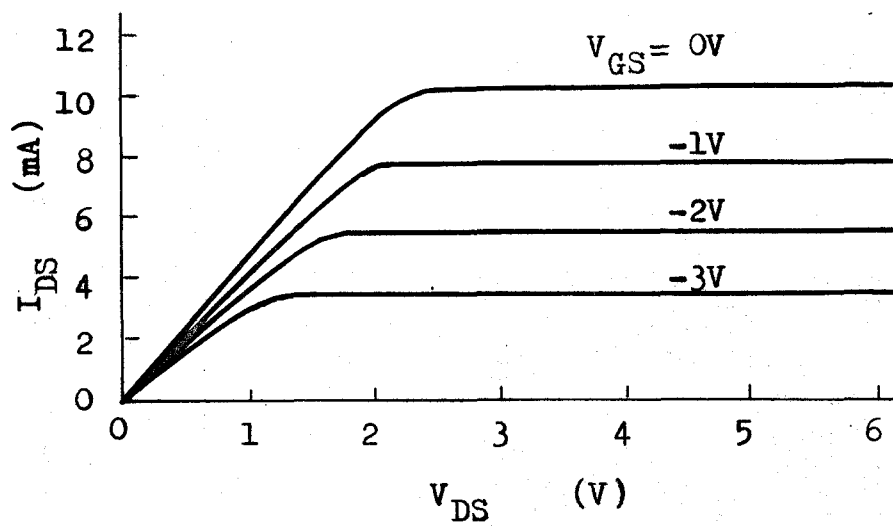


図 4.4 MESFET の電流－電圧特性 (計算値)

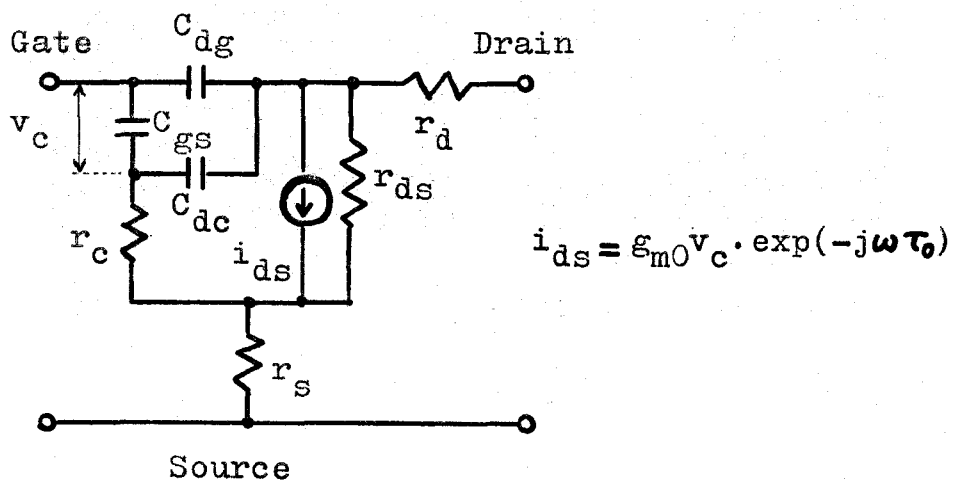


図 4.5 MESFET のソース接地小信号等価回路

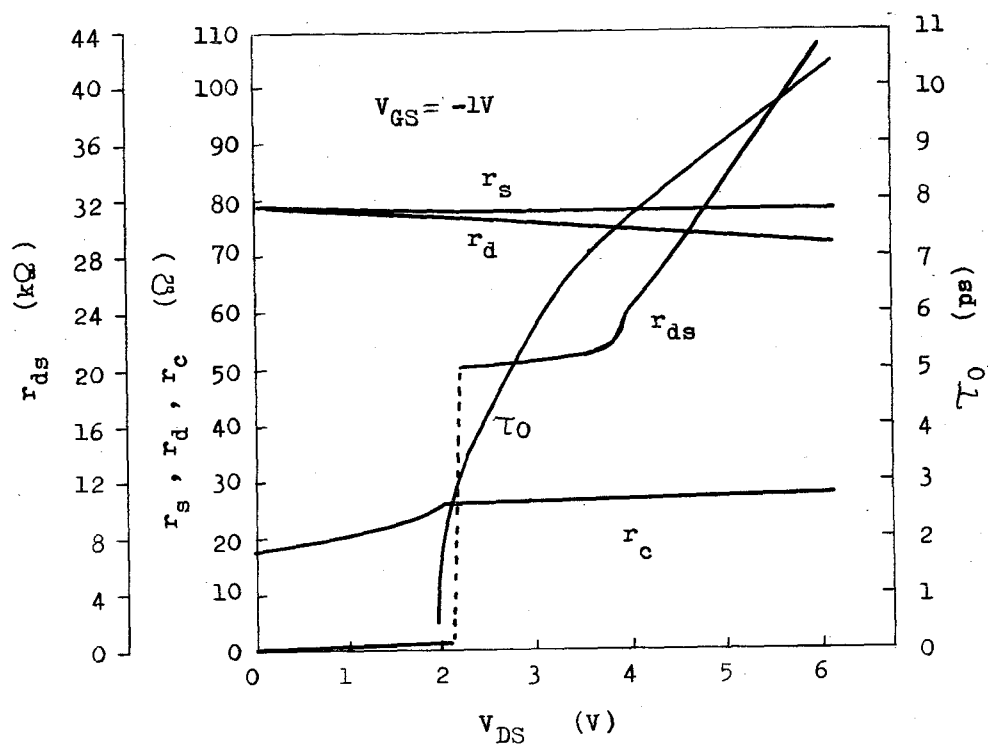


図 4.6(a) 小信号等価回路定数のドレイン電圧依存性

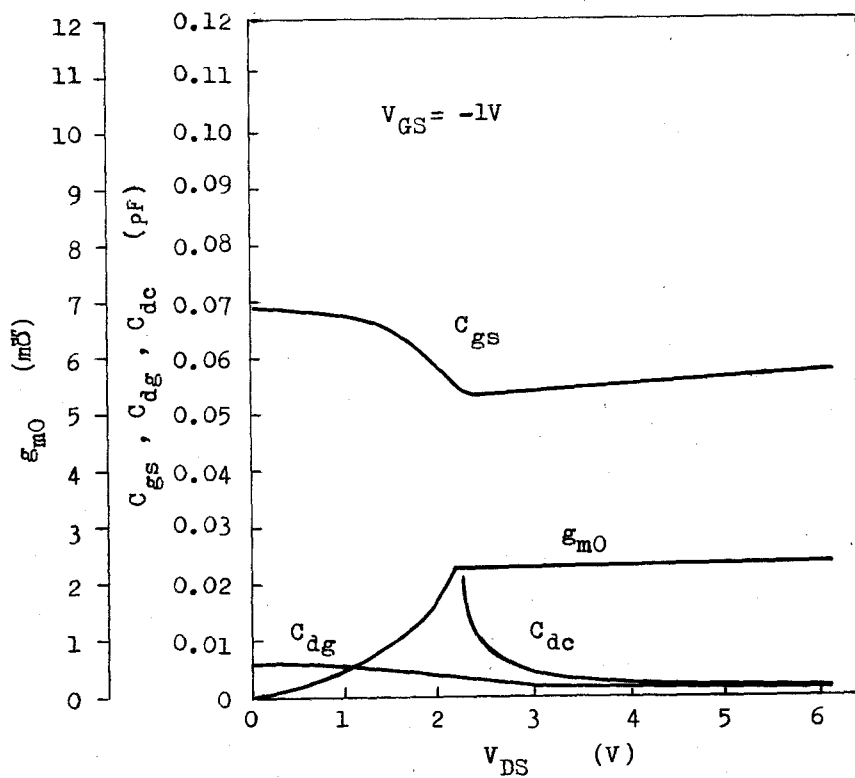


図 4.6(b) 小信号等価回路定数のドレイン電圧依存性

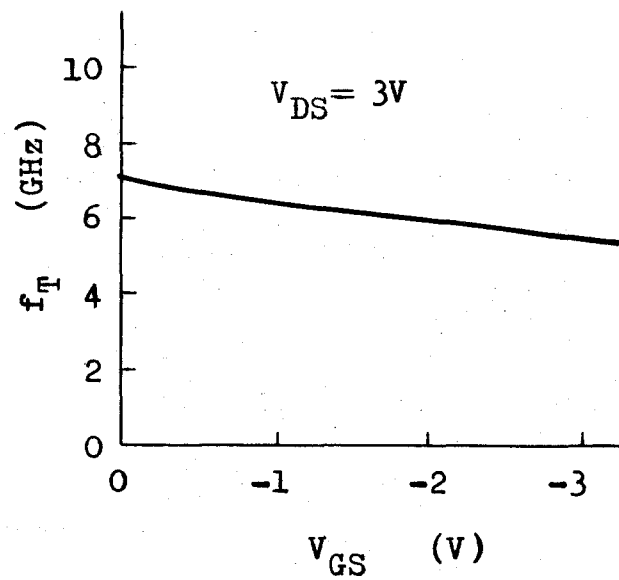


図 4.7 遮断周波数 f_T のゲート電圧依存性

表 4.1 MESFET の高周波特性 (測定値)

$l_{GO} (\mu m)$	2	4	10
$g_m (mU/100\mu m \text{ width})$	1.9	1.5	1.2
$C_{gs} (pF / 100\mu m \text{ width})$	0.08	0.10	0.20
$f_T (GHz)$	4.0	2.5	1.0

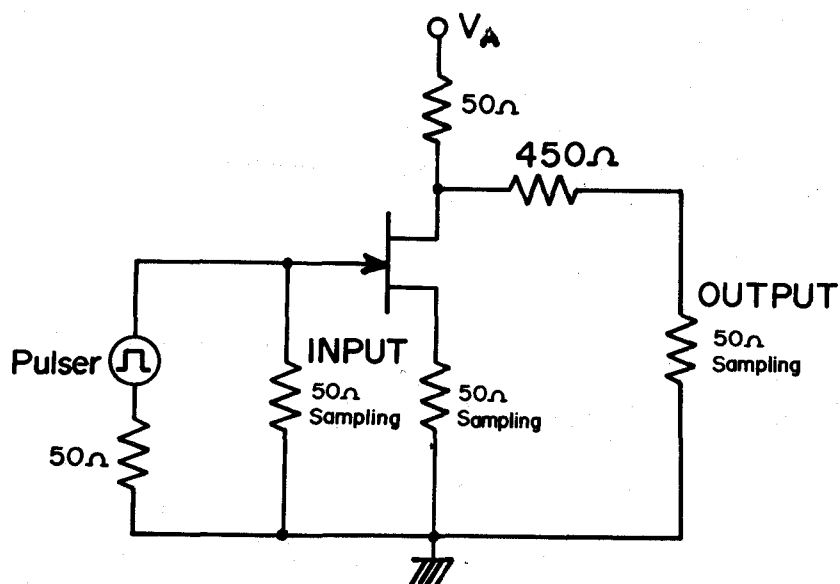


図 4.8 MESFET のスイッチング特性測定回路

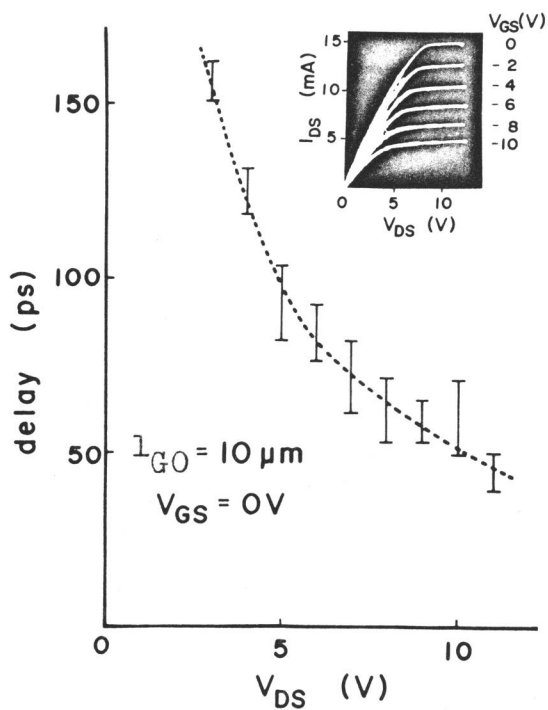


図 4.9 ゲート長 $10\ \mu\text{m}$ の MESFET のスイッチング特性

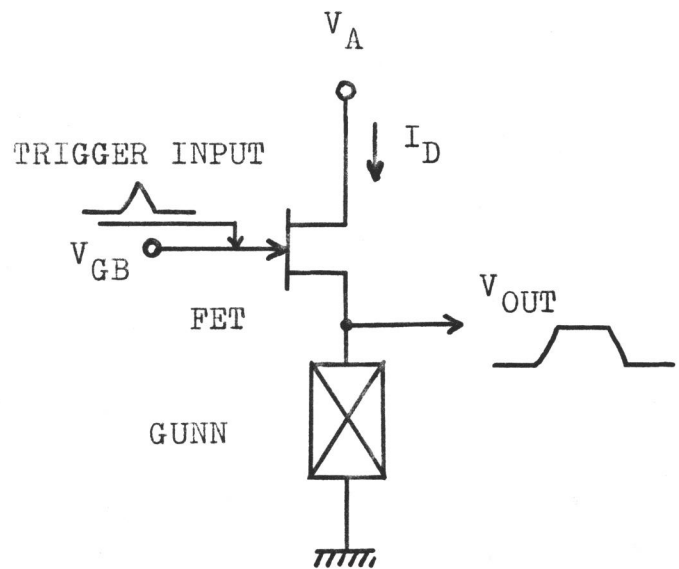


図 4.10 単ゲート回路

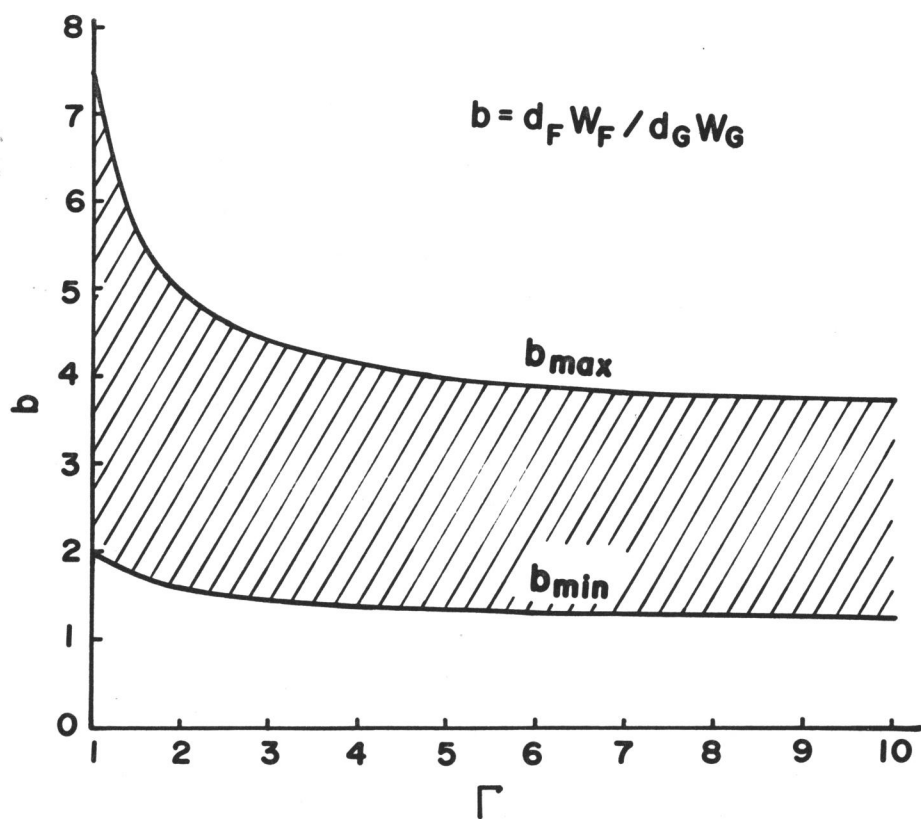


図 4.11 b の取りうる値の範囲の Γ 依存性

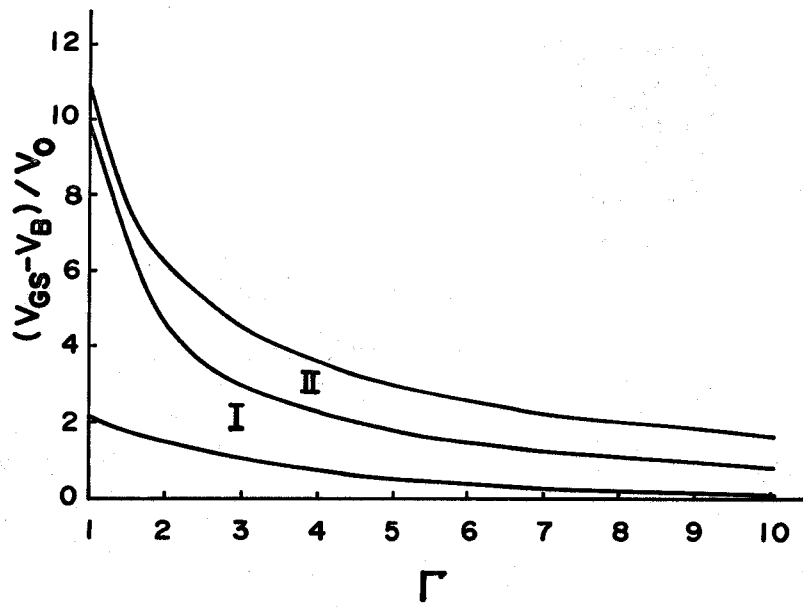


図 4.12 単ゲート回路におけるゲート電圧設定範囲の Γ 依存性
〔 $b = 2$, $\ell_{AO}/\ell_{GO} = 30$ 〕

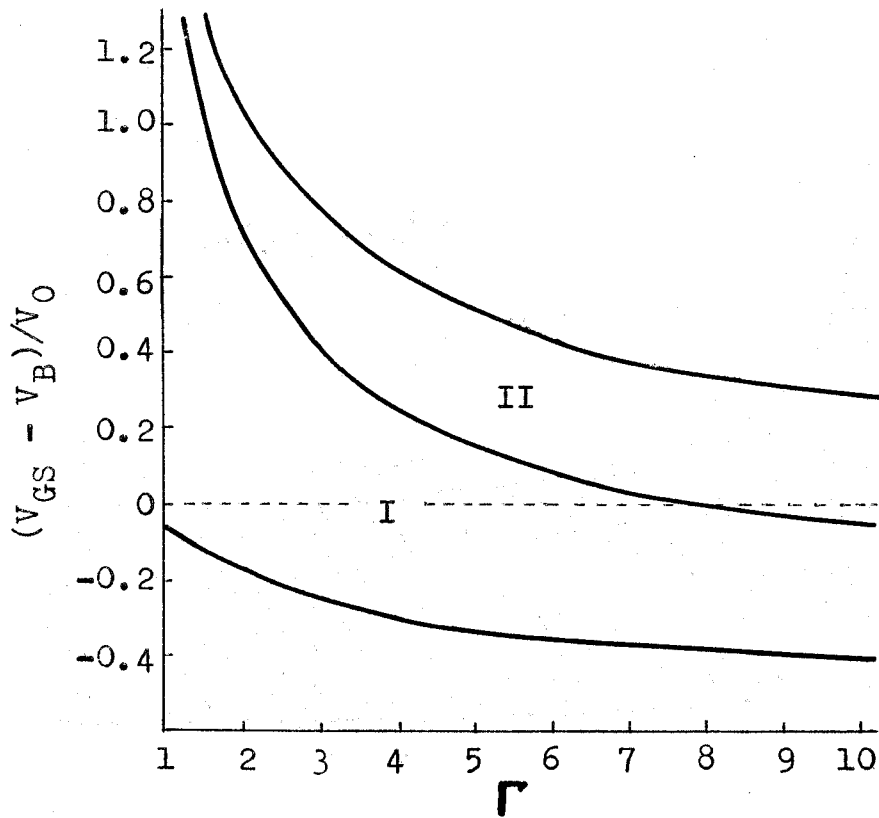


図 4.13 単ゲート回路におけるゲート電圧設定範囲の Γ 依存性
〔 $b = 2$, $\ell_{AO}/\ell_{GO} = 5$ 〕

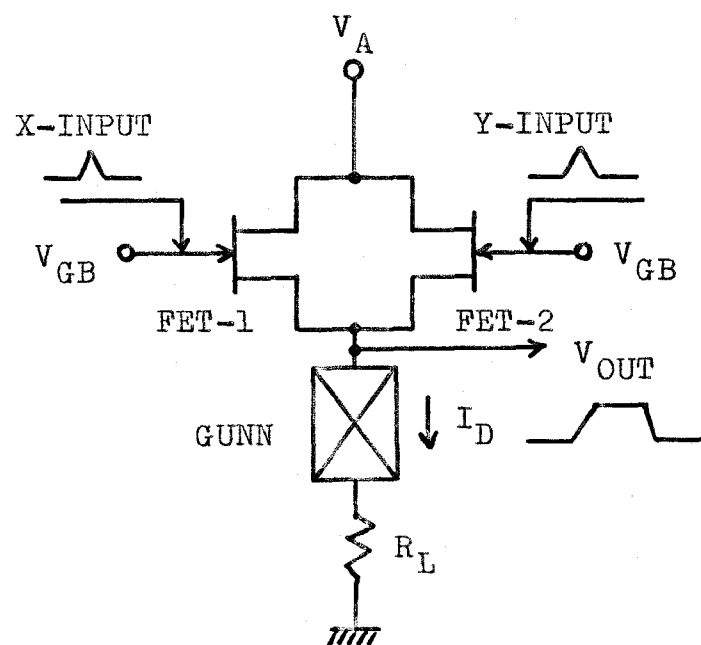


図 4. 14 A N D 回 路

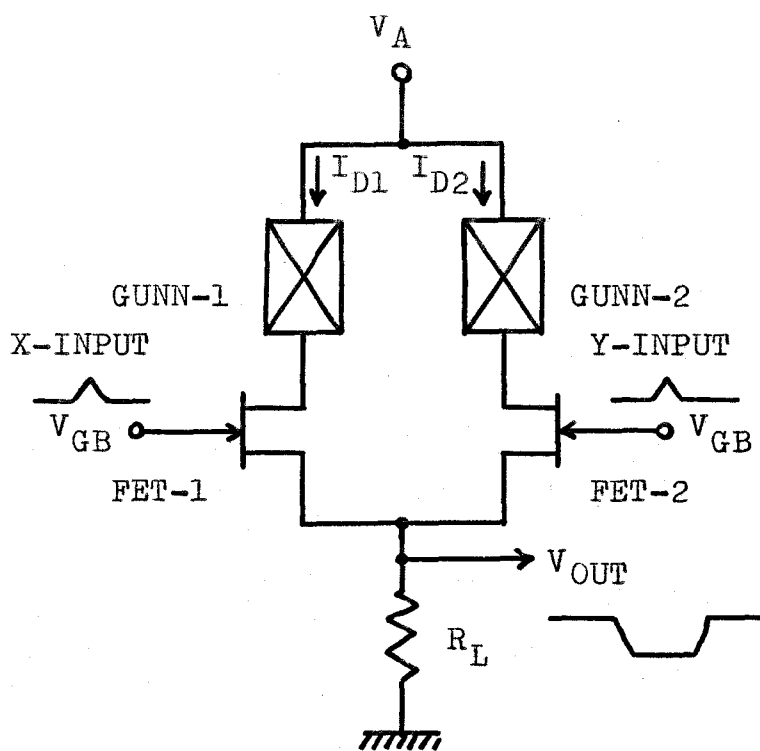


図 4. 15 Ex. O R 回路 (負 の 出 力 パ ル ス)

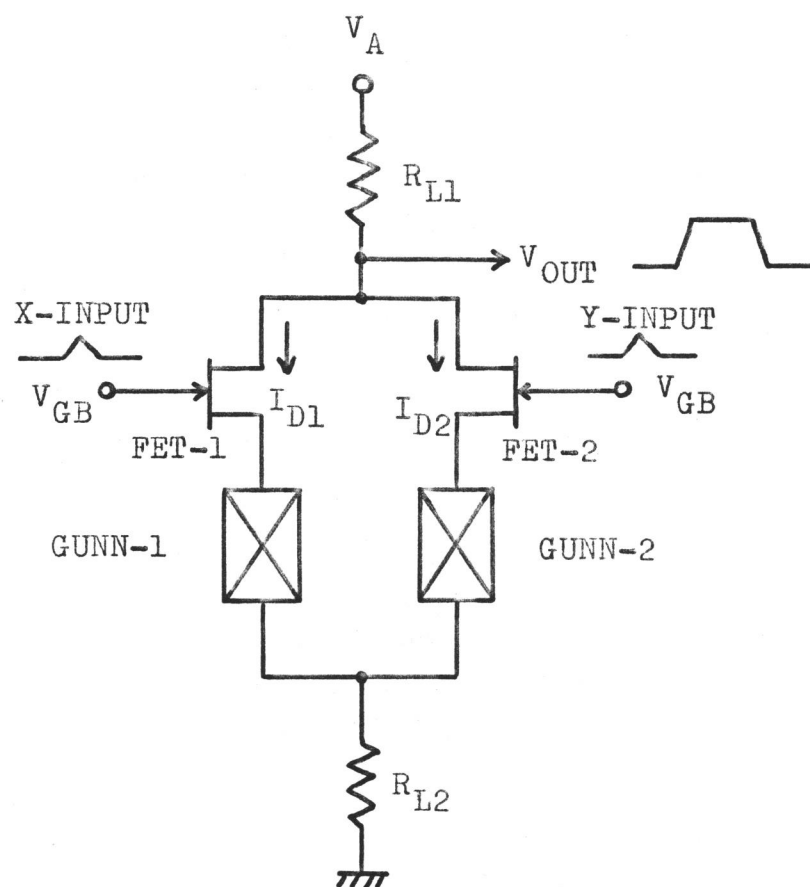


図 4.16 Ex. OR回路 (正の出力パルス)

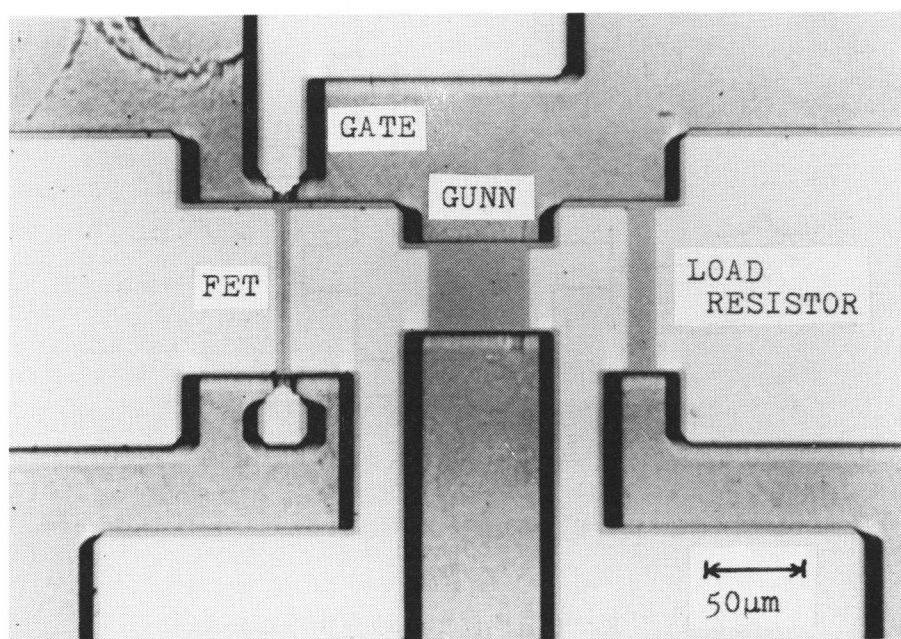


図 4.17 単ゲート回路の試作例

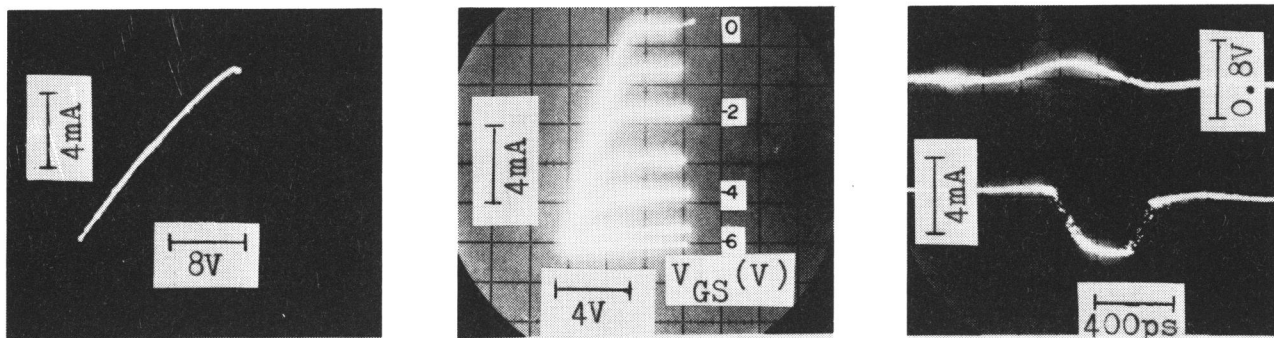


図 4.18 単ゲート回路の動作特性
 (左) ガン・ダイオードの電流－電圧特性
 (中) MESFET の電流－電圧特性
 (右) トリガ入力電圧(上)と出力電流波形(下)

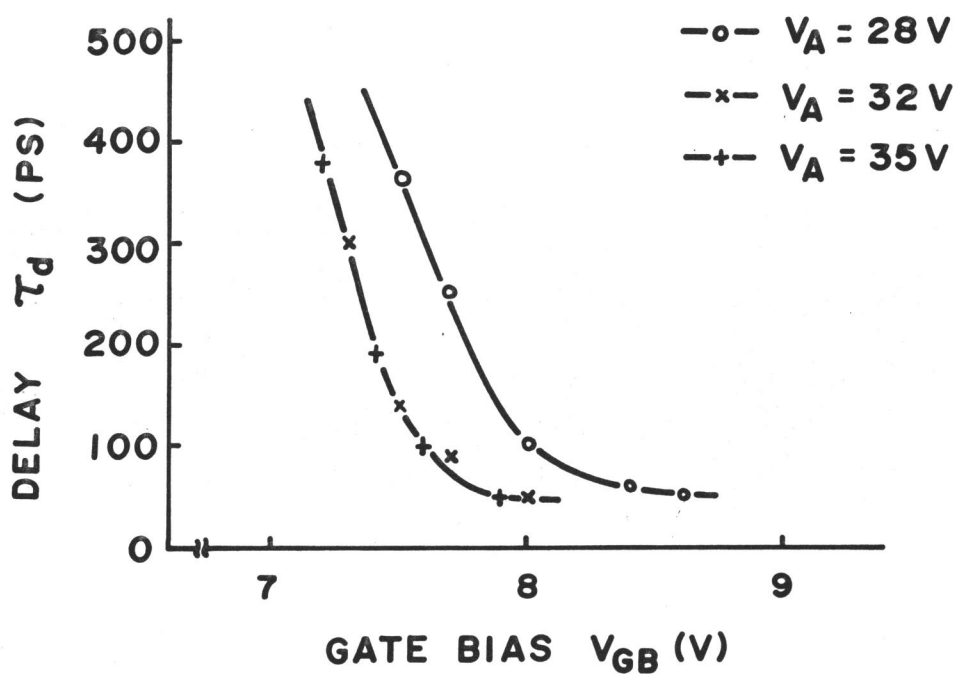


図 4.19 単ゲート回路の信号伝搬遅延時間のゲート・バイアス依存性
 ($l_{GO} = 10 \mu m$)

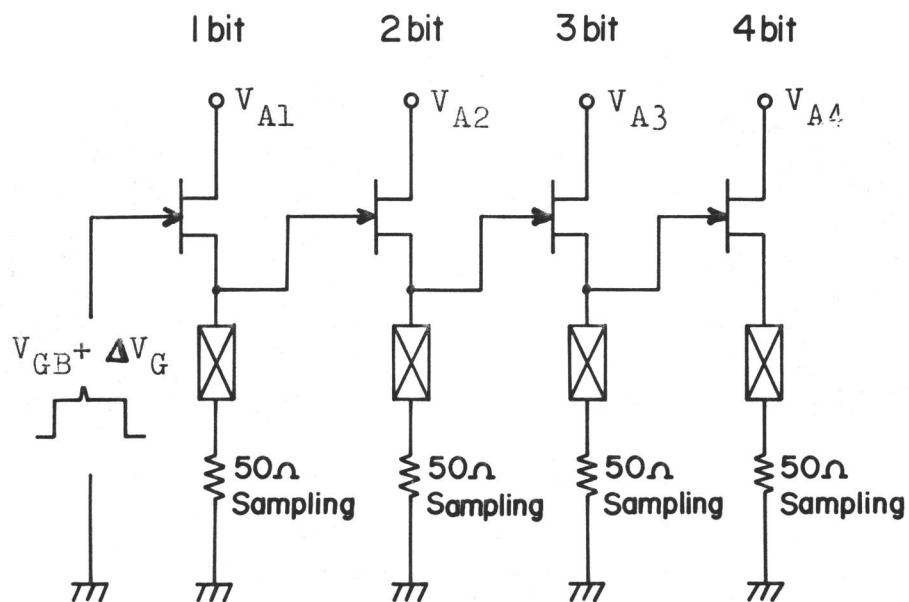


図 4. 20 遅れ時間測定用回路 (4 ビット分)

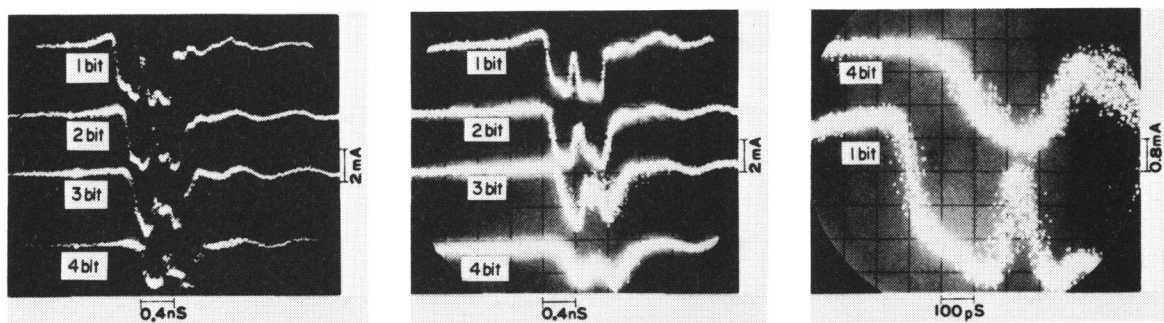


図 4. 21 4 ビット縦続接続回路の動作特性

- (左) 電源電圧の低いときの各段のガン素子電流波形
- (中) 電源電圧の高いときの各段のガン素子電流波形
- (右) 中段波形の拡大図 (第 1 及び第 4 段)

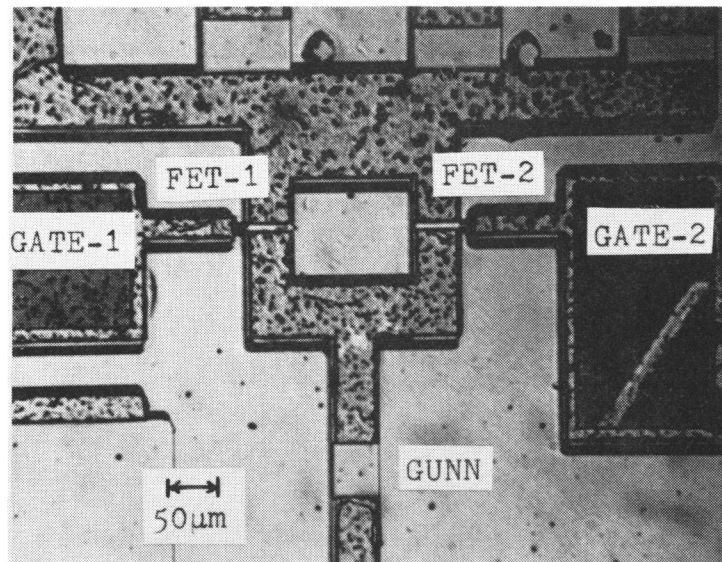


図 4.22 A N D 回路の試作例

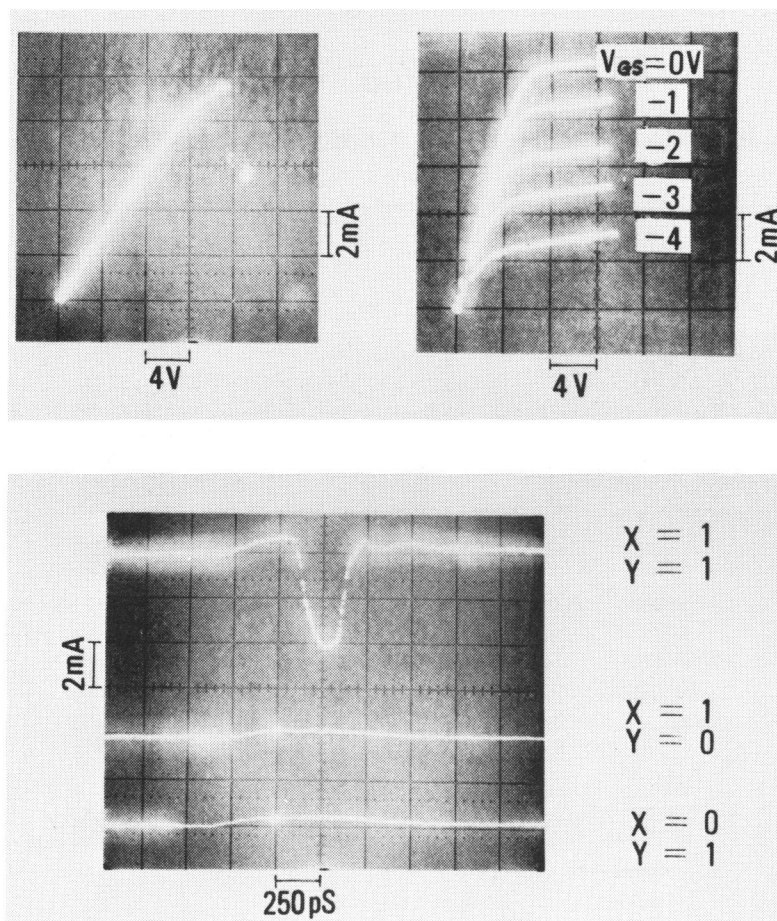


図 4.23 A N D 回路の動作特性
 (上段左) ガン素子の電流－電圧特性
 (上段右) F E T の電流－電圧特性
 (下段) 動作時のガン素子電流波形

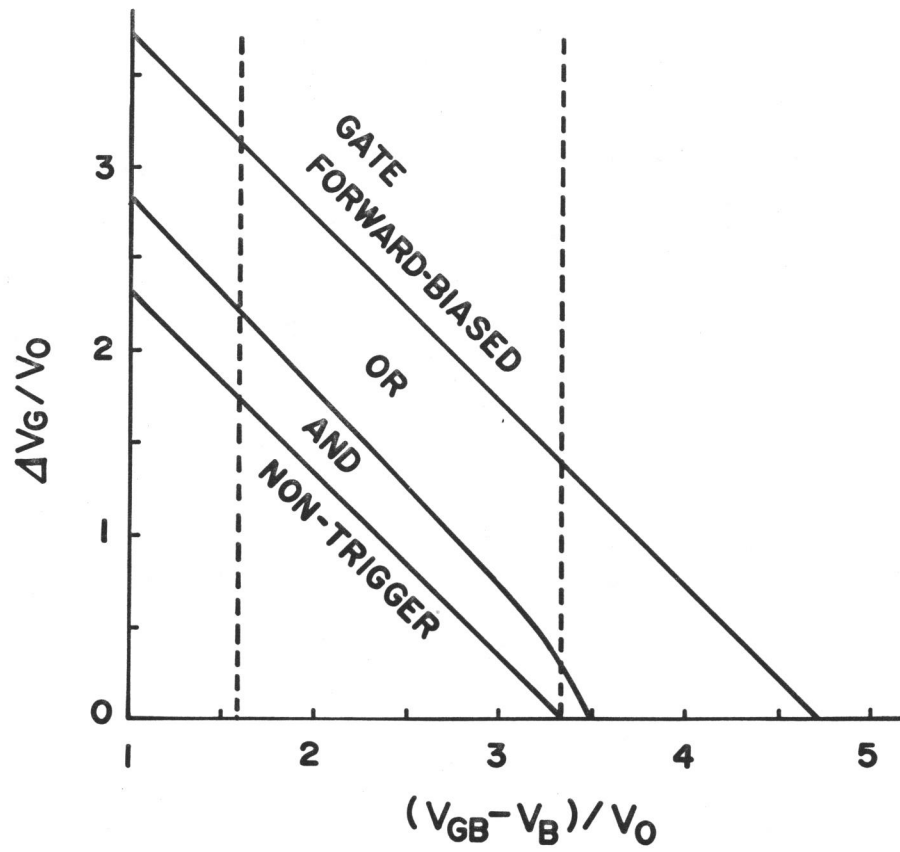


図 4.24 実験に用いた A N D 回路のトリガ電圧許容範囲のゲート・バイアス依存性

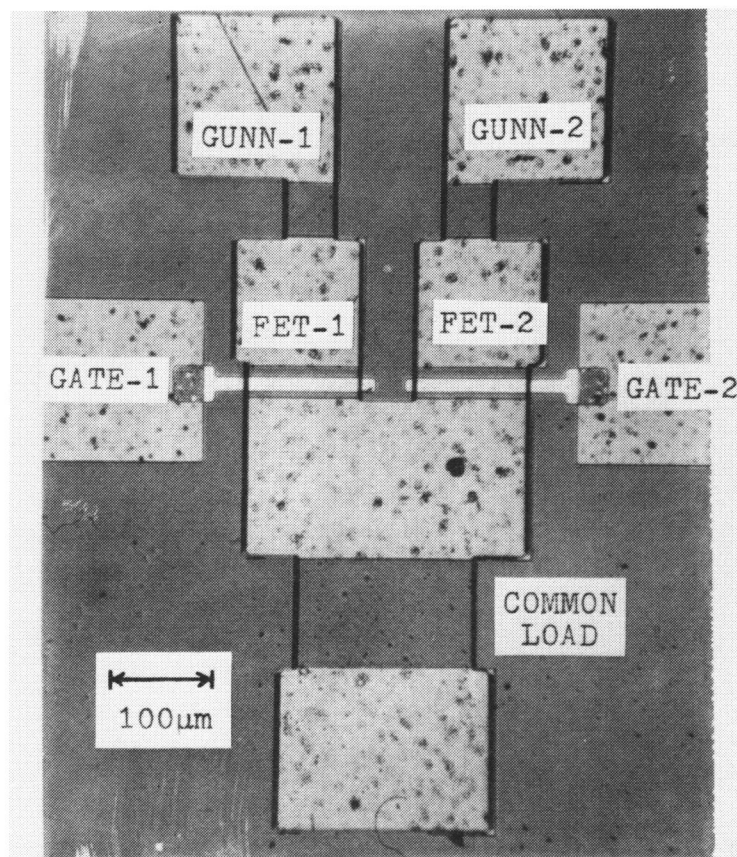


図 4.25 Ex. O R 回路の試作例

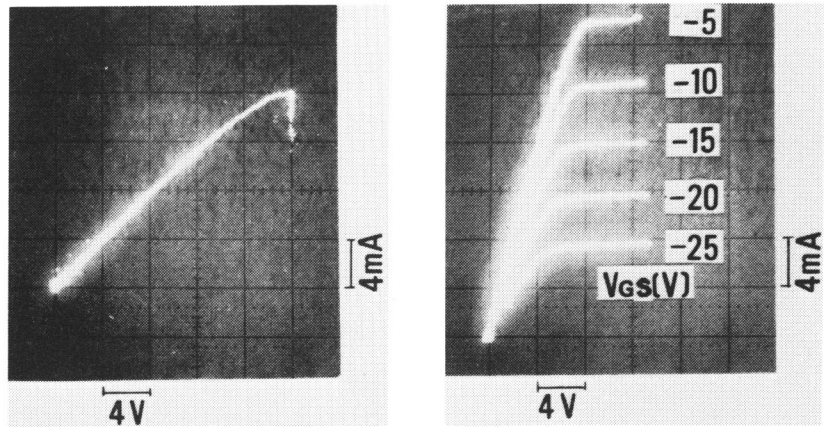


図 4.26 Ex. OR 回路におけるガン素子(左)及び FET (右)の電流－電圧特性

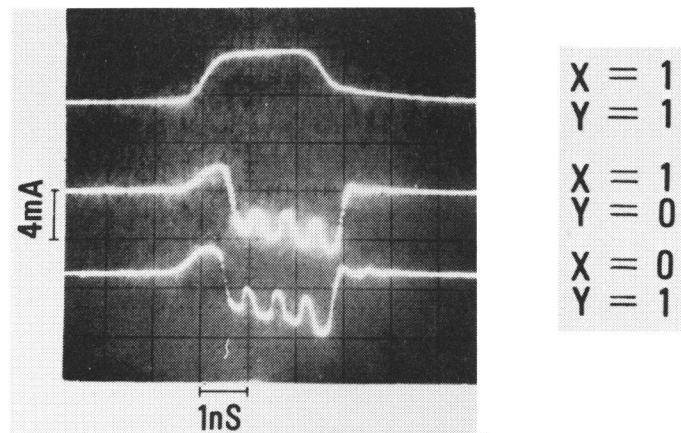


図 4.27 Ex. OR 回路の動作特性
(共通負荷を流れる電流波形)

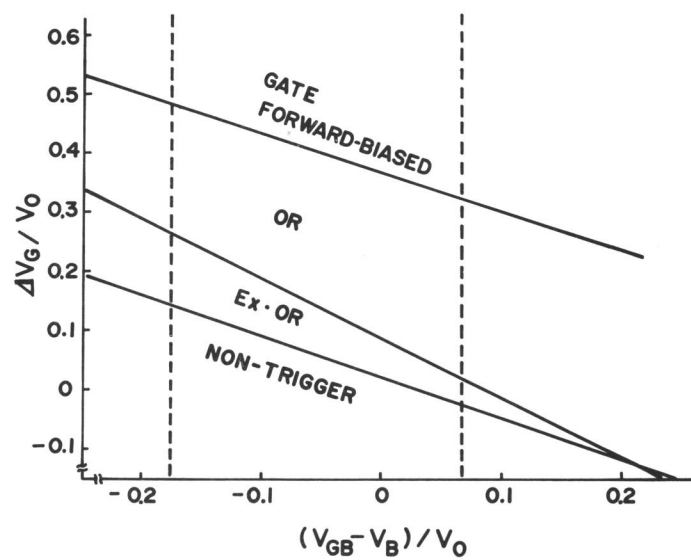


図 4.28 実験に用いた Ex. OR 回路のトリガ電圧
許容範囲のゲート・バイアス依存性

第5章 ドメインの横方向成長制御によるガン効果論理素子

第5章 ドメインの横方向成長制御によるガン効果論理素子

5.1 序 論

高電界ドメインが電界の印加されたバイアス方向（進行方向）のみならず、それに垂直な方向へも移動することはよく知られている。たとえば第2章で述べたように、プレーナ型ガン・ダイオードにおいて、カソード電極の端、素子の表面付近で形成されたドメインは、アノードに向かって走行中に素子の深さ方向（厚さ方向）へも拡がり、電極から少し離れたところでは深さ方向に一樣なドメインとなってしまふ。また、第3章で述べたショットキー・ゲード付ガン効果素子においても、最初ゲート下空乏層に隣接して部分的に核形成されたドメインは、やはりアノードへ向かいつゝ深さ方向に一樣なドメインとなる。

一樣な媒質が一樣に一方向にバイアスされているとき、それに垂直な方向へ十分に成熟したドメインが拡がる速度は、その走行速度 $v_p \approx 10^7 \text{ cm/s}$ に比べて約1桁大きいことが庄司⁽³⁵⁾によって指摘されている。この事実に着目してドメインの横方向への成長を外部からの電氣的信号によって制御し、その結果としての拡がりドメインの有無を検出できれば、超高速の論理素子の実現できるのではないかという発想が生まれた。⁽³⁶⁾ もし、そういうことが可能であるとすると、前章までの一方向への運動制御という形式から発展して、ドメインの運動を平面内で2次元的に制御する全く新しい論理素子への道が開けるわけである。

ドメインの横方向成長制御に関する従来の研究としては、長さが1 mm前後の大きい素子について検討した富沢らの報告がある。⁽¹⁰³⁾ しかし、彼らの実験では、横方向成長を利用したことによる高速性の改善という点は必ずしも明確ではない。また、ガン・ドメインの性質を利用して超高速の信号処理を行うには素子の大きさはできる限り小さい方がよいが、そのような小さい素子ではドメインの運動が素子の境界の存在によって左右される。従って、ドメインの制御に関しても大きい素子の場合とは異なった困難さが生じるであろうことが想像される。さらに、横方向成長を制御するのに最適な形状や、バイアス条件、制御の方法についての検討が必要である。^{(104)–(108)}

本章では、前記の諸課題を解明するための計算機解析を中心としたドメインの2次元の動作解析、およびそれに基づいて行った横方向成長の制御実験、そして最後に横方向成長を利用した論理素子の適用例とその動作の確認のための実験結果について述べる。^{(80),(93)–(95),(109)–(117)}

5.2 成熟したドメインの横方向成長制御

5.2.1 H型素子の計算機解析

まず、成熟したドメイン（定常走行ドメイン）の横方向成長制御について考える。このための素子構造としては、二つのガン・ダイオードのカソード・アノード間の適当な位置にダイオードを結合させるための能動領域（ブリッジ部）を設けて両者を電氣的に一体のものとするH型素子が考えられる。カソードとブリッジ部の間隔は、H型素子を構成するどちらか一方のダイオードのカソード近傍でドメインがトリガされた時、それがブリッジ部にさしかかる迄に十分成長しきるよう、大きく取ることが必要である。

H型素子において、ドメインの横方向成長の制御が可能であるかどうかを明らかにするため、2次元モデルにより計算機解析を行った。^{(115),(117)} 解析方法については、2.2節を参照されたい。モデルは図5.1に示すH型素子が二つ縦続接続されている形のものを選んだ。3個のダイオードの各々を***b-I***、***b-II***、***b-III***と名付け、***b-I***と***b-II***の間の連結部をブリッジ-1、***b-II***と***b-III***の間の連結部をブリッジ-2とする。各ダイオードの長さは $\ell_0=12.8\mu\text{m}$ 、横幅は $W_0=4\mu\text{m}$ 、ブリッジ部の長さ $\ell_B=3.2\mu\text{m}$ 、幅 $W_B=3.2\mu\text{m}$ である。ドーピング密度は $N_0=10^{15}\text{cm}^{-3}$ である。***b-I***のカソードの近傍に N_0 が他の領域より小さいノッチ部を設け、この位置からドメインがトリガされるようにした。***b-I***～***b-III***のすべてにアノード電圧 $V_{Ac}=4\text{V}$ を印加した直後の素子のブリッジ周辺における電位分布を図5.2に示す。このときには、ドメインはまだできておらず、***b-I***～***b-III***とも同じような電位分布になっている（図においては、0.1V間隔の等電位線で表わしている）。注目すべきことは、二つのブリッジ部で等電位線が非常に疎らになっていることである。これは、ダイオード部では平均電界が約 3kV/cm になっているのに対し、ブリッジ部では約 0.6kV/cm と低くなっていることを意味し、アノード電圧印加による自己バイアス効果が、ブリッジ部では期待するほど大きくないことがわかる。アノード電圧は、***b-I***のノッチ部での電界が閾値 3.4kV/cm を越すのに十分な値であるから、そこからドメインが発生し、***b-I***のアノードへ向かって走行する。ドメインはブリッジ部へさしかかった時には、ほぼ定常形態にまで成長している。その時、即ちバイアス印加後 40ps における素子内の電界分布を図5.3に示す。

図5.3（上段）は、ブリッジの中心部（図5.1の横線）に沿って横方向をながめた時の各点での電界強度を示す。図5.3（下段）は、各ダイオードの中心部（図5.1の①,②,③の各線）に沿ってバイアス方向をながめた時の電界強度分布である。下段の図から明らかなように***b-I***においてはブリッジ部の横にドメインが存在している。このドメインの最大電界は 10kV/cm を越えているのに、ドメインの存在しているすぐ横のブリッジ-1（上段の図で***b-I***と***b-II***の間の斜線部）での電界は 1kV/cm 前後の低い値のままになっている。そのために***b-II***及び***b-III***のブリッジ横での電界も 3kV/cm 前後の値に留まっており、ドメインの横方向成長は起こっていない。ドメインがブ

リッジ部へ達してもブリッジ部での電界が低すぎるために横方向へは拡がれないのである。

以上の結果より、H型素子では、ブリッジ部の自己バイアス効果を利用してドメインを横へ拡げることは、かなり困難な事であることがわかった。^{(36),(103)} 富沢らの実験は、自己バイアス効果を利用した素子を使ったものであるから、同様なことが言える。彼らの実験で信号の横方向への転送が速くないのもブリッジ部での電界が低いためであろう。

5.2.2 H型素子の水槽実験

計算機解析により、H型素子のブリッジ部での電界を高めるような工夫が、素子を予期通りに働かせるために必要であることがわかった。その方法として、ブリッジ部の縁に沿ってオーミック電極を設け、この電極を通して外部から電圧を印加することを考えた。⁽¹¹⁷⁾ 図 5.4 にその場合の素子構造を示す。ブリッジ部の両縁にそれぞれゲートー1、ゲートー2と称するオーミック電極を設定する。ゲートー1がゲート・バイアス V_{g1} を印加するための電極であり、ゲートー2は隣接するダイオード部からの電位を引き継いでブリッジ部内の電界がドメインの進行方向に平行になるようにし、ゲート・バイアス変化によるブリッジ部電界の制御を効率よく行わせるための浮動電位電極である。この構造で、ブリッジ部電界の制御が実際に可能であるかどうかを確かめるため、図に示す大きさのH型水槽を製作し、水槽実験を行った。電位の測定は、水中にタングステン針よりなる探針（マニピュレータに連動）を浮かせて走査し、X-Yレコーダに記録させることにより行った。

測定した電位分布から得たブリッジ部の平均電界に比例する量 $V_{g1}-V_{g2}$ （ V_{g2} はゲートー2の電位）を V_{g1} の関数として示すと図 5.5 となる。 V_{g1} が低いところでは、 $V_{g1}-V_{g2}$ は V_{g1} に殆んど依存しないが、 $V_{g1}>2V$ では、 V_{g1} を増すにつれて $V_{g1}-V_{g2}$ が大きくなる。即ち、 V_{g2} の浮動電位以上のゲート電圧を印加することにより、ブリッジ部の平均電界を V_{g1} によって制御できる。従って、図 5.4 のような2電極ブリッジ構造のH型素子で、ドメインの横方向への成長を制御できる可能性がでてきた。

5.2.3 H型素子の動作実験

H型素子でのドメインの横方向成長制御性を実験で調べるために、図 5.4 に示す構造の素子を試作した。図 5.6 はその試作例である。^{(80),(110),(117)} 試作に用いた結晶は、Crドープ半絶縁性基板上に気相成長したSnドープ・エピタキシャルGaAsで $N_0=7\sim 8\times 10^{15}\text{cm}^{-3}$ 、厚さ $d=4\sim 5\mu\text{m}$ である。素子の各部分の大きさは、 $\ell_0=200\mu\text{m}$ 、 $W_0=100\mu\text{m}$ 、 $\ell_B=40\mu\text{m}$ 、 $W_B=100\mu\text{m}$ 、 ℓ_{CG1} （カソード・ゲートー1間距離） $=90\mu\text{m}$ である。測定は、パルス幅50ns、くり返し200Hz～2kHzのパルス・バイアス下で行った。測定回路は後で述べるE型素子の場合と同様であり、 $b-I$ と $b-II$ のアノード電圧、ゲートー1へのゲート電圧パルスは同時に印加した。アノード電圧は $b-I$ 、 $b-II$ とも閾値

電圧以下とし、バイアス・パルスの立ち上がりより約20ns遅れて正のトリガ電圧（パルス幅は1ns以下）を**b-I**のアノードへ印加してドメインを発生させた。素子電流はカソード・アース間の50Ω抵抗を通して観測した。

図5.7は、H型素子におけるドメインの横方向成長制御の動作例である。^{(80),(110)}アノード電圧 V_{AC} は**b-I**、**b-II**共65Vである。ゲート-1へのゲート電圧 V_{g1} が高いとき（ $V_{g1}=27V$ ）、**b-I**のカソード近傍で発生したドメインは成長しつつアノードへ向かって走行し、十分成長した後、ブリッジ部へさしかかる。そのとき、ブリッジ部での電界がゲート電圧によって高められているので、ドメインは横方向へも拡がってゆき、**b-II**にも新たなドメインを形成する。そのために**b-II**でも素子電流の減少が観測される（上図）。**b-I**でドメインがトリガされてから、**b-II**にドメインを形成するまでに要する時間 τ_{DT} は、

$$\tau_{DT} = \tau_{D1} + \tau_{D2} \quad (5-1)$$

となる。⁽¹¹⁰⁾ここに、 $\tau_{D1} = \ell_{CG1}/v_p$ は、**b-I**のカソードで核形成されたドメインが、ゲート-1に達するまでの時間、 $\tau_{D2} = W_B/v_T$ は、**b-I**でのドメインが**b-II**へ横方向に拡がるのに要する時間であり、 v_p 、 v_T はそれぞれドメインの走行速度、横方向拡がり速度である。上図の**b-I**の電流波形は、ドメイン生成に伴う初期の減少開始時刻から約0.9ns後に上昇しているが、それはドメインがゲート-1の横にまで達したためと思われる。これより $v_p = 10^7 \text{cm/s}$ を得る。**b-II**での電流減少開始時刻より $\tau_{DT} = 1 \text{ns}$ を得るが、この値を(5-1)に代入して $v_T = 10^8 \text{cm/s}$ を得る。従って、 $v_T \simeq 10 v_p$ となり、ドメインの横方向成長速度が、その走行速度より約1桁速いことが確認された。

一方、ゲート電圧が低いとき（ $V_{g1}=22V$ ）、**b-I**での電流波形は $V_{g1}=27V$ の場合と殆んど変わらないが、**b-II**での電流減少は起こっていない。その理由は**b-I**中を走行するドメインがブリッジ部へ到達しても、ゲート電圧が低いために、ブリッジ部での平均電界が低く抑えられてドメインが横方向へ拡がることのできないからである（下図）。⁽¹¹⁸⁾以上のように、ゲート電圧 V_{g1} を変化させることにより、ドメインの横方向への拡がりを制御できることがわかった。しかし、このような制御性を実現するためには、 V_{AC} の値を正しく設定することが要求される。たとえば、 V_{g1}/V_{AC} を図5.7上段の場合と同じにして V_{AC} を若干低くして実験すると、**b-I**中にトリガされたドメインがゲート-1まで走行して**b-II**にドメインを伝える以前にそこで吸収されてしまった。また、 V_{AC} を高くしすぎると、**b-I**にドメインをトリガすると同時に**b-II**でもカソードでドメインがトリガされ、両分岐とも同じような電流波形を示した。これらの動作はゲート電圧によるドメインの横方向成長制御上、好ましいものではない。

本実験においては、カソード・ゲート間にドメインがある場合に比べて、ゲート・アノード間にそれがある場合の方が電流レベルが高くなっている。それは、ドメインがカソード・ゲート間にある時にはそこでの抵抗がゲート・アノード間に比べて高いのでゲート-1からの電流の流入

が少ないのに比べて、ゲート・アノード間にドメインがある時には、カソード・ゲート間の方が抵抗が低くなるので、かなりの電流がゲートー1から供給されてカソード端子に流れ込むためであると考えられる。この現象は出力の変化率が小さくなるので好ましくないが、ブリッジ幅 W_B が広く、ゲートー1の電極がブリッジ縁の一部分($b-I$ と $b-II$ の間の中央部)にのみ設けた素子では、電流レベルの上昇の程度を小さくすることができた。

5.3 成長途上にあるドメインの横方向成長制御

5.3.1 E型素子の計算機解析

前節で成熟したドメインの横方向成長を制御するのに、H型構造の素子が適当であることを述べた。成熟したドメインの横方向成長速度は約 10^8 cm/s であり、走行速度より1桁速いことも確認された。しかし、H型素子では、トリガされたドメインがブリッジ部に達するまでの走行時間が、直接に信号出力の遅れとして効いてくる。カソード・ブリッジ間距離 ℓ_{CG1} を短くすれば遅れも小さくなるが、トリガされたドメインが成熟するまでに要する時間よりも遅れ時間(即ち ℓ_{CG1})を小さくすることはできず、横方向成長の高速性を十分に生かしきれない。そこで、ドメインがトリガされると同時に横方向へも拡がり得る構造を考え出せば、本当の意味での高速回路を作れるものと思われる。⁽¹⁰⁹⁾かくして、成長途上にあるドメインの横方向成長制御の発想が生まれた。

しかるに、成長途上のドメインの横方向への成長を、その高速性を損うことなく外部信号によって制御できるかどうか、或いは、成長中のドメインの横方向成長そのものが、成熟したドメインのそれと同様に本当に速いものであるかどうかは全く不明である。それゆえ、この2点についての解明をすることが必要となり、まずは計算機解析による究明を行った。モデルとしては、図5.8のようなE型素子考えた。この素子は、H型素子において、ゲートー2の位置が $b-I$ 、 $b-II$ のカソードと同じになり、それらが合体してしまったものとみなせる。E型素子のオーミック・ゲート電極は、H型素子のゲートー1の電極に相当する。2つの分枝(branch-I および branch-II, 以下では $b-I$ および $b-II$ と略記)のカソードの直前にトリガ・ゲートを設けるようにし、解析上はノッチとする。能動領域のドーピング密度 N_0 は 10^{15} cm^{-3} としている。

(A) アノード・トリガ方式

アノード・トリガの計算機解析に用いたモデルの大きさは $\ell_0 = 24 \mu\text{m}$, $\ell_G = 10 \mu\text{m}$, $W_0 = W_G = 8 \mu\text{m}$, $\ell_C = 3.6 \mu\text{m}$, $\ell_T = 4.8 \mu\text{m}$ である。^{(111), (116)}アノード、カソード及びオーミック・ゲートの電極部分は $5N_0$ から N_0 へゆるやかに変化するドーピング密度を与えた。本モデルでは $b-I$ にのみドメインをトリガさせる必要から、図5.8のトリガ・ゲートーIに相当する部分(面積 $0.8 \times 1.6 \mu\text{m}^2$)のドーピング密度 N_{N1} を $0.75 N_0$ とし、トリガ・ゲートーIIに相当部分では単に $N_{N2} = N_0$ とした。

図 5.9 (上段) にバイアス印加の仕方を描いている。 $b-I$, $b-II$ のアノード・バイアス V_{A1} , V_{A2} は時刻 $T = 2 \text{ ps}$ において、閾値電圧よりも低い定常値 6 V が与えられている。同時刻ではオーミック・ゲートへの印加電圧 V_G も定常値になっている。 $T = 12 \text{ ps}$ に立ち上がり 2 ps , 幅 10 ps , 立ち下がり 2 ps , 0.5 V のアノード・トリガ・パルス $b-I$ に印加開始する。

図 5.10 (a) は、ゲート電圧が高いとき ($V_G = 3 \text{ V}$; Gate-ON) の各時刻における素子内の各点での電界強度分布を示す。トリガ電圧が定常値に落ちついた直後の $T = 16 \text{ ps}$ では $b-I$ のノッチで核形成されたドメインは $b-I$ 内では既にかかなりの大きさにまで成長している。しかも、横方向へゲート領域を通過して $b-II$ の領域にまで延び、僅かながらそこでの電界を持ち上げている。トリガ電圧が減少を開始する $T = 24 \text{ ps}$ では $b-I$ でのドメインは殆んど定常形態に近い形状になっており、横へ拡がった高電界も各部分で、その強度を増している。 $T = 72 \text{ ps}$ では $b-I$, $b-II$ ともゲート領域を越えてアノード側領域へ入り込んでいる定常走行ドメインが存在している。オーミック・ゲート電極部でも若干小さいが高電界領域が形成されている。これは、 $b-I$, $b-II$ でのドメインの形成のために $b-I$, $b-II$ のカソード近傍の電界が低下し、従って電位が低下する影響で、オーミック・ゲートとカソード間の能動領域でもカソード側の電位が下がることによる。その間には定電圧 V_G が印加されているから、カソード側の電位の低下は、直ちにオーミック・ゲート部での電界の上昇につながり、そのためにゲートの直前で半定常的な空間電荷の停留が起こる。この電荷は、各分岐でのドメインの消滅に伴うカソード近傍の電界の上昇と共に消失してゆく。

ドメインが横に拡がる時、 4 kV/cm , 6 kV/cm , 9.2 kV/cm の各等電界強度曲線の先端が横方向へ移動する速度 v_T はそれぞれ $1.2 \times 10^8 \text{ cm/s}$, $1.0 \times 10^8 \text{ cm/s}$, $0.9 \times 10^8 \text{ cm/s}$ となる。従って、成長途上にあるドメインの横方向成長速度も、成熟した場合同様、走行速度より約 1 桁速いという結論になる。図 5.9 (中段) は、図 5.10 (a) のドメイン・ダイナミクスに対応した $b-I$ 及び $b-II$ のアノード電流 I_1 および I_2 の時間変化を示す。ドメインがゲート部を通過する $T = 40 \text{ ps}$ までは、どちらの電流も減少しつつあるが、それより遅い時刻では、 I_1 , I_2 ともトリガ入力のある前の電流レベルの約半分のレベルに落ち着いている。 I_1 の電流減少に対する I_2 のその遅れは、約 7 ps であり、 $\tau_d \doteq W_G / v_T$ と表わせる。即ち、内部信号伝搬の遅延時間は、横方向成長速度 v_T に逆比例する。

図 5.10 (b) は、ゲート電圧が低いとき ($V_G = 2.5 \text{ V}$; Gate-OFF) の電界強度分布の時間変化を示す。 $T = 16 \text{ ps}$ で $b-I$ ではドメインが成長しつつあるが、 $b-II$ への伝搬は見られない。 $T = 24 \text{ ps}$ では $b-I$ のドメインの影響でゲート領域の電界が局所的に高められるが、 $b-II$ および $b-II$ よりのゲート領域では変化はない。 $T = 72 \text{ ps}$ でも $b-I$ 中を走行する定常走行ドメインが存在するのみで、 $b-II$ 側は依然として変化はない。図 5.9 (下段) はこのときの I_1 および I_2 の時間変化を示すが、 $b-I$ にのみドメインができるのに対応して、 $b-I$ の電流のみが減少している。図 5.9 の

中段との比較で明らかなようにE型素子においても、ゲート電圧を変えることにより、成長の初期又は途上にあるドメインの横方向を制御することができ、各分岐のアノード電流で、その結果を取り出すことができる。

E型素子でも形状やバイアス条件を正しく設定しないと、前記のような制御性は実現できない。たとえば、 $W_0 = W_G \leq 4\mu\text{m}$ の素子では、ドメインを横へ伝えないでノッチからドメインを発生させるバイアス条件を見出すことができなかった。また、 ℓ_G も $7.6\mu\text{m}$ と短くした素子では、逆にドメインを正常に横に拡げるためのバイアス条件が見つからなかった。

(B) ショットキー・ゲートによるトリガ方式

次に、図5.8でのトリガ・ゲートがショットキー・ゲートであって、それに負のトリガ電圧を印加してドメインを発生させる方法について、計算機解析を行う。この場合は3次元モデルを立てることが必要となり、直接には解析するのがむづかしい。そこで、第3章での解析結果を参照して、2次元モデル化を試みる。ショットキー・ゲートによるトリガ方式は、ゲート下空乏層の延びを大きくし、その下のチャネル中に掃き出されるキャリアの蓄積層が、そこでの高電界の助けを得てドメインへと成長してゆくものである。そこで、トリガ・ゲートのノッチの深さを信号入力に対応させて深くすることにより、そこでの過剰キャリアの生成を促し、ドメインの核となすことで本方式をモデル化する。図5.11(上段)は、トリガ・ゲート-Iにトリガ入力⁽¹¹⁰⁾が印加された場合を想定して、そこでのドーピング密度 N_{N1} を $0.9N_0$ から $0.5N_0$ へと変化させたものである。以下、このときのドメインの振舞いについて述べる($N_{N2} = 0.9N_0$ は不変)。

図5.12は、各時刻における等電界強度分布を示す。図中の数値の単位は kV/cm である。図の左側がゲート電圧の高い場合($V_G = 3.0\text{V}$; Gate-ON)、右側が低い場合($V_G = 2.5\text{V}$; Gate-OFF)の結果である。モデルの寸法とドーピング密度、アノード電圧は図5.10の場合と同じである($V_{A1} = V_{A2} = 6\text{V}$)。ただし、ノッチ領域(トリガ・ゲート部)は**b-I**、**b-II**とも同じ面積($0.8 \times 4.0\mu\text{m}^2$)を与えている。図から明らかなように、 $V_G = 3.0\text{V}$ のときには**b-I**のトリガ・ゲートで核形成されたドメインは、ゲート部を通して**b-II**へ拡がり、そこで新たにドメインを形成する。しかし、ゲート電圧の低い $V_G = 2.5\text{V}$ のときには、**b-II**へ拡がることなく、**b-I**中のみを走行するドメインが得られる。図5.11中段および下段は、それぞれ $V_G = 3.0\text{V}$ 、 $V_G = 2.5\text{V}$ のときのアノード電流の時間変化を示す。ドメインの横方向への成長の可否に応じて、**b-II**の電流減少の有無の差がはっきり表われている。従って、ショットキー・ゲートによるトリガを用いても、E型素子におけるドメインの横方向成長の制御は、ゲート電圧の調節により可能であることがわかる。

図5.12左側の図より、 $v_T \doteq 7 \times 10^7 \text{cm/s}$ を得る。この値は、アノード・トリガ方式の場合よりも若干遅い。その理由は、アノード・トリガの場合、ドメインの横方向成長の期間中アノードにトリガ電圧が印加されているから、実効的な電界がゲート部の能動領域でもやゝ高くなっている

ためと思われる。ショットキー・トリガの場合でも V_G を大きくすれば v_T も大きくなる。 v_T は能動領域のドーピング密度 N_0 にも依存する。その例として、 $N_0 = 2.5 \times 10^{15} \text{ cm}^{-3}$ で他の条件は図 5.12 左側の図の場合と同じとした時、 $v_T = 1.0 \times 10^8 \text{ cm/s}$ を得た。

図 5.11 の電流の変化で注意すべきことは、ドメインが横に伝わる場合、 $b-I$ と $b-II$ とでパルス幅が異なっていることである。特に、 $b-II$ の方が時期的に早く元のレベルにまで回復している。その原因は図 5.12 左側の図から理解できる。即ち、横へ伝わったとき、 $b-II$ でのドメインの形成場所は、 $b-I$ でのドメインの位置よりも、よりアノードへ近い。それはドメインの横への拡がり方が、カソード電極に対して斜めになるように拡がるためである。そのため、 $b-II$ でのドメインは、 $b-I$ より少ない走行距離を走行してアノードに達し、より早く消滅してしまう。この斜め方向への拡がり方はアノード・トリガの場合も同じであって、トリガ形式によらず起こることである。斜め方向へ拡がりが起こるのは、拡がりつつあるドメインの前方（横方向）の周囲電界の方が、後方のそれよりも常に閾値に近いから、キャリアの速度が大きく、ドメインの核が元のドメインよりも早くアノード側へ移動するためと考えられる。論理素子の設計には、この効果を考慮して素子の各部分の大きさを決めなければならない。

5.3.2 ゲート長 ℓ_G の最小値

計算機解析により、E 型素子の設計に際しては、ゲート長 ℓ_G をいくらにするかが重要であることがわかった。 ℓ_G の最小値を求めることが素子の設計の目安となる。この値 $\ell_G (\text{min})$ は当然ドーピング密度 N_0 に依存するであろう。また、その際には拡散係数の電界依存性も考慮に入れなければならないだろう。そこで、ドメインの 2 次元的な成長過程を小信号解析で求め、 $\ell_G (\text{min})$ の値を求めることにした。解析は、小さなキャリア密度の擾乱が一様な閾値以上の電界 E_0 にバイアスされた媒質内で成長してゆく過程を線形化した Poisson 方程式と電流連続の式を解いて求める方法を用いた。^{(110), (119)} 解析結果を基にして、成長途上にあるドメインの横方向成長速度 v_T をドーピング密度 N_0 の関数として求めたのが図 5.13 である。^{(110), (117)} 仮定したパラメータは $E_0 = 4 \text{ kV/cm}$, $v_0(E_0) = 2 \times 10^7 \text{ cm/s}$, $D_0(E_0) = 400 \text{ cm}^2/\text{s}$, $v_0/E_0 = 5000 \text{ cm}^2/\text{V} \cdot \text{s}$, $(dv/dE)|_{E=E_0} = -2500 \text{ cm}^2/\text{V} \cdot \text{s}$, $(dD/dE)|_{E=E_0} = -0.1 \text{ cm}^2/\text{V} \cdot \text{s}$ である。同図には、成長途上にあるドメインの走行速度 v_e (実効走行速度) および拡散誘起速度 v_{dif} の値も示している。この両者には、

$$v_e(E_0) = v_0(E_0) - v_{dif}(E_0) \quad (5-2)$$

なる関係があり、 $v_{dif} = eN_0 (dD/dE)|_{E=E_0} / \epsilon$ ⁽¹¹⁹⁾ である。 $v_0(E_0)$ は平衡状態での速度-電界特性である。上式からわかるように n 形 GaAs では初期ドメインの走行速度は定常走行時よりも速い ($v_0(E_0) > v_p$, かつ $v_{dif} < 0$ ゆえ)。 N_0 が $10^{15} \sim 10^{16} \text{ cm}^{-3}$ の範囲では v_0 と v_T はほぼ同じ大きさになっている。 ℓ_G の値の決定には、このことも考える必要がある。 v_T そのものは、

$$v_T \propto \sqrt{N_0 D_0 |dv/dE|} \quad (5-3)$$

と書ける。 v_T が N_0 と共に大きくなることは、前述の2次元計算機解析でも確かめられている。

さて、E型素子のカソード近傍でトリガされたドメインは、それ自身が十分成熟するまでの間は(5-2)で与えられる v_e なる速度で走行すると考えられる。十分成熟した後では定常走行速度 $v_p = 10^7 \text{ cm/s}$ で走行するであろう。ドメインが成熟するのに要する時間を τ_g とすると、そのドメインが横方向成長を達成した時点で、それ自身が成熟しているかどうかで、ゲート長の最小値 $\ell_G(\text{min})$ は次のように与えられる。⁽¹¹⁰⁾

$$\ell_G(\text{min}) = \begin{cases} v_e \cdot \tau_g + W_D + \ell_T & (\tau_T < \tau_g \text{ のとき}) \\ v_e \cdot \tau_g + v_p \cdot (\tau_T - \tau_g) + W_D + \ell_T & (\tau_T \geq \tau_g \text{ のとき}) \end{cases} \quad (5-4)$$

ここに、 W_D は成熟したドメインの幅であって、 E_R をドメイン外側電界として、

$$W_D = \sqrt{2 \varepsilon \tau_g v_e (E_0 - E_R) / e N_0} \quad (5-5)$$

で与えられる。また $\tau_T = W_G / v_T$ である。 ℓ_T は図5.8に定義されている。 $\tau_T < \tau_g$ の場合であっても、トリガされた分岐から他の分岐への横方向成長を確実に起こさせるためには、トリガされた分岐でドメインが臨界距離(MARGINAL DISTANCE) $\ell_{MD} = v_e \cdot \tau_g$ 以上は走行してゲート部を通り過ぎるように設計する必要がある。 W_D の大きさも考慮しているのは、横方向へ拡がりつゝあるドメインが、ゲート部で電極にぶつからないようにするためである。 ℓ_{MD} および最小ブリッジ長 $\ell_{BM} = \ell_{MD} + W_D$ を N_0 の関数として図5.14に示す。 $N_0 \gtrsim 10^{16} \text{ cm}^{-3}$ では、 ℓ_{MD} と ℓ_{BM} の N_0 依存性は小さいが、 N_0 がそれ以下では依存性も大きい。図5.14の値は、図5.13の v_e と $\tau_g \simeq 10\tau_0$ (τ_0 : 誘電緩和時間)を仮定して求めたものである。

5.3.3 E型素子の動作実験

E型素子の動作実験に用いた測定回路を図5.15に示す。⁽¹¹⁶⁾ E型素子はカソードを共通とする素子であるから各分岐の電流はアノードからしか観測できない。それゆえ、アノード側をアースとし、カソードに負のバイアス・パルス印加し、同時にオーミック・ゲートへも負のパルスを加えている。試作に用いたウェーハはH型素子と同じ仕様のものであり、 $N_0 = 7 \sim 8 \times 10^{15} \text{ cm}^{-3}$, $\mu_0 = 6000 \sim 8000 \text{ cm}^2/\text{V} \cdot \text{s}$, $d = 3 \sim 6 \mu\text{m}$, $\ell_0 = 100 \mu\text{m}$, $W_0 = 75 \mu\text{m}$, $\ell_G = 10 \sim 50 \mu\text{m}$, $W_G = 50$ 又は $100 \mu\text{m}$ である。図5.16に試作した素子の写真を示す。 $b-I$ のカソードの近くにドメイン・トリガ用のショットキー・ゲート ($\ell_g \simeq 7 \mu\text{m}$) を設けている ($\ell_T = 10 \mu\text{m}$)。ショットキー金属はNiを用いた。^{(80), (110), (116), (117)}

図5.17は、ゲート電圧が高いとき ($V_G = 9 \text{ V}$; Gate-ON) と低いとき ($V_G = 8.5 \text{ V}$; Gate-OFF) との、分岐 $b-I$ および $b-II$ のアノード電流の時間変化を示したものである。アノード電圧

は $V_{A1} = V_{A2} = 30\text{V}$ であり、パルス幅 1ns 以下の負のトリガ・パルスをも $b\text{-I}$ のショットキー・ゲート (S.B.G) に印加して、ドメインをトリガした。 V_G が高いときには $b\text{-I}$ 、 $b\text{-II}$ ともドメインの生成による電流減少が観測される。これは、 $b\text{-I}$ でトリガされたドメインが横へ伝わって $b\text{-II}$ に達したことを意味する。 V_G が低いときは $b\text{-I}$ にのみ電流減少があり、 $b\text{-II}$ の電流は高いレベルのままである。即ち、ドメインは横へは伝わっていない。この例より、ゲート電圧を変えてドメインの横方向への成長が制御できることが実験的にも確かめられた。以上の結果はゲート長 $\ell_G = 25\mu\text{m}$ の素子 ($W_G = 100\mu\text{m}$) についてのものである。

他の実験例として $\ell_G = 50\mu\text{m}$ 、 $W_G = 100\mu\text{m}$ の場合の結果を図 5.18 に示す。図の上段が Gate-OFF ($V_G = 13\text{V}$) の場合、中段 ($V_G = 14\text{V}$) 及び下段 ($V_G = 15\text{V}$) が Gate-ON の場合である。Gate-ON の場合の二つの結果を比較すると、ゲート電圧が高いほど、 $b\text{-I}$ に対する $b\text{-II}$ の電流減少の遅れ時間 τ_d が小さく、信号の横方向への伝達速度が速いことがわかる。このことは、計算機の 2 次元解析結果と一致する。 τ_d は図 5.18 (下段) および図 5.17 (左図) で共に約 50ps である。これより、信号の横方向への伝達速度は約 $2 \times 10^8\text{cm/s}$ と見積もられ、ドメインの定常走行速度より 1 桁以上速い。このことは 2 次元解析で予想されていたことである。

図 5.18 の Gate-ON の電流波形は、 $b\text{-II}$ のパルス幅の方が $b\text{-I}$ よりやゝ狭くなっており、2 次元解析で明らかにしたドメインの斜め方向への拡がり効果が表われている。ところが図 5.17 の場合は、逆の関係になっている。その原因ははっきりしないが、 $b\text{-I}$ と $b\text{-II}$ での素子定数のバラツキの他に、オーミック・ゲートを通して流れる電流の影響があるものと思われる。というのは本実験ではオーミック・ゲートとカソード間の能動領域の抵抗は、回路系のインピーダンス 50Ω に比べて大きくなく、オーミック・ゲートは定バイアス条件にはなっていないからである。ゲート長 ℓ_G が短い程、ゲート電流は多くゲート部へ流入し、特にドメインの拡がりの十分でない $b\text{-II}$ のカソード近くの能動領域の電界を変えてしまい、2 次元解析での斜め方向への拡がりを抑制するように働くものと思われる。

出力として矩形波パルスを得るためには、 ℓ_G は短い方がよいことは図 5.17 と図 5.18 の比較から明らかである。しかし、ドメインの横方向成長可能な ℓ_G の最小値が存在する。ゲート長 ℓ_G が小さすぎると、 $b\text{-I}$ と $b\text{-II}$ の間の相互作用が小さくなり、ドメインを横へ伝えるための V_G の値が見出しにくくなる。 $\ell_G = 10\mu\text{m}$ はその場合に該当する。逆に ℓ_G が長すぎると、ドメインを横へ伝えないため V_G の範囲が著しく狭くなり、素子全体が一体となって動作する傾向が強まる。本試作における最適値は $\ell_G = 20 \sim 40\mu\text{m}$ であった。 W_G が $50\mu\text{m}$ の素子と $100\mu\text{m}$ の素子とでは、 τ_d の差以外には本質的な動作の差異は見られなかった。

5.4 論理素子への応用

5.4.1 基本論理ゲート

図 5.19 にショットキー・ゲートによるトリガ方式を用いた E 型素子の基本論理ゲートを示す。⁽¹¹⁰⁾ 本回路では、 $b-I$ 、 $b-II$ とともに電源電圧 V_A によって、閾値電圧以下で、ドメイン維持電圧以上になるようバイアスされ、オーミック・ゲート部は V_G によって、このゲートへの信号入力 W がない時は Gate-ON (高いゲート電圧) 状態にバイアスされているものとする。 $b-I$ 又は $b-II$ のカソード近傍にそれぞれドメインをトリガするためのショットキー・ゲート (SBG) が設けられている。パルス出力電圧 Z_1 、 Z_2 は各分岐のアノード端子から抵抗 R_1 及び R_2 を介して取り出す。

いま、各端子において、電圧パルスがある状態を 2 値論理の「1」、パルスのない状態を「0」に対応させることにすれば、本回路では論理式

$$\begin{aligned} Z_1 &= X + Y \cdot \sim W \\ Z_2 &= Y + X \cdot \sim W \end{aligned} \quad (5-6)$$

で表わされる論理演算が実行される。ここに $+$ 、 $\cdot$ 、 $\sim$ は、それぞれ論理和 (OR)、論理積 (AND) 及び論理否定 (NOT) を意味する。また X 、 Y は $b-I$ 及び $b-II$ の SBG への負のトリガ入力、 W はオーミック・ゲート電圧を Gate-OFF (低いゲート電圧) 状態にするための負の入力電圧パルスである。(5-6) は AND、OR、NOT の全ての組み合わせを含んでいるので、論理演算に必要な基本ゲートは本回路のみで実現できる。たとえば、常に $W = 0$ となるようにすれば $Z_1 = X + Y$ 、 $Z_2 = Y + X$ となって OR 回路となる。常に $X = 0$ となるようにすれば、 $Z_1 = Y \cdot \sim W$ となって Inhibitor となる。また、このとき W 入力の極性を反転して入力すれば $Z_1 = Y \cdot W$ となり AND 回路となる。常に $X = 0$ 、 $Y = 1$ であれば、 $Z_1 = \sim W$ であって、NOT 回路となる。

本回路においては、出力電圧パルスの極性は入力電圧パルスの極性とは逆になっているから、本回路の出力を他の同様な回路の入力として利用する場合は、パルスの極性反転回路を通さなければならない。H 型素子を図 5.19 と同様な使い方で用い、出力 Z_1 、 Z_2 をその各分岐のカソード端子側から抵抗を通して取り出す方法を採用すれば、極性反転回路は不要となる。その場合には、 $\tau_{D1} = \ell_{CG1} / v_p$ なる遅れが余分に加わる。

極性反転回路の使用を避けうるもう一つの方法は、E 型素子の基本ゲートを FET トリガ方式を用いて構成することである。図 5.20 にその場合の基本論理ゲートの構成を示す。図 5.19 での R_1 、 R_2 は、共に FET で置き替えている。本回路では、ゲート部へのバイアス電圧 V_{AG} は正のパルス入力 W がない時には、Gate-OFF の状態になるように、また W 入力のある時 ($W = 1$) には、Gate-ON の状態になるように調節する。 X 、 Y 入力も正パルス、 Z_1 、 Z_2 も正パルスであり、

$$\begin{aligned} Z_1 &= X + Y \cdot W \\ Z_2 &= Y + X \cdot W \end{aligned} \quad (5-7)$$

なる演算が行われる。FETトリガ方式はアノード・トリガ方式の変形であるから、本回路を用いた場合のE型素子内のドメインの振舞いはアノード・トリガ方式と全く同一である。前節で述べた計算機解析によれば、ショットキー・ゲートによるトリガ方式とアノード・トリガ方式とはE型素子内のドメインの振舞いに関して何ら本質的な差異はないから、極性の異なる入力パルスを用いるほかは、論理表現の違いは別として、図5.19と図5.20の回路は同じような動作を示すものと考えられる。ただし、FETトリガ方式を用いる場合は、各分岐のカソード側に、計算機解析モデルでのノッチに相当する局所的な高抵抗領域を設けて、各分岐でのドメインのトリガを確実に行わせる工夫が要求されよう。そのための簡便な方法としては、解析モデルのノッチに相当する部分にショットキー電極を設けて、それとカソードとを電氣的に接触するように配線することが考えられる。

5.4.2 全加算器の桁上げ発生回路

ドメインの横方向への拡がりを全加算器の桁上げ信号として利用すれば、超高速の全加算器が組める。^{(80),(93)-(95),(111)-(116)}一般にディジタル計算機のCPU(中央処理装置)の中心をなすものは加算器である。従って、加算器の演算速度の向上は、そのまま計算機全体の高速化に直結する。それゆえ、超高速の全加算器の開発は、計算機の性能向上の点から重要となる。

ディジタル演算における加算の本質として、最下位で発生した桁上げ信号(Carry)の到来を待たねば上位段の和信号(Sum)が得られないため、桁上げ信号をいかに高速で上位段へ伝えるかで演算時間、しいてはCPUの動作速度が決まってしまう。そのため、通常のシリコンICを構成するトランジスタからなる加算回路では、1ビット毎に和信号を求めるための逐次桁上げ(Ripple Carry)方式を避けて、先見桁上げ(Look Ahead Carry)方式を採用したりして桁上げ信号の高速処理を目指している。このような回路上の工夫による高速化は必然的に構成ゲート数の増大をもたらし、低消費電力化の障害となる。⁽¹²⁰⁾

ところで、 n ビットの2進数 $A[A_1 A_2 A_3 \dots A_n]$ と $B[B_1 B_2 B_3 \dots B_n]$ との加算 $A+B$ の演算において、 i 番目の和 S_i と桁上げ C_i とはそれぞれ次の式から求まる。⁽¹⁰⁹⁾

$$S_i = A_i \oplus B_i \oplus C_{i-1} \quad (5-8)$$

$$C_i = A_i \cdot B_i + (A_i \oplus B_i) \cdot C_{i-1} \quad (5-9)$$

ここで、 $\oplus$ は排他的論理和(Exclusive OR; 以下ではEx・ORと略す)を示す。

駒宮はドメインの2次元運動を利用したガン効果桁上げ回路を提案した。⁽¹²¹⁾筆者らはこの原理に基づいて、図5.21に示す桁上げ発生回路(Carry Generator)を考案した。⁽¹⁰⁹⁾この櫛形構造の素子はE型素子を並列につなぎ合わせて n 個の分岐を持つ素子としたものである。(5-9)で $C_i=1$ となるのは、 $A_i \cdot B_i=1$ か、下位段からの桁上げがあるとき($C_{i-1}=1$)、これを第 i 段目に伝えるかどうかを制御す

る信号 ($A_i \oplus B_i$) が1となるときである。 $A_i \cdot B_i = 1$ を楕形素子の第 i 段の分岐のカソードからのドメイン発生に対応させ、横方向ドメインの上位段への伝搬を $C_{i-1} = 1$ 、これを第 i 段目へ伝える信号を第 $(i-1)$ 段と第 i 段の間にあるオーミック・ゲートへの信号が Gate-ON となる状態に対応させる ($A_i \oplus B_i = 1$) と、楕形素子が桁上げ発生回路となる。この回路の各段に Ex-OR ゲートを2個結ぶことで第 i 段目の和 S_i が得られる。このとき、ドメインの横方向成長速度 v_T が各段でのドメイン走行速度 v_p に比べて十分に速ければ、桁上げ信号の伝搬遅れは無視でき、 n ビットの並列加算の同時演算が可能となる。

5.4.3 桁上げ発生回路の動作実験

前記の桁上げ発生動作が楕形構造回路で実際に行われるものかどうかを調べるため、4ビットの楕形回路を試作して、その動作実験を行った。試作に使用した結晶はH型素子やE型素子の製作に用いたものと同じであり、代表的な値は $N_0 = 8 \times 10^{15} \text{cm}^{-3}$ 、厚さ $d = 2 \mu\text{m}$ である。硫酸系エッチャント ($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 8 : 1$) を使用してエピ層を $4 \sim 5 \mu\text{m}$ メサ・エッチして楕形にし、オーミック電極として、AuGe-Ni を蒸着後リフト・オフ法でパターン形成し、窒素雰囲気中で 420°C 数分の熱処理を施したものを用いた。試作した楕形素子の写真を図 5.22 に示す。⁽⁹³⁾⁻⁽⁹⁵⁾ $A_1 \sim A_4$ は各分岐のアノード、 $S_1 \sim S_4$ はドメイン・トリガ用のショットキー電極、 $G_1 \sim G_3$ はオーミック・ゲート電極、各分岐のアノード・カソード間距離 $\ell_{AC} = 60 \mu\text{m}$ 、幅 $W_0 = 40 \mu\text{m}$ 、オーミック・ゲート部の長さ $\ell_G = 25 \mu\text{m}$ 、その幅 $W_G = 40 \mu\text{m}$ である。トリガ入力用ショットキー電極は、共通カソード電極上に SiO_2 をスパッターで約 $2000 \text{\AA}$ の厚さに積もらせて絶縁膜とした上に Al を蒸着したものを用いた。図 5.23 はその部分の模式図である。ゲート長は $2 \mu\text{m}$ であり、 Al 膜厚は $0.15 \mu\text{m}$ である。ショットキー電極と SiO_2 膜、AuGe-Ni 膜との交差部の両縁で、ショットキー電極が断線しないようカソード電極に小さな切り込みを入れている。 SiO_2 膜の存在による電極容量の増分は 0.05 pF 以下であった。

試料は、ストリップ・ライン型の12ピン・ステムにマウントし、 $30 \mu\text{m}^\phi$ の金線で電極のボンディングを行った。このステムの外部コネクタを含めたパルス立ち上がり特性は 60 ps 以下である。素子へのバイアス電圧は 300 ns 幅、くり返し 10 kHz の負パルスを用いた。図 5.24 は本実験に用いた測定回路系であり、回路は 50Ω に設計されている。4つの分岐のアノード電流 ($A-1 \sim A-4$) は、HP社の1811A/1430Cのサンプリング・システム2台で測定し、各バイアス電圧は20:1の T 分岐を通してオシロ・スコープで観測した。電流のタイミングは、ケーブル長を調整して 10 ps まで合わせた。バイアスの代表的な値として、カソード電圧 $V_C \simeq -27 \text{ V}$ (即ち、 $V_{A1} \sim V_{A4} \simeq 27 \text{ V}$)、"Gate-OFF"でのオーミック・ゲート電圧 $V_G \simeq -13 \text{ V}$ 、閾値電流 $I_{th} \simeq 12 \text{ mA}$ である。また、"Gate-ON"でのオーミック・ゲート電圧は"Gate-OFF"の場合より 0.5 V 高められている。⁽⁹³⁾⁻⁽⁹⁵⁾

櫛形回路の第1段目の分岐のトリガ入力ゲートS1に短い負のトリガ・パルス印加してドメインを発生させ、全オーミック・ゲート電圧を“Gate-ON”にしておいて、それを第4段目まで横方向成長させた時の電流波形を図5.25左側の列に示す。1段目で発生したドメインが4段目まで横方向に伝わるのに200 psを要している。これを伝送距離200 μm で割ると $v_T \approx 10^8 \text{ cm/s}$ となり、計算機解析及びE型、H型素子で得られた v_T の値と同様な値となっている。従って、櫛形回路のようなE型素子の多段接続回路においても、横方向への信号伝搬速度は小さくなることはない。なお、1段目のみにショットキー・ゲートを設けた素子では、同じ伝送距離に対して50 psの遅れを得ており、 $v_T \approx 4 \times 10^8 \text{ cm/s}$ ^{(80),(111),(116)}となる。この v_T の値の差は、素子パラメータの違いのほか、各段にショットキー・ゲートをつけた場合、ゲートがあるために各分岐でのバイアスを高くできないことも関与しているものと思われる。

図5.25右列の $A_1 \sim A_4$ の電流波形は第2段と第3段とのゲート部のオーミック電極電圧 V_{G2} のみが“Gate-OFF”で他の二つ V_{G1}, V_{G3} は“Gate-ON”の状態のとき、S1にトリガ入力してドメインを発生させた時のものである。 V_{G2} が“OFF”になっているため、第1分岐で発生したドメインは第2分岐まで伝わり、ゲートG2で横方向成長を阻止されるので第3、第4分岐にはドメインの発生はない。図5.26左端の列は第3分岐S3でドメインをトリガし、 V_{G2}, V_{G3} を“Gate-ON”にしてそれを第2分岐と第4分岐に伝え、そこで各々ドメインを発生させ、 V_{G1} は“Gate-OFF”にして第1分岐にはドメインができないようにしたものである。図5.26中央の列は、図5.25右列と同じ動作である。図5.26右端の列は、第1分岐S1と第3分岐S3に同時にトリガ入力を印加してそれぞれにドメインを発生させ、 V_{G1}, V_{G2} を“Gate-OFF”、 V_{G3} は“Gate-ON”としたときの出力波形である。第2分岐には、第1分岐で発生したドメインは V_{G1} が“OFF”のために伝わらず、第3分岐で発生したものの V_{G2} が“OFF”であるから伝わらない。従って第2分岐にはドメインの発生はない。第4分岐には、 V_{G3} が“ON”のため第3分岐からのドメインの伝達があって、ドメインが発生する。本実験では“Gate-OFF”のゲート電圧は、短い負の信号パルスを入力して実現した。

以上のように、任意の分岐でドメインを発生させ、それを任意の分岐にまで横方向へ伝えられることが実験的に確認され、本回路が桁上げ発生回路として利用できることが明らかとなった。

なお、図5.26にみられるように、第3分岐でトリガされたドメインは物理的には第2段目と第4段目の両方向へ拡がり得るが、加算器の論理としては、(5-9)で $A_3 \cdot B_3 = 1$ のときは $A_3 \oplus B_3 = 0$ であり、ドメインの下位段への拡がりは阻止されるようになっている。それゆえ、桁上げ信号の下位方向への逆流は起こり得ない。

5.4.4 ガン効果全加算器の構成

回路全体を第4章で述べたFETトリガ方式で統一し、バイアス電源と信号レベルを考慮した

4ビット並列全加算器の構成例を図5.27に示す。^{(93),(95)} Ex・ORについては、FETを電流飽和領域で使用する場合、二つのガン素子の共通カソード端子とアース端子との間に図4.16に示す共通負荷抵抗 R_{L2} を各回路に挿入しなければならないが、 R_{L2} はガン素子の低電界抵抗 R_G に比べて小さく取れるとして、図中には示していない。各段のANDゲートを橢形回路のアノードに接続してFETトリガが可能な回路とし、オーミック・ゲート部のゲート電圧の制御は入出力分離のためのFETを介して行う。

被加数Aと加数Bはレジスタから同時にANDとEx・ORゲートに入力し、各1段のガン素子を通して和信号を作るEx・ORゲートに入力する。このとき横方向成長ドメインの伝搬時間が長くなるとEx・ORでの二つの入力の上にタイミングのずれが生じる。また、オーミック・ゲートを制御するEx・OR出力は、桁上げ素子のドメイン発生より早いタイミングにしておくことが必要である。素子の長さ ℓ_{AC} が短くなり、出力パルスの幅が短くなるとパルス間の微妙なタイミングを合わせて論理を取らせることが困難となり、これがユニットを構成するビット数の制限要因となる。

図のような回路を $\ell_{AC}=15\mu\text{m}$ 、 $d=1\mu\text{m}$ 、 $W_0=5\mu\text{m}$ 、 $N_0=10^{16}\text{cm}^{-3}$ ($\rho=0.1\Omega\text{cm}$)、FETを含めた負荷抵抗 $R_L=0.5\text{k}\Omega$ で構成すると、バイアス電圧6.2V、出力パルス電圧0.4V、1分岐当たりの消費電力 $P_0\approx 10\text{mW}$ になる。オーミック・ゲート部の幅 $W_G=5\mu\text{m}$ として、ここにも各分岐部と同じ抵抗を入れると、ここでも $P_0\approx 10\text{mW}$ となる。即ち、桁上げ素子1ビット分としては $P=2P_0\approx 20\text{mW}$ となる。Ex・OR素子にも同様の寸法を適用すると1ゲート当り、同じく20mWが可能になる。従って、4ビット分全体の消費電力としては $P_T=230\text{mW}$ となる。

一方、演算時間の方は、Ex・ORゲートでの遅れが50ps、桁上げ信号の最大伝搬遅れ時間が $v_T=10^8\text{cm/s}$ として25psであるから、125ps以内の遅れ時間で和信号、桁上げ信号がすべて得られる。よって、電力・遅れ時間積として30pJの4ビット全加算器ができることになる。4ビット全加算が100ps前後の遅れで実現できるのは、現段階では常温で動作する素子としてはガン素子のみである。

ガン素子を加算器として用いることの利点は、同時処理のビット数がより大きくなった時に、従来回路に比べて増々高速性が威力を発揮してくることで、より強調されることになろう。⁽⁹⁵⁾

5.5 結 論

ドメインの横方向成長の高速性に着目し、それを電氣的に制御することにより論理動作を行わせる素子としてH型素子、E型素子及びその拡張としての橢形回路を考えた。そのいずれの素子でも、ドメインの横方向成長制御は成長してゆく部分（ブリッジ部又はオーミック・ゲート部）の能動領域の電界を、オーミック・ゲートに印加する電圧を変えて変化させることにより行う。そのようにして横方向成長が制御できるのは、横方向成長速度が能動領域の電界に敏感であり、

閾値に近い程、それが大きくなるという性質を利用するからである。計算機解析と素子の動作実験から得られた結果では、動作時のドメインの横方向成長速度 v_T は、 10^8 cm/s 以上であって、定常ドメインの走行速度より1桁以上速い。このことは成熟した定常走行ドメインについてののみならず、自身が成長の途上にあるドメインについても当てはまる。即ち、動作時の能動領域の電界が閾値に近くバイアスされている素子においては、横方向成長速度は定常走行速度より常に大きい。従って、この性質を利用すれば、超高速スイッチングが可能である。

H型素子は、成熟したドメインを横へ伝えることにより論理動作を行わせるものであり、E型素子と楕形回路は、成長の途上にあるドメインを横へ伝えるものである。横方向成長の高速性を生かすという趣旨からは、後者の方が論理素子として秀れている。このような回路の遅れ時間はブリッジ部又はオーミック・ゲート部の横幅と各分岐の横幅の和が小さい程小さく、両者は比例関係にある。従って、回路の遅れ時間は素子の微細加工技術の完成度に依存する。

楕形回路はデジタル論理回路における全加算器の桁上げ発生回路として考えられたものであり、その動作は実験によって確認された。本回路とFETトリガ方式を用いるAND、Ex・OR回路を組み合わせることにより、小型の素子を用いれば、4ビット全加算が100ps 前後の遅れで遂行できることが予想される。

ドメインを3次元的に制御して所望の信号出力を取り出すという発想は機能素子の概念から生まれ、従来のトランジスタの組み合わせによる論理回路の構成法とは全く性格を異にする。それゆえに、本回路が実用化されるようになれば、これまでの論理素子にない数々の特徴を持った素子として応用分野の広いものとなるであろう。

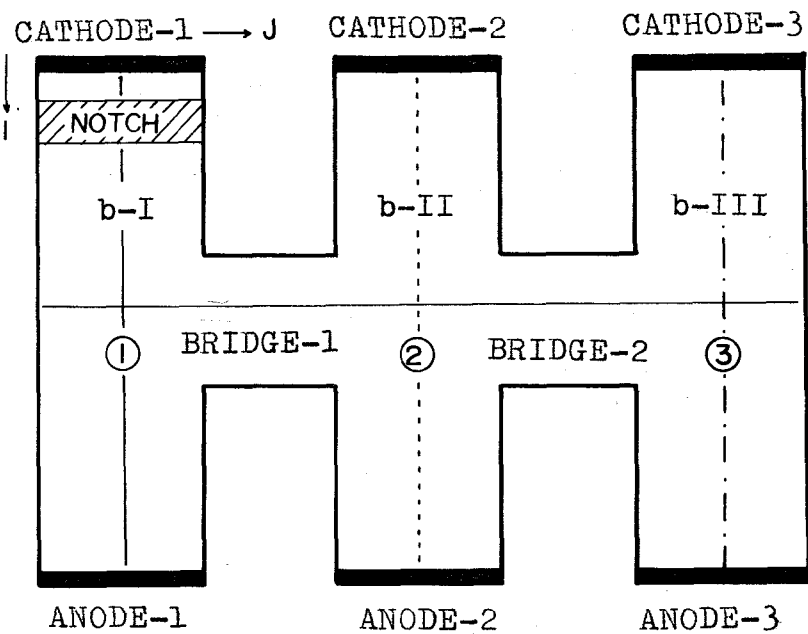


図 5.1 3ビットH型素子のモデル

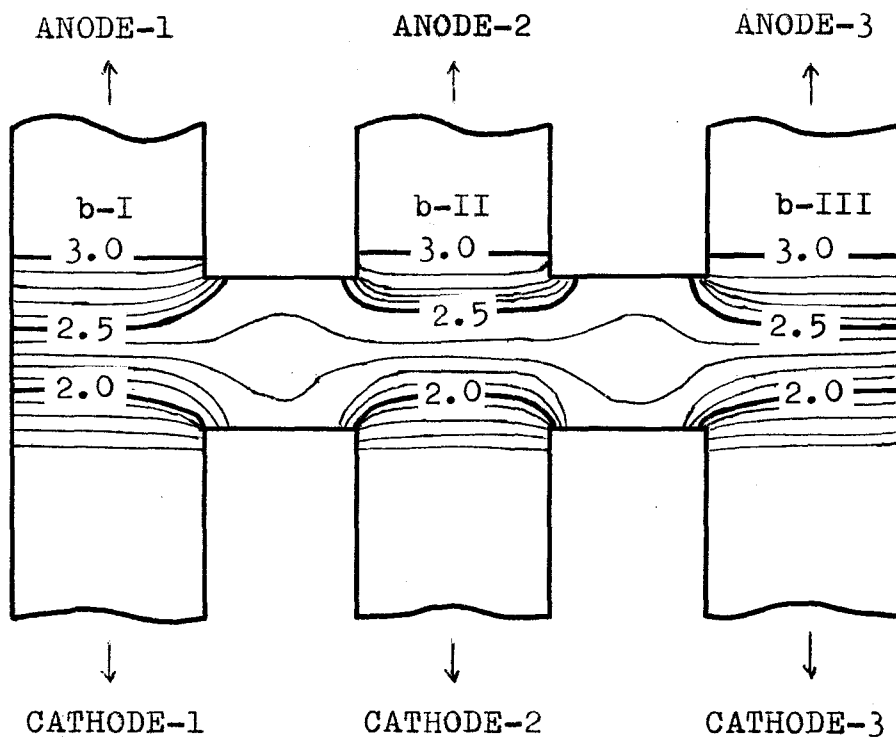


図 5.2 3ビットH型素子のブリッジ近傍の電位分布
〔 $V_{AC} = 4V$ 〕

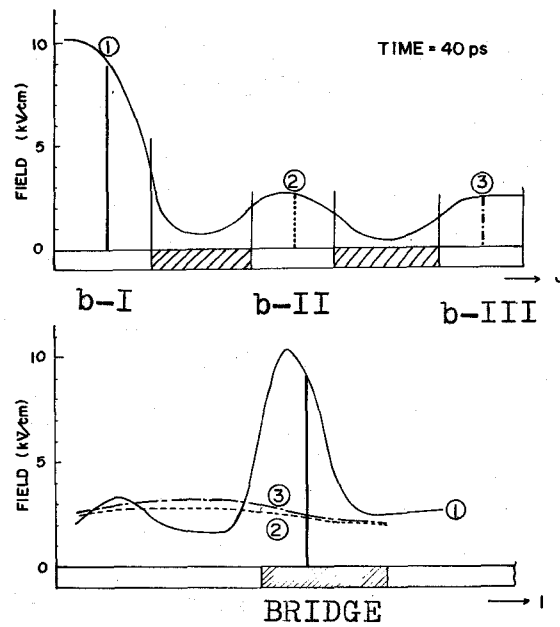


図 5.3 3ビットH型素子内の電界分布

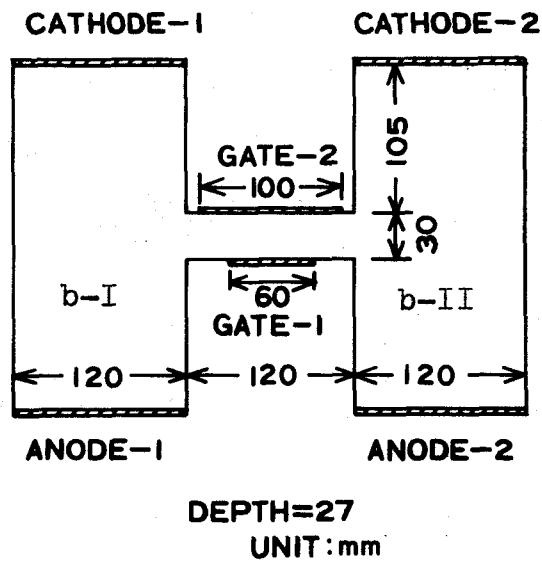


図 5.4 H型素子の水槽実験モデル

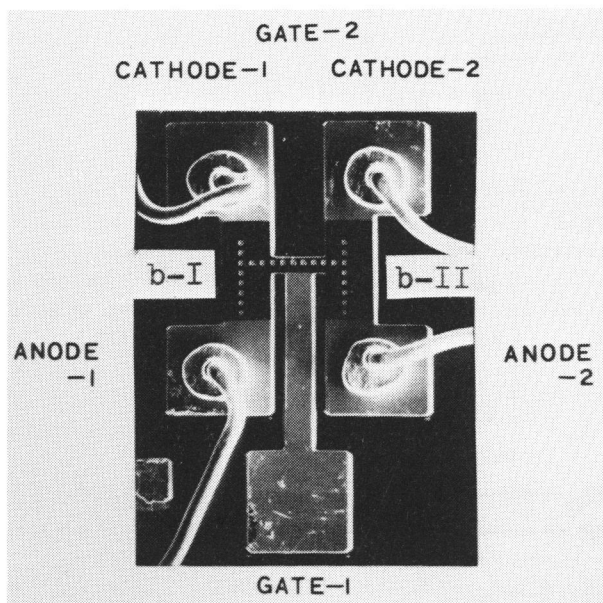


図 5.6 試作した H 型素子の写真

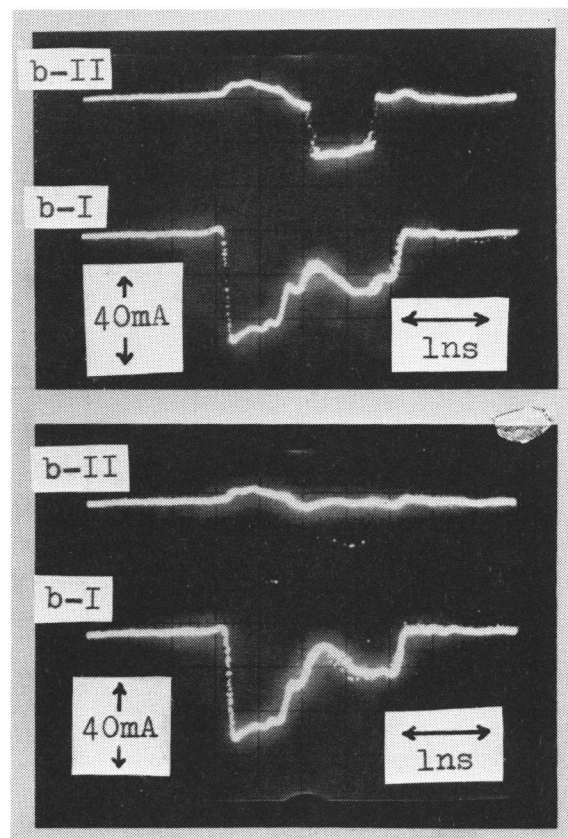


図 5.7 H 型素子の動作特性
(上段) Gate-ON 時のカソード電流波形
(下段) Gate-OFF 時のカソード電流波形

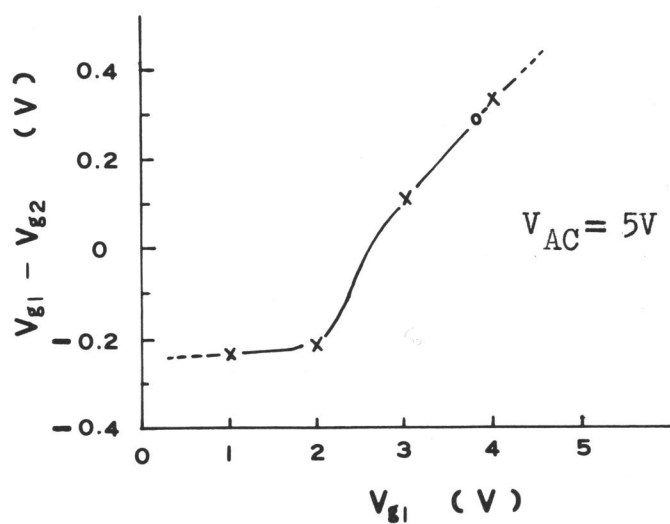


図 5.5 ゲート電圧によるゲート部電界の制御性

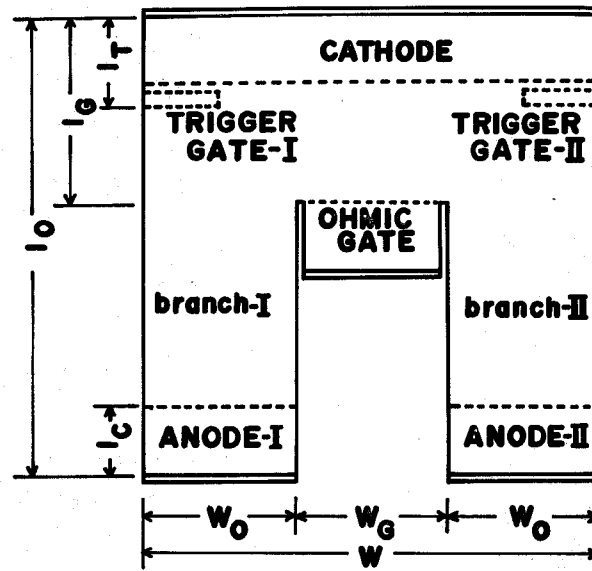


図 5.8 E型素子のモデル

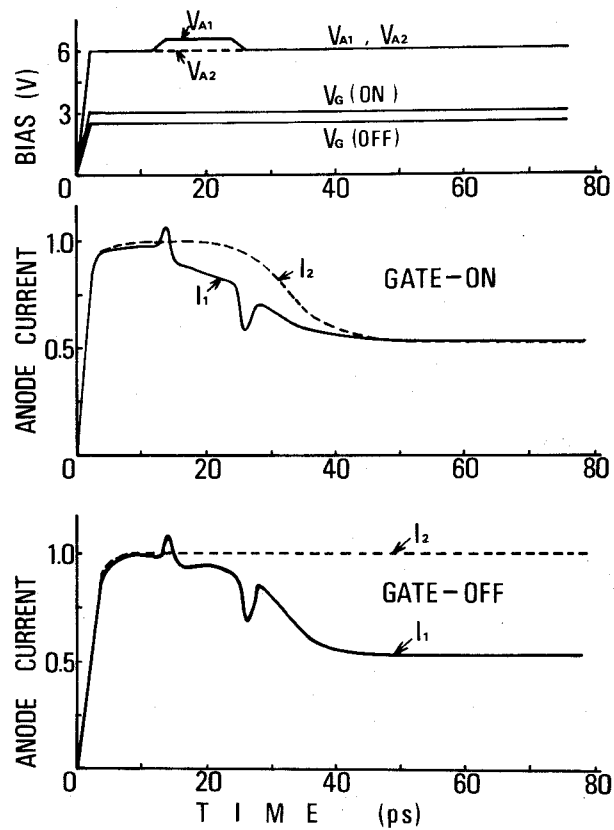


図 5.9 E型素子のアノード・トリガ動作
 (上段) バイアス及びトリガ入力
 (中段) Gate-ON時の電流波形
 (下段) Gate-OFF時の電流波形

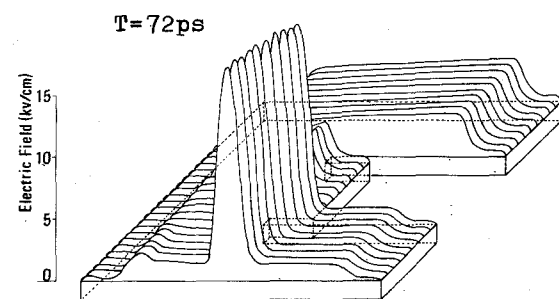
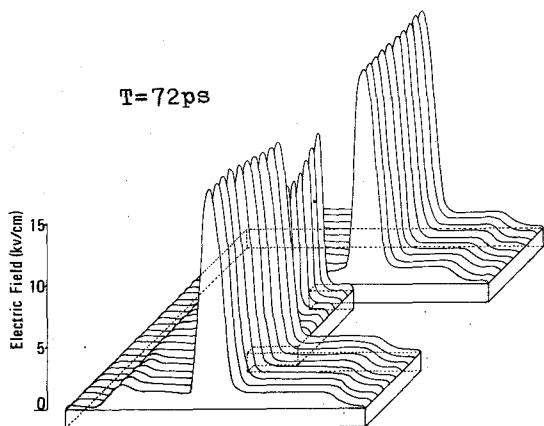
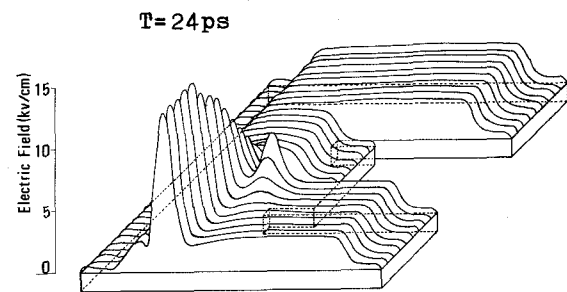
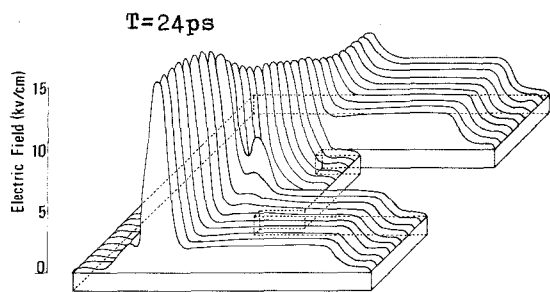
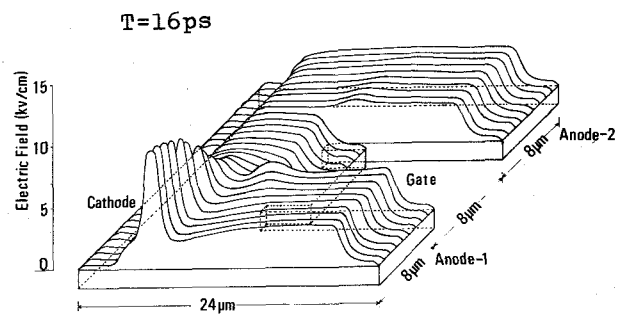
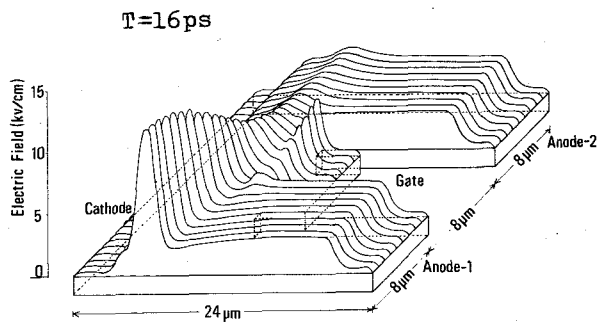


図 5. 10 (a) E 型素子のアノード・トリガによるドメイン形成過程 (Gate-ON)

図 5. 10 (b) E 型素子のアノード・トリガによるドメイン形成過程 (Gate-OFF)

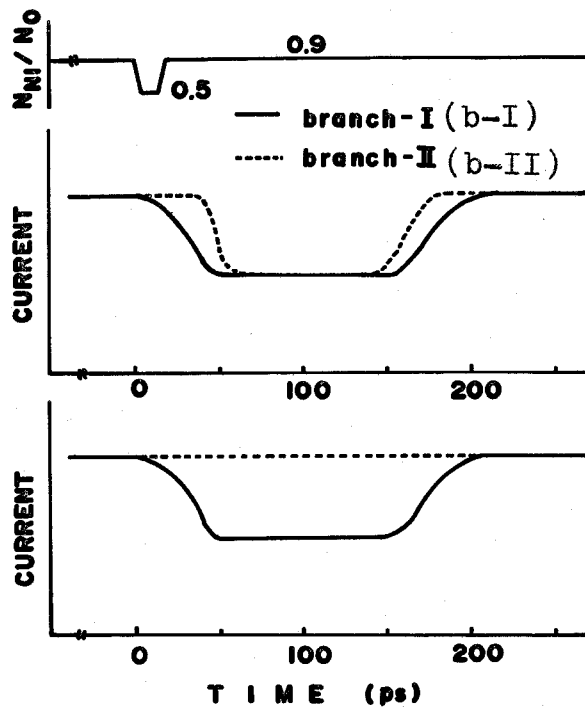


図 5.11 E型素子のショットキー・トリガ動作
 (上段) トリガ入力
 (中段) Gate-ON時の電流波形
 (下段) Gate-OFF時の電流波形

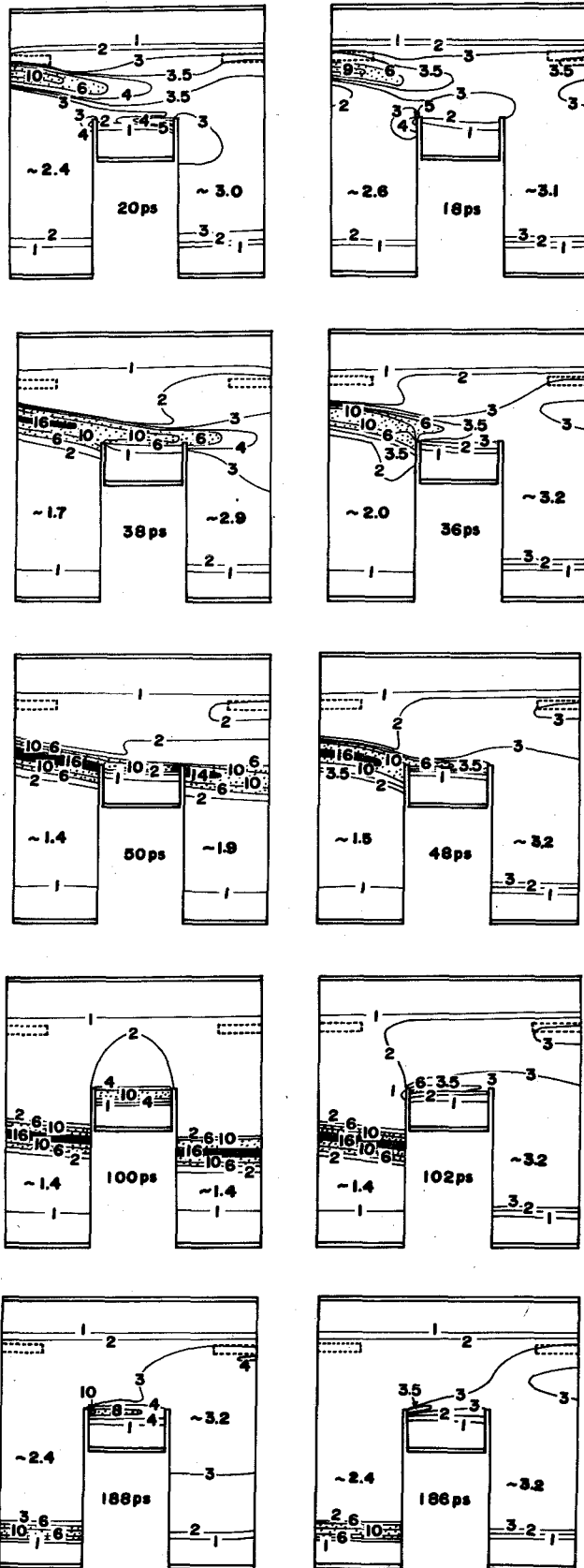


図 5.12 ショットキー・トリガによるドメイン生成と消滅
(左: Gate-ON, 右: Gate-OFF)

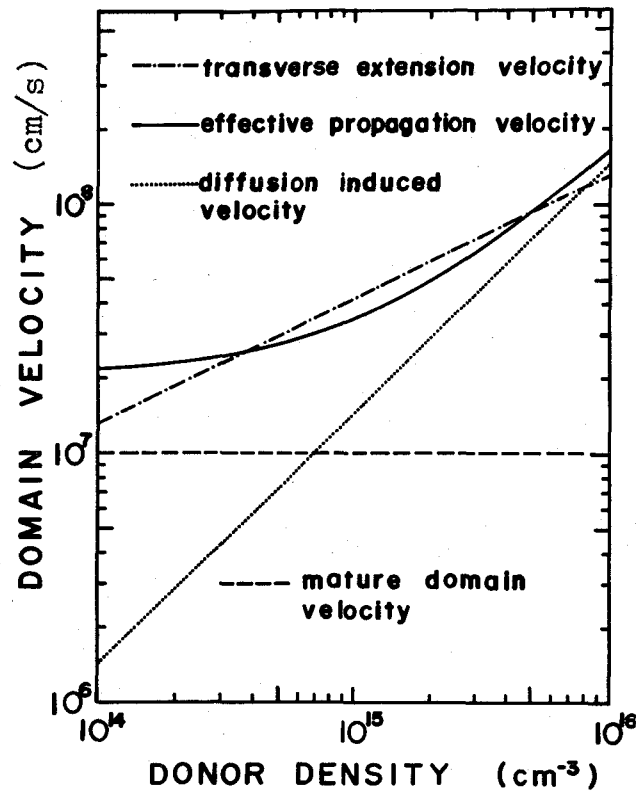


図 5.13 ドメイン速度のドーピング密度依存性

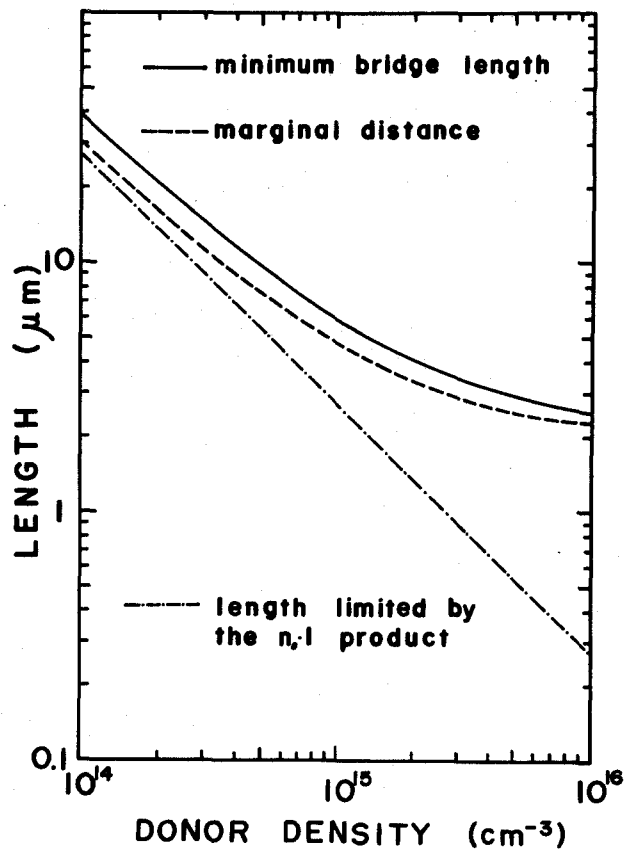


図 5.14 最小ブリッジ長のドーピング密度依存性

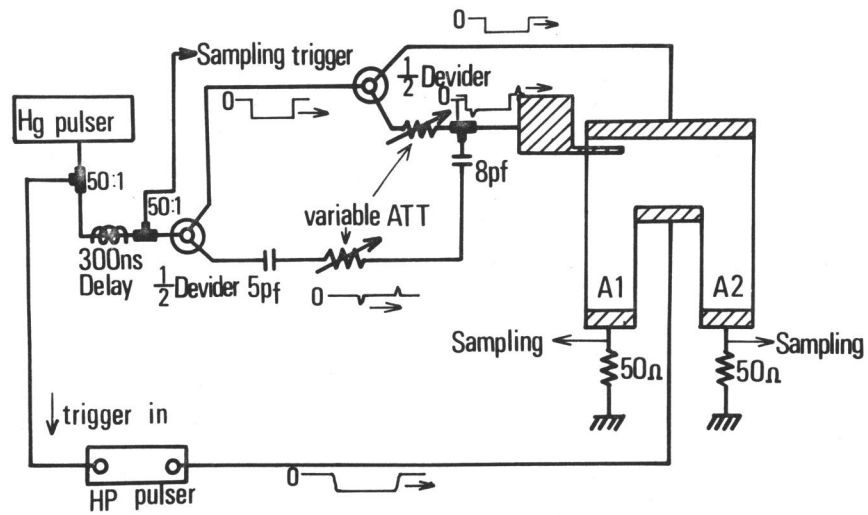


図 5. 15 E 型素子の動作実験回路

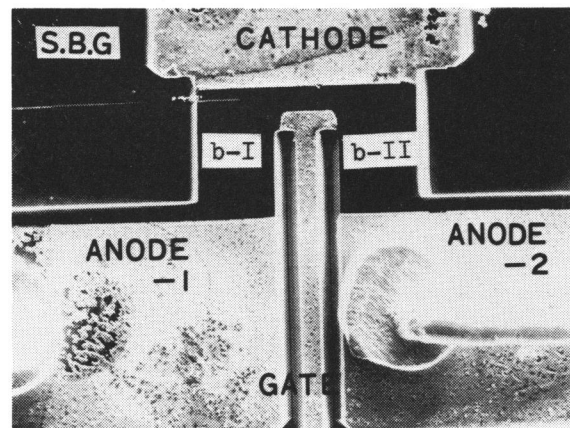


図 5. 16 試作した E 型素子の写真

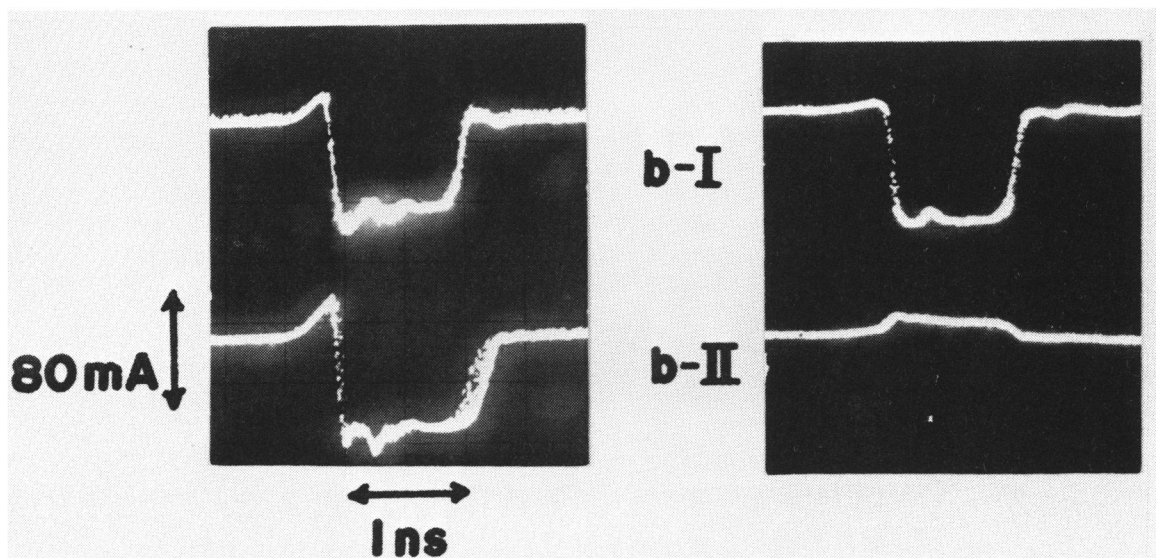


図 5. 17 E 型素子の動作特性 ($\ell_G = 25 \mu\text{m}$)
(左: Gate-ON, 右: Gate-OFF)

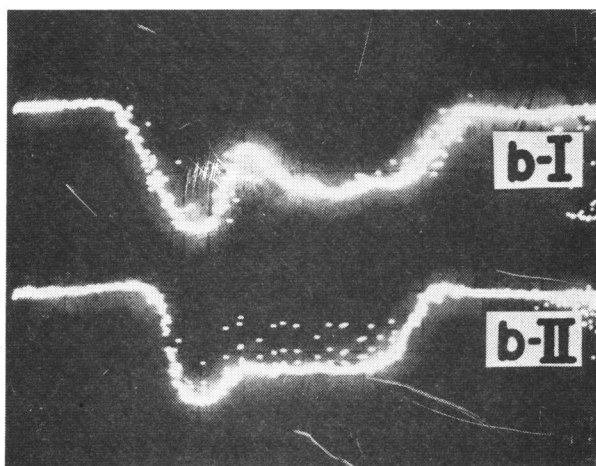
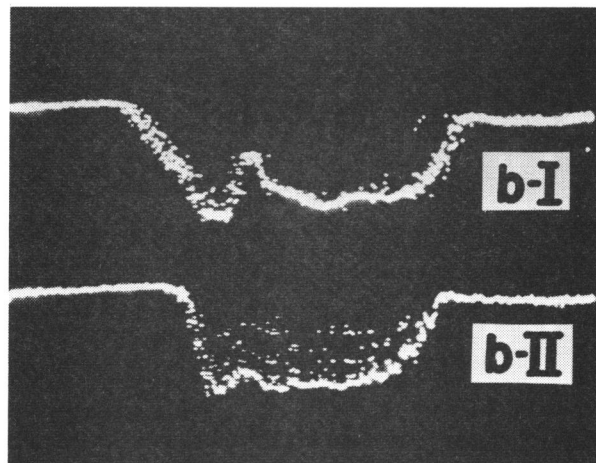
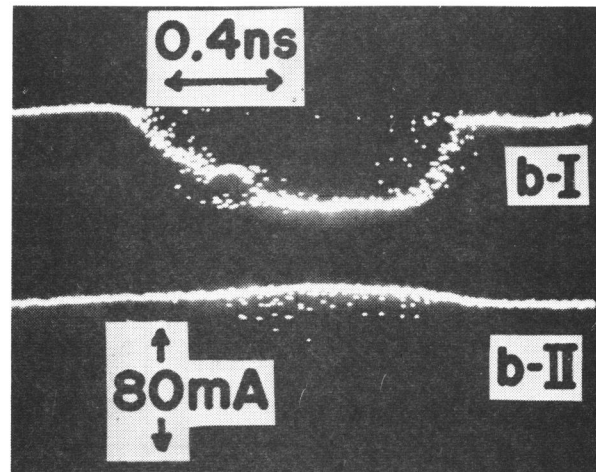


図 5. 18 E 型素子の動作特性 ($\ell_G = 50 \mu\text{m}$)
(上段: Gate-OFF, 中, 下段: Gate-ON)

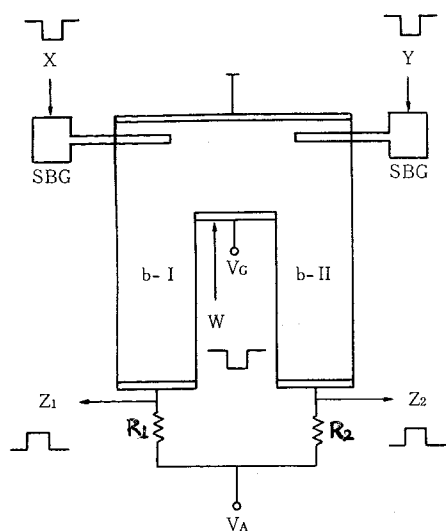


図 5. 19 E 型素子を用いた
論理ゲート
(ショットキー・トリガ)

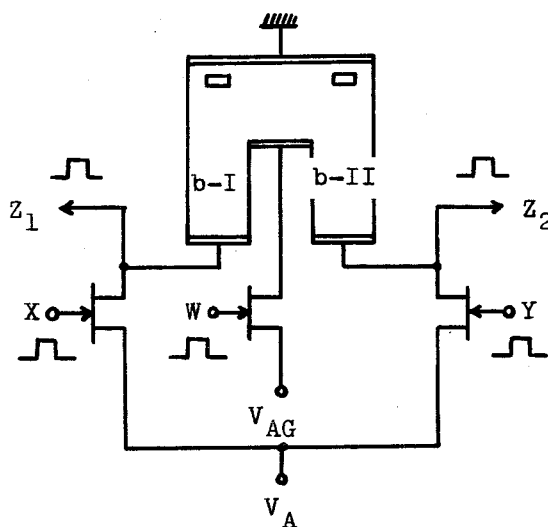


図 5. 20 E 型素子を用いた論理ゲート
(F E T トリガ)

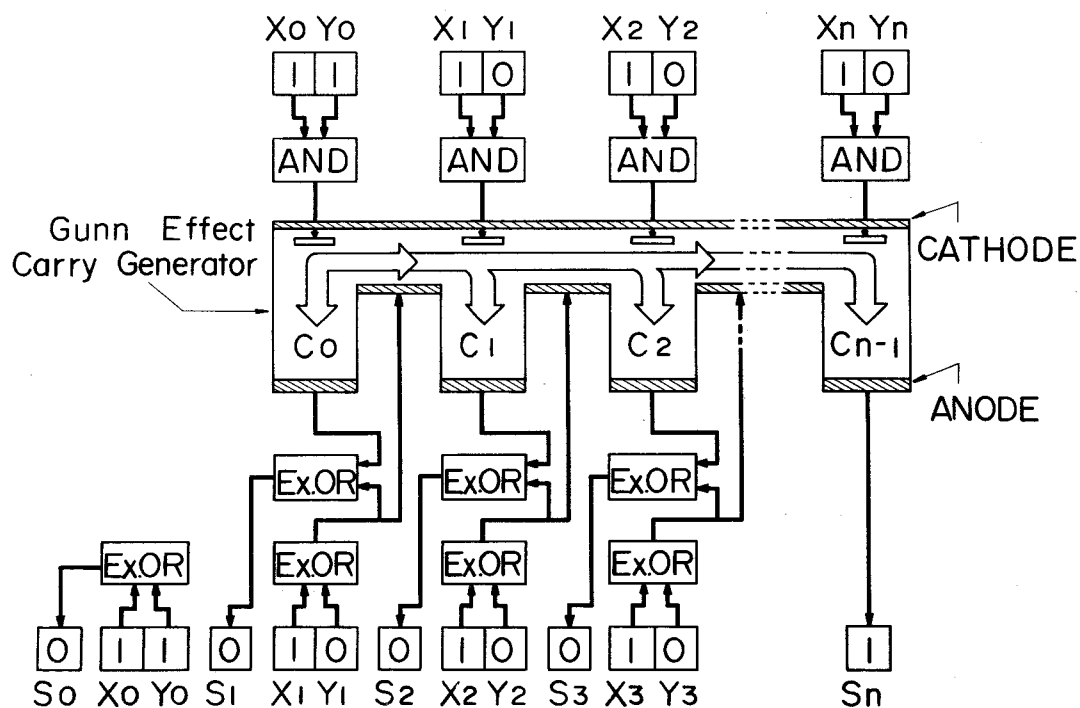


図 5. 21 櫛形回路を用いた n ビット 並列全加算回路の動作原理

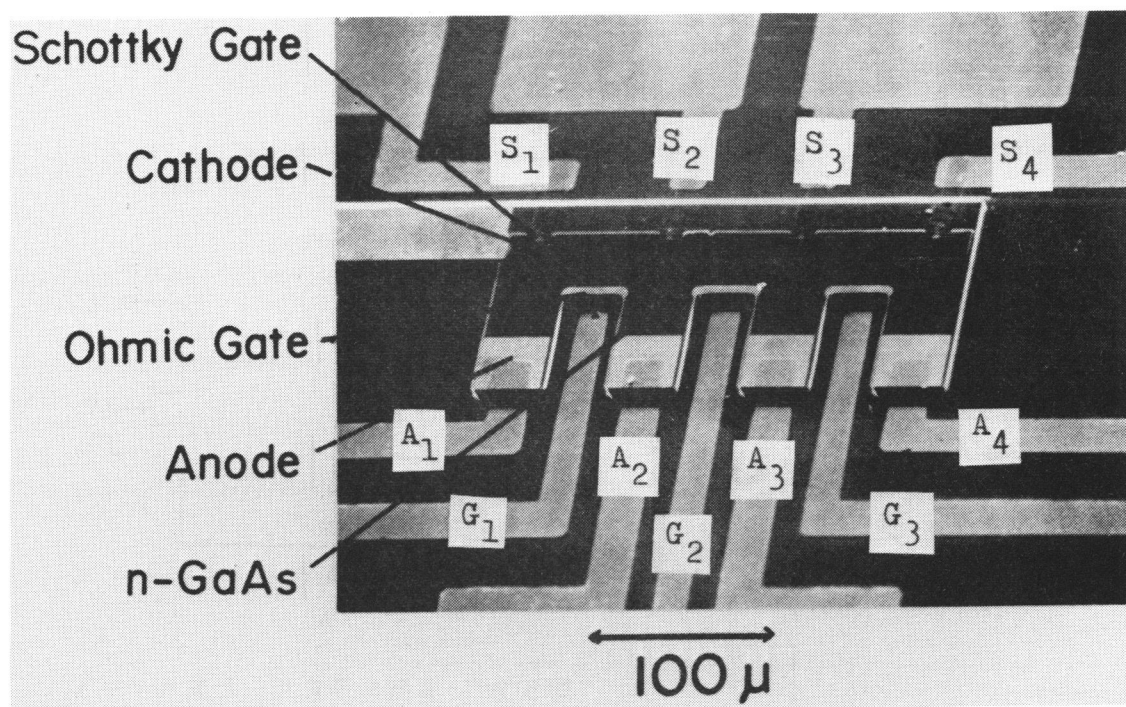


図 5.22 試作した 4 ビット楕形回路の写真

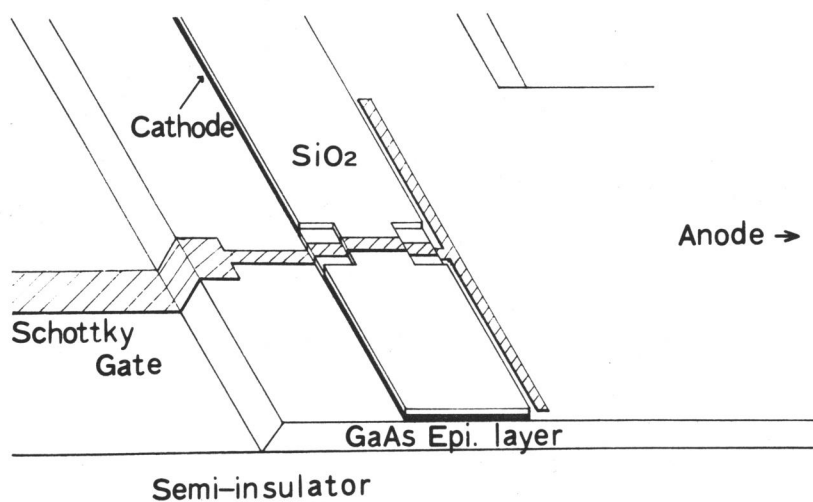
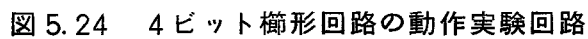


図 5.23 ショットキー・ゲート部の模式図



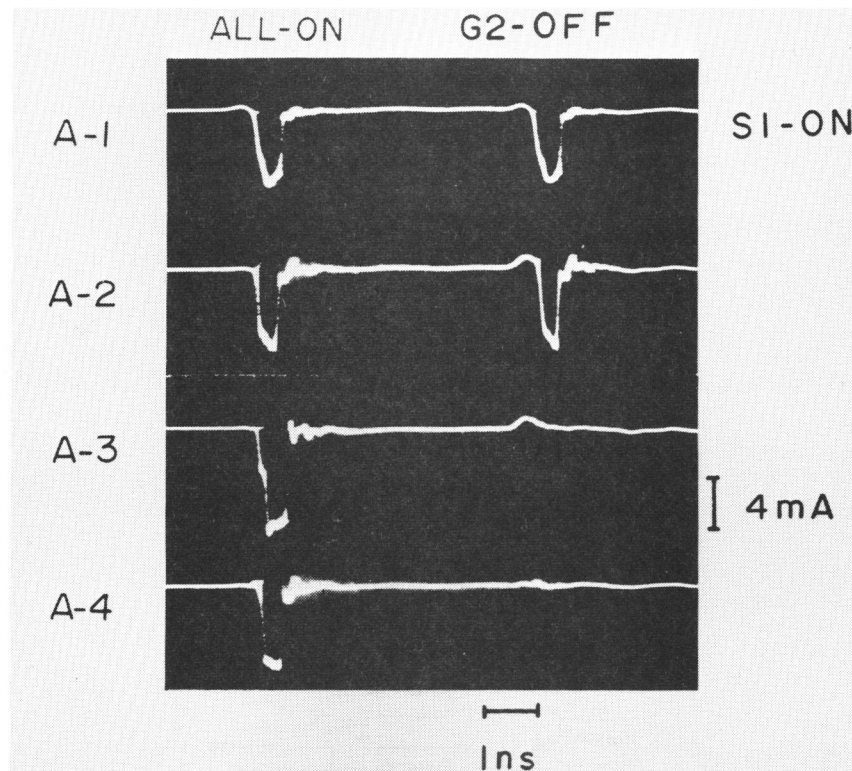


図 5.25 4ビット櫛形回路の動作特性 (その1)
(各分岐のアノード電流波形)

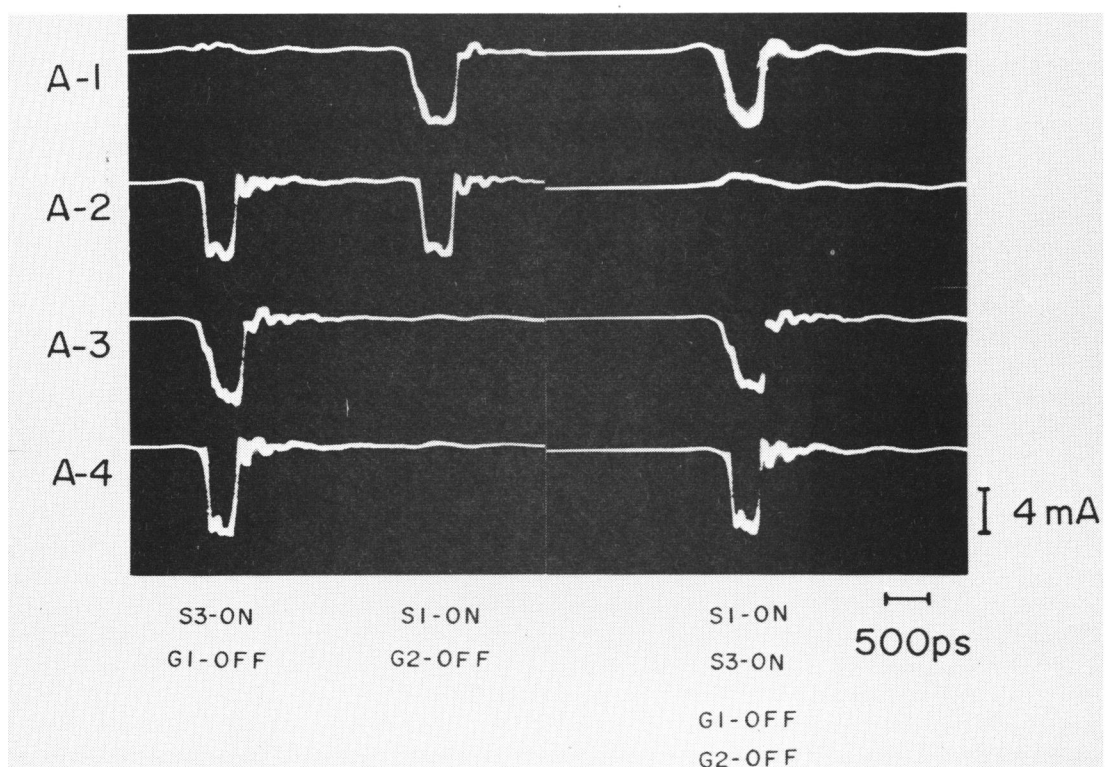


図 5.26 4ビット櫛形回路の動作特性 (その2)
(各分岐のアノード電流波形)

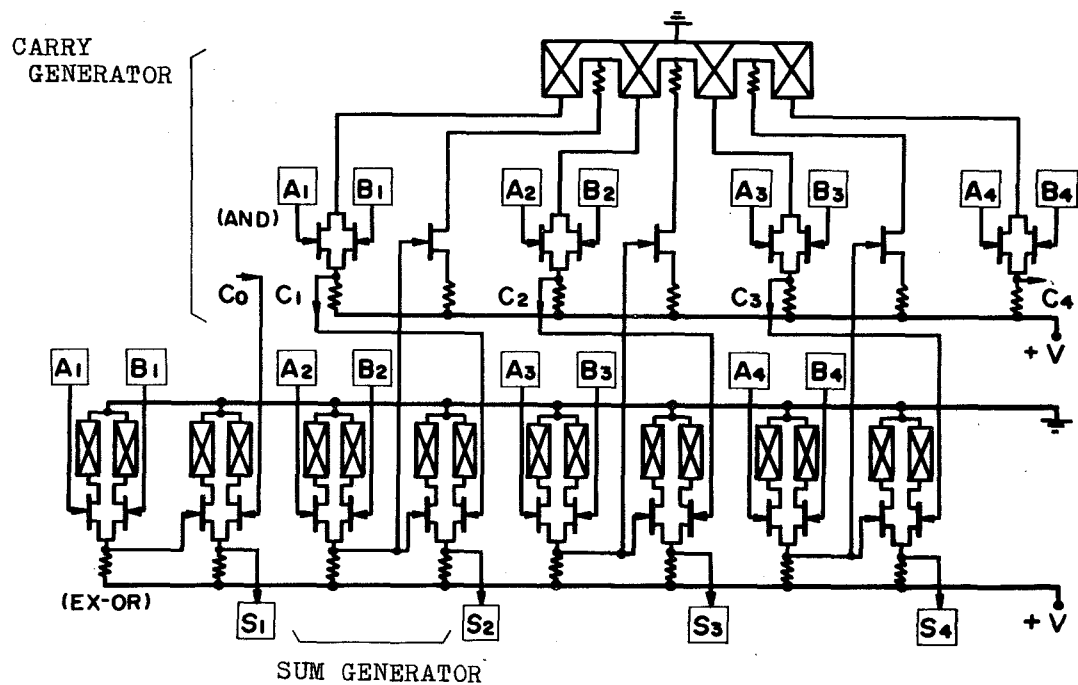


図 5.27 ガン効果論理素子を用いて構成した 4 ビット 並列 全 加 算 器

第6章 結 論

第 6 章 結 論

ガン効果論理素子の可能性を明らかにするため、基礎構造としてのプレーナ型ガン・ダイオード、基本論理ゲートとしてのショットキー・ゲート付3端子素子およびFETトリガ方式を用いるガン効果素子、さらに、高次論理演算に適したドメインの横方向成長制御を用いる素子の各々について、2次元モデル又は簡単なモデルによる動作解析と素子の論理動作の実験を行った。いずれの素子についても実験と理論解析とは良く一致した結果が得られ、本研究における解析手段が、素子の動作を予測するために有効であることが確かめられた。

ガン効果論理素子の具体的構造として、如何なるものが適しているかは個々の場合について判断すべきであり、一般的には優劣を論じることとはできない。だが、ショットキー・ゲート付3端子素子とその変形の素子は、くり返し周波数が比較的低い場合（1GHz以下）に有力となり、FETトリガ方式を用いる素子は逆に高い場合に有利であると言える。ドメインの横方向成長を利用する素子は、構造の複雑さと設計のむづかしさを考慮すれば、複雑な論理演算を遂行する回路への応用を考えるべきであろう。

従来技術の延長としてのシリコン・トランジスタの超LSI化への指向は今日もなお半導体技術の中樞をなしている。微細加工技術の進歩に支えられて、バイポーラやMOSトランジスタで構成した論理回路でも、1ゲート当たり100psの遅れ時間の目標に近づきつつある。しかし、従来回路の高速化は、素子の微細化を極限まで押し進めていって、初めて達成しうるものであり、微小体積中に貯えうるエネルギーの有限さを思えば、超LSI中の素子が取り扱える電力には限りがある。この点において、超LSIなるものは、超大型計算機等においてのみ使用可能な特殊なものになることを余儀なくされよう。ガン効果論理素子は、特別の微細加工技術に依存しなくとも、超高速演算ができるから、より大きい電力を要する回路、たとえばPCM通信システムへの応用が期待される。このように、現在進行中の超LSI化の成功の如何によらず、ガン効果論理素子は超高速論理素子として独自の応用分野を持ちうると思われる。

謝

辞

本研究は筆者が株式会社富士通研究所で行ったものです。本論文をまとめる機会を与えて下さいました富士通研究所社長，小島哲博士に深く感謝致します。

本論文をまとめるにあたって特別の御指導と御激励を賜った大阪大学教授工学博士・藤沢和男先生，大阪大学教授工学博士・牧本利夫先生，大阪大学教授工学博士，理学博士・難波進先生，大阪大学教授工学博士・末田正先生，大阪大学教授工学博士・浜川圭弘先生には心からお礼を申し上げます。特に藤沢教授には長期にわたり御指導をいただき，論文作成にあたっていろいろ御教示をいただきました。ここに深く感謝致します。

本研究を進める際に御指導と御鞭撻を頂いた現芝浦工業大学教授（兼富士通研究所所長付）工学博士・磯部豊作先生に深く感謝致します。

日頃から格別の御激励と御鞭撻を頂いている富士通研究所常務取締役・三輪高明博士，本論文をまとめるに際して御激励を頂いた同取締役・押田正博士，同半導体研究部長・三杉隆彦博士に心から感謝致します。

おわりに，本研究を推進する際に御助言と御討論を頂いた富士通研究所・中村哲夫氏，蓮尾信也博士，御協力を頂いた風谷澄氏，石割秀敏氏，鈴木秀雄氏，および半導体研究部，半導体材料研究部の皆様に心より感謝の意を表します。

文 献

1. J.B.Gunn : Solid-State Commun., vol.1, PP.88-91, 1963.
2. ——— : IBM J.Res. & Dev., vol.8, PP.141-159, 1964.
3. ——— : Symp.Plasma Effects Solids, Dunod, Paris, 1964.
4. B.K.Ridley and T.B.Watkins : Proc. Phys. Soc., vol. 78, PP. 293-304, 1961.
5. C.Hilsum : Proc. IRE, vol.50, PP. 185-189, 1962.
6. H.Kroemer : Proc. IEEE, vol. 52, P.1736, 1964.
7. J.A.Copeland : J.Appl. Phys., vol. 38, PP.3096-3101, 1967.
8. H.W.Thim : J.Appl. Phys., vol. 39, PP.3897-3904, 1968.
9. H.C.Huang and L.A.Mackenzie : Proc. IEEE, vol. 56, PP. 1232-1233, 1968.
10. D.E.Mc Cumber and A.G.Chynoweth : IEEE Trans. Electron Devices, vol. ED-13, PP. 4-21, 1966.
11. M.Shoji : IEEE Trans. Electron Devices, vol. ED-14, PP. 535-546, 1967.
12. S.H.Izadpanah and H.L.Hartnagel : Electron. Lett., vol. 4, PP. 315-316, 1968.
13. G.I.Robertson and C.P.Sandbank : Electronics, vol. 42, PP. 100-104, 1969.
14. T.K.Gaylord, P.L.Shah and T.A.Rabson : IEEE Trans. Electron Devices, vol. ED-15, PP. 777-788, 1968.
15. ——— : IEEE Trans. Electron Devices, vol. ED-16, PP. 490-494, 1969.
16. P.J.Bulman, G.S.Hobson and B.C.Taylor : "Transferred electron devices", Academic Press, London, 1972.
17. 片岡, 館野 : "バルク効果半導体", 日刊工業新聞社, 1969.
18. B.G.Bosch and R.W.H.Engelmann : "Gunn-effect electronics", Pitmann Publish., London, 1975.
19. H.L.Hartnagel : Proc. IEEE, vol.55, PP.1236-1237, 1967.
20. ——— : Solid-State Electron., vol. 12, PP. 19-30, 1969.
21. S.H.Izadpanah and H.L.Hartnagel : Radio & Electron. Eng., vol. 39, PP. 329-339, 1970.

22. J.F.Dienst, R.Dean, R.Enstrom and A.Kokkas : RCA Rev., vol. 28, PP. 585-594, 1967.
23. 菅田, 谷本, 柳井 : 信学論 (C), vol. 56-C, PP. 105-112, 1973.
24. M.Nakamura, H.Kurono, T.Toyabe, M.Hirao and H.Kodera : Solid-State Electron., vol. 16, PP. 75-83, 1973.
25. M.Takeuchi, A.Higashisaka and K.Sekido : IEEE Trans. Electron Devices, vol. ED-19, PP. 125-126, 1972.
26. K.Heime and A.Schlachetzki : Electron. Lett., vol. 8, PP. 203-205, 1972.
27. T.Hayashi : IEEE Trans. Electron Devices, vol. ED-15, PP. 105-110, 1968.
28. J.A.Copeland, T.Hayashi and M.Uenohara : Proc. IEEE, vol. 55, PP. 584-585, 1967.
29. T.Sugeta, H.Yanai and K.Sekido : Proc. IEEE, vol. 59, PP. 1629-1630, 1971.
30. 菅田, 柳井 : 信学論 (C), vol. 55-C, PP. 437-444, 1972.
31. ———— : 信学論 (C), vol. 55-C, PP. 445-452, 1972.
32. 吹抜, 小宮 : 通研実用化報告, vol. 21, PP. 165-171, 1972.
33. F.Sterzer : RCA Rev., vol. 34, PP. 152-163, 1973.
34. M.Shoji : IEEE Trans. Electron Devices, vol. ED-16, PP. 748-758, 1969.
35. ———— : J.Appl. Phys., vol. 41, PP. 774-778, 1970.
36. K.Tomizawa, M.Kawashima and S.Kataoka : Electron. Lett., vol. 7, PP. 239-240, 1971.
37. K.Mause, A.Schlachetzki, E.Hesse and H.Salow : Proc. 4th Bienn. Cornell Elec. Eng. Conf., PP. 211-223, 1973.
38. ———— : IEEE Trans. Commun., vol. COM-22, PP. 1435-1440, 1974.
39. ———— : IEEE J.Solid-State Circuits, vol. SC-10, PP. 2-12, 1975.
40. R.P.Nanavati : "Semiconductor devices", Intext Educational Publish., N.Y., 1975.
41. N.Suzuki, H.Yanai and T.Ikoma : IEEE Trans. Electron Devices, vol. ED-19, PP. 364-375, 1972.
42. 後藤, 中村, 磯部 : 信学会電子装置研資, ED74-50, 1974.

43. S.Hasuo, T.Nakamura, G.Goto, K.Kazetani, H.Ishiwari, H.Suzuki and T.Isobe : IEEE Trans. Electron Devices, vol. ED-23, PP. 1063-1069, 1976.
44. J.G.Ruch and G.S.Kino : Appl. Phys. Lett., vol. 10, PP. 40-42, 1967.
45. P.H.Ladbroke : IEEE Trans. Electron Devices, vol. ED-20, PP. 56-59, 1973.
46. K.Murayama and T.Ohmi : Jap. J.Appl. Phys., vol. 12, PP. 1931-1940, 1973.
47. P.Jøndrup, P.Jeppesen and B.Jeppsson : IEEE Trans. Electron Devices, vol. ED-23, PP. 1028-1035, 1976.
48. J.L.Teszner and D.Boccon-Gibod : J.Appl. Phys., vol. 44, PP. 2765-2774, 1973.
49. Y.Tokumaru and N.Mikoshiba : Proc. 2nd Conf. Solid State Devices (Tokyo, 1970), Suppl. J.Japan Soc. Appl. Phys., vol. 40, PP. 107-113, 1971.
50. H.Thim : Electron. Lett., vol. 7, PP. 246-247, 1971.
51. ——— : Proc. IEEE, vol. 59, PP. 1285-1286, 1971.
52. T.Ohmi and S.Hasuo : IEEE Trans. Electron Devices, vol. ED-20, PP. 303-316, 1973.
53. O.Wada, S.Yanagisawa and H.Takanashi : Jap. J.Appl. Phys., vol. 14, PP. 157-158, 1975.
54. G.Goto, S.Yanagisawa, O.Wada and H.Takanashi : Appl. Phys. Lett., vol. 23, PP. 150-151, 1973.
55. ——— : Jap. J.Appl. Phys., vol. 13, PP. 1127-1133, 1974.
56. S.H.Izadpanah, B.Jeppsson, P.Jeppesen and P.Jøndrup : Proc. IEEE, vol. 62, PP. 1166-1167, 1974.
57. J.G.Ruch and G.S.Kino : Phys. Rev., vol. 174, PP. 921-931, 1968.
58. T.Ohmi and S.Hasuo : Proc. Int. Conf. Physics Semicond. (Cambridge, MA), PP. 60-65, 1970.
59. J.A.Copeland and S.Knight : "Semiconductors and semimetals", vol. 7A, R.K.Willardson and A.C.Beer, Eds., Academic Press, N.Y., PP. 3-72, 1971.
60. P.N.Butcher, W.Fawcett and N.R.Ogg : Brit. J.Appl. Phys., vol. 18, PP. 755-759, 1967.
61. W.Fawcett and H.D.Rees : Phys. Lett., vol. 29A, PP. 578-579, 1969.
62. P.S.Hauge : IEEE Trans. Electron Devices, vol. ED-18, PP. 390-391, 1971.

63. T.Sugeta, M.Tanimoto, T.Ikoma and H.Yanai : IEEE Trans. Electron Devices, vol. ED-21, PP. 504-515, 1974.
64. K.Mause, H.Salow, A.Schlachetzki, K.H.Bachem and K.Heime : Proc. 4th Int. Symp. GaAs, Inst. Phys. Conf. ser. 17, PP. 275-285, 1972.
65. K.Heime : Electron. Lett., vol. 7, PP. 610-613, 1971.
66. S.Kataoka, N.Hashizume, M.Kawashima and Y.Komamiya : Proc. 4th Bienn. Cornell Elec. Eng. Conf., PP. 225-234, 1973.
67. S.Yanagisawa, O.Wada and H.Takanashi : IEDM Tech. Digest 14.4 (P. 317), 1975.
68. C.L.Upadhyayula, R.E.Smith, J.F.Wilhelm, S.T.Jolly and J.P.Paczkowski : IEEE Trans. Microwave Theory & Tech., vol. MTT-24, PP. 920-926, 1976.
69. K.Mause : IEEE Trans. Microwave Theory & Tech., vol. MTT-24, PP. 926-929, 1976.
70. N.Hashizume and K.Tomizawa : Electron. Lett., vol. 12, PP. 232-234, 1976.
71. 車田, 水谷 : 通研実用化報告, vol. 24, PP. 345-353, 1975.
72. K.Kurumada, T.Mizutani and M.Fujimoto : Electron. Lett., vol. 10, PP. 161-163, 1974.
73. L.C.Upadhyayula, S.Y.Narayan and E.C.Douglas : Electron. Lett., vol. 11, PP. 201-202, 1975.
74. K.H.Bachem, J.Engemann and K.Heime : Proc. 5th Conf. Solid State Devices, (Tokyo, 1973), Suppl. J. Japan Soc. Appl. Phys., vol. 43, PP. 222-225, 1974.
75. O.Wada, S.Yanagisawa and H.Takanashi : Proc. IEEE, vol. 64, PP. 566-568, 1976.
76. 橋爪, 小島, 片岡 : 信学会電子装置研資, ED74-75, 1974.
77. 鈴木, 谷本, 柳井 : 信学会電子装置研資, ED74-76, 1974.
78. 水谷, 石田, 本多, 車田, 藤本 : 信学技報 vol. 75, ED75-65, 1975.
79. G.Goto, T.Nakamura and T.Isobe : IEEE Trans. Electron Devices, vol. ED-22, PP. 120-126, 1975.
80. T.Nakamura, S.Hasuo and G.Goto : FUJITSU Sci. Tech. J., vol. 11, PP. 83-106, 1975.
81. K.Sekido, T.Takeuchi, F.Hasegawa and S.Kikuchi : Proc. IEEE, vol. 57, PP. 815-816, 1969.

82. W.H.Haydl : Proc. IEEE, vol. 61, P, 497, 1973.
83. H.W.Thim and M.R.Barber : Proc. IEEE, vol. 56, PP. 110-111, 1968.
84. S.Asai, S.Ishioka, H.Kurono, S.Takahashi and H.Kodera : Proc. 4th Conf. Solid State Devices, (Tokyo, 1972), Suppl. J. Japan Soc. Appl. Phys., vol. 42, PP. 71-77, 1973.
85. O.Wada, S.Yanagisawa and H.Takanashi : Jap. J. Appl. Phys., vol. 15, PP. 1151-1152, 1976.
86. 谷本, 鈴木, 柳井, Kaufmann, Nievendick, Heime : 信学技報 vol. 75 ED75-66, 1975.
87. 東坂, 竹内, 関戸 : 信学会電子装置研資, ED71-5, 1971.
88. 竹内, 東坂, 関戸 : 信学会電子装置研資, ED70-30, 1970.
89. 横山, 柴富, 中井, 石川, 太宰 : 信学技報 vol. 75, SSD75-65, 1975.
90. N.Hashizume and S.Kataoka : Electron. Lett., vol. 12, PP. 370-372, 1976.
91. 橋爪, 片岡, 駒宮, 富沢, 森末 : 信学技報 vol. 76, ED76-76, 1976.
92. 石割, 鈴木, 後藤, 中村, 風谷 : 信学技報 vol. 76, ED76-41, 1976.
93. K.Kazetani, G.Goto and T.Nakamura : FUJITSU Sci. Tech. J., vol. 12, PP. 99-118, 1976.
94. S.Hasuo, T.Nakamura, G.Goto, K.Kazetani, H.Ishiwari, H.Suzuki and T.Isobe : Proc. 5th Bienn. Cornell Elec. Eng. Conf., PP. 185-194, 1975.
95. 中村, 蓮尾, 後藤, 風谷, 石割, 鈴木, 磯部 : 信学技報 vol. 75, ED75-69, 1975.
96. 後藤, 中村, 風谷, 石割, 鈴木 : “FETトリガ方式を用いるガン効果論理素子”, 信学論(C), 掲載予定(昭53).
97. 後藤, 中村 : “移動度の電界依存性を考慮したMESFETの一次元解析”, 信学論(C), 掲載予定(昭53).
98. 後藤, 中村 : 信学技報 vol. 76, ED76-40, 1976
99. 後藤, 太宰 : 昭52信学総全大, 313, 1977.
100. P.L.Hower and N.G.Bechtel : IEEE Trans. Electron Devices, vol. ED-20, PP. 213-220, 1973.
101. 和田, 柳沢, 小川, 遠山, 高梨 : 信学技報 vol. 75, ED75-68, 1975.

102. W.Shockley : Proc. IRE, vol. 40, PP. 1365-1376, 1952.
103. 富沢, 片岡 : 信学会電子装置研資, ED71-13, 1971.
104. 木村, 西田, 増田, 小山 : 信学会電子装置研資, ED74-49, 1974.
105. 針生, Hartnagel : 信学会電子装置研資, ED74-51, 1974.
106. 西田, 増田, 小山, 木村 : 信学技報 vol. 75, ED75-39, 1975.
107. M.Masuda, M.Nishida, M.Kimura and J.Koyama : Electron. Lett., vol. 11, PP. 320-321, 1975, (Errata : ibid., vol. 11, P. 568)
108. T.Hariu and H.L.Hartnagel : Int. J. Electron., vol. 37, PP. 451-455, 1974.
109. T.Isobe, T.Nakamura and G.Goto : Proc. IEEE, vol. 61, PP. 792-793, 1973.
110. G.Goto, T.Nakamura, S.Hasuo, K.Kazetani and T.Isobe : IEEE Trans. Electron Devices, vol. ED-23, PP. 21-27, 1976, (Errata : ibid., vol. ED-23, P. 1112)
111. T.Nakamura, S.Hasuo, G.Goto, K.Kazetani, H.Ishiwari, H.Suzuki and T.Isobe : Proc. 6th Conf. Solid State Devices, (Tokyo, 1974), Suppl. J. Japan Soc. Appl. Phys., vol. 44, PP. 163-170, 1975.
112. T.Isobe, S.Yanagisawa and T.Nakamura : Proc. 8th Conf. Solid State Devices, (Tokyo, 1976), Jap. J. Appl. Phys., vol. 16, Suppl. 16-1, PP. 135-141, 1977.
113. T.Isobe, T.Nakamura and G.Goto : 1973 ISSCC, Digest Tech. Papers, PP. 96-97.
114. T.Nakamura, S.Hasuo, G.Goto, K.Kazetani and T.Isobe : 1975 ISSCC, Digest Tech. Papers, PP. 166-167.
115. T.Isobe, T.Nakamura and G.Goto : FUJITSU Sci. Tech. J., vol. 9, PP. 77-99, 1973.
116. 中村, 蓮尾, 後藤, 風谷, 石割, 鈴木, 磯部 : 信学会電子装置研資, ED74-31, 1974.
117. 後藤, 中村, 蓮尾, 風谷, 石割, 鈴木, 磯部 : 信学会電子装置研資, ED74-77, 1974.
118. K.Tomizawa and S.Kataoka : Electron. Lett., vol. 8, PP. 130-131, 1972.
119. S.Hasuo and T.Isobe : IEEE Trans. Electron Devices, vol. ED-22, PP. 115-119, 1975.
120. R.Turn : "Computers in the 1980s", Columbia Univ. Press, N.Y., 1974.
121. 駒宮 : 電気学会全国大会, S11-1, 1971.