



| | |
|--------------|---|
| Title | ボディー電位制御S0 I デバイスに関する研究 |
| Author(s) | 平野, 有一 |
| Citation | 大阪大学, 2008, 博士論文 |
| Version Type | |
| URL | https://hdl.handle.net/11094/49503 |
| rights | |
| Note | 著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、大阪大学の博士論文についてをご参照ください。 |

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

| | |
|---------------|---|
| 氏 名 | ひらの 野 有 一 |
| 博士の専攻分野の名称 | 博 士（工 学） |
| 学 位 記 番 号 | 第 2 2 5 3 4 号 |
| 学 位 授 与 年 月 日 | 平 成 20 年 9 月 25 日 |
| 学 位 授 与 の 要 件 | 学位規則第4条第2項該当 |
| 学 位 論 文 名 | ボディー電位制御 SOI デバイスに関する研究 |
| 論 文 審 査 委 員 | (主査) 教 授 森田 瑞穂 (副査) 教 授 安武 潔 教 授 渡部 平司 |

論 文 内 容 の 要 旨

本論文は、ボディー電位制御Silicon-on-Insulator(SOI)デバイスに関する研究の成果をまとめたもので、序論、まとめの章を含め、7章より構成されている。

第1章では、半導体の研究開発動向とその中でのボディー電位制御SOIデバイスの位置付けについて述べ、本研究に着手した目的と意義を明確にし、本論文の構成について述べた。

第2章では、ボディー浮遊効果抑制およびボディー電位制御を可能にするSOI Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET)の試作に関し下記の知見を得た。部分分離に完全分離を組み合わせたハイブリッドトレンチ分離SOI MOSFETを試作し、ボディー浮遊効果を抑制できることを明らかにした。インバータリング回路では、バルクと比較し、同じ消費電力では15%の速度向上が得られ、同じ速度では消費電力を24%低減できることを見いだした。さらに、N-channel Metal-Oxide-Semiconductor (NMOS)のボディーに順方向電圧を0.4V印加した場合、電流駆動能力は約20%改善し、しきい値電圧のばらつきは8%抑制されることを明らかにした。ボディー効果の違いにより、しきい値電圧ばらつきが低減できることを明らかにした。

第3章では、ソフトウェア低減に向けた電荷収集解析に関し下記の知見を得た。ボディー固定構造を実現する部分分離構造が寄生バイポーラ効果を抑制し、ボディー浮遊構造と比較して、収集電荷量を約1桁以上抑制することを見いだした。さらに、SOIの薄膜化により、発生電荷の収集だけでなく、寄生バイポーラ効果による電荷収集も低減できることを明らかにした。

第4章では、大規模Large-Scale Integration (LSI)の動作検証に関し、下記の知見を得た。0.18 μm プロセス、ハイブリッドトレンチ分離を用いて32bit Reduced Instruction Set Computer (RISC) マイクロコントローラユニット、10Gbps 通信用LSIの試作を行い、大規模LSIの動作を実証した。ボディー浮遊効果を考慮した回路修正なしに、SOIをシステムLSIに導入できることを示した。

第5章では、ボディー電位制御によるStatic Random Access Memory (SRAM)の速度性能向上に関し、下記の知見を得た。1M-bit SOI SRAMのアクセス、ドライバトランジスタにボディー電位制御技術を適用し、アクセスタイムが電源電圧1.0Vで約21%改善したことを見いだした。さらに、中性子によるソフトウェア評価を行い、バルクに対してエラーレートが89%低減していることを見いだした。

第6章では、ボディー電位制御によるSRAMの動作マージン改善に関し、下記の知見を得た。アクセス、ドライバトランジスタのボディー電位制御を行うことで、書き込みマージンが20%改善し、ロードトランジスタのボディー電位制御により、Static Noise Margin (SNM)は16%改善することを明らかにした。2M-bit SOI SRAMを試作し、ボディー電位制御により動作下限電圧を約100mV低減できることを明らかにした。ボディー電位制御によって22nm世代におけるSNMは49%改善することを回路シミュレーションにより明らかにした。ボディー電位制御がSNMの改善に有効であることを実証した。

第7章では、第2章から第6章までの研究成果をまとめ、結論の章とした。

以上、本研究では、高速・低消費電力LSIを実現するボディー電位制御SOIデバイス技術を提示した。これらの技術は、微細化限界の打破に貢献できる有力な半導体技術であると確信する。

論文審査の結果の要旨

ユビキタス社会の実現に向けて、半導体デバイスの需要がますます増大しており、デバイスのダウンスケーリングによりマイクロコンピュータ、メモリの高速化、高集積化が行われている。しかし、半導体デバイスの微細化の限界に直面しつつあり、高速、低消費電力、高信頼性 Large-Scale Integration (LSI)回路を実現するデバイスが強く要求されている。本論文は、Silicon-on-Insulator (SOI)デバイスのボディー電位制御によるLSI回路の高速化、低消費電力化、高信頼性化技術の研究成果をとりまとめたものであり、その主な成果は次の通りである。

(1) 部分分離に完全分離を組み合わせたハイブリッドトレンチ分離 SOI Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET)を試作し、ボディー電位浮遊効果を抑制できることを明らかにし、インバータリング回路の速度向上、消費電力低減を見だし、N-channel MOSFET の電流駆動能力改善、しきい値電圧ばらつき低減を明らかにしている。

(2) ボディー電位固定構造を実現する部分分離構造が寄生バイポーラ効果を抑制し、アルファ線入射時の収集電荷量を抑制することを見だし、SOI 層の薄膜化により発生電荷の収集と寄生バイポーラ効果による電荷収集を低減

できることを明らかにしている。

(3) ハイブリッドトレンチ分離を用いてマイクロコントローラユニット、通信用LSIチップを試作し、大規模LSI回路の動作を実証している。

(4) Static Random Access Memory (SRAM)にボディー電位制御技術を適用し、アクセスタイムが改善することを明らかにし、中性子によるソフトウェアエラーレートが低減することを見いだしている。

(5) SRAM のボディー電位制御により、書き込みマージン、Static Noise Margin (SNM)を改善でき、動作下限電圧を低減できることを明らかにしている。

以上のように、本論文は、SOI デバイスのボディー電位を制御するデバイス構造を開発し、SOI デバイスを用いた高速、低消費電力、高信頼性LSI技術に関する多くの知見を与えており、半導体工学、精密科学に寄与するところが大きい。よって、本論文は博士論文として価値あるものと認める。