

Title	A Study on High-Performance Switched-Capacitor Circuits for Wireless Communications
Author(s)	王, 軍
Citation	大阪大学, 2008, 博士論文
Version Type	
URL	https://hdl.handle.net/11094/49514
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 〈a href="https://www.library.osaka-u.ac.jp/thesis/#closed"〉 大阪大学の博士論文について 〈/a〉 をご参照ください。

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	王 軍
博士の専攻分野の名称	博士(工学)
学位記番号	第 22551 号
学位授与年月日	平成20年10月28日
学位授与の要件	学位規則第4条第1項該当 工学研究科電子情報エネルギー工学専攻
学位論文名	A Study on High-Performance Switched-Capacitor Circuits for Wireless Communications (ワイヤレス通信向け高性能スイッチトキャパシタ回路に関する研究)
論文審査委員	(主査) 教授 谷口 研二 (副査) 教授 谷野 哲三 教授 北山 研一 教授 八木 哲也 准教授 丸田 章博 准教授 橋本 昌宜 准教授 松岡 俊匡

論文内容の要旨

本論文は無線通信のための高性能スイッチトキャパシタ回路に関する研究についてまとめたものであり、以下の六章で構成した。

第一章では、高性能スイッチトキャパシタ回路の無線通信応用を念頭において技術的背景について述べた。具体的には、スイッチトキャパシタ回路の一般的な事項、及びスイッチトキャパシタ可変利得増幅回路(Variable Gain Amplifier, VGA)と Δ - Σ AD変調器を紹介し、この技術の展望をもとに本研究の目的を説明した。

第二章では、通信用アナログ・フロント・エンドの性能を決める要素回路ブロックのスイッチトキャパシタVGAの設計について述べた。高精度なLinear-in-dB利得を持つスイッチトキャパシタVGAを実現するにはマッチングの優れたキャパシタが必要となるが、製造ばらつきに起因するキャパシタのミスマッチは避けられない。この章では、キャパシタ・ミスマッチがLinear-in-dB特性へ及ぼす影響を検討した。使用するキャパシタの組合せを動的に変化させるダイナミック・エレメント・マッチング(Dynamic Element Matching, DEM)技術によりキャパシタ・ミスマッチによる利得変動を時間的に平均化し、その影響を低減させる回路設計を行い、チップ試作を通して検証した。4ビットの利得可変型スイッチトキャパシタVGAを設計し、実測により、積分非線形性(INL)と微分非線形性(DNL)が各々1LSBに対して $\pm 20\%$ から $\pm 5\%$ に、 $\pm 25\%$ から $\pm 2.5\%$ に低減することを確認した。

第三章では、SiGe BiCMOSプロセスによる高速スイッチトキャパシタ Δ - Σ AD変換器(A/D Converter, ADC)について述べた。高速オーバーサンプリング型高次 Δ - Σ 変調器は、ロバストで線形性が優れているものの、広帯域通信システム用には10MHzから100MHz程度高いクロック周波数が要請されている。この章ではスイッチトキャパシタ Δ - Σ 変調器の速度を向上させるため、SiGe BiCMOSプロセスを用いた設計を行った。高速サンプリングの採用により、オペアンプの利得帯域幅(GBW)に起因する Δ - Σ 変調回路の非理想性が改善されることを示した。チップ試作を通して、2次AD変換器が、サンプリング周波数150MHzにお

いて8ビットの分解能を有し、信号帯域が2MHzまで向上することを実証した。

第四章では、電源電圧0.5Vで動作する Δ - Σ AD変換器について述べた。電源電圧の低下による Δ - Σ 変調器の性能劣化を回避するため、積分器の非線形性を補償するフィードフォワード構成の Δ - Σ AD変調回路を検討した。シミュレーションにより、フィードフォワード Δ - Σ AD変換器は8ビットの分解能と80kHzの信号帯域を持つ事を示した。全消費電力は、わずか680 μ Wであった。

第五章では、低歪みマルチビット Δ - Σ AD変調器向け加算回路について述べた。フィードフォワード構成の Δ - Σ 変調器を前提に、寄生容量による誤差を低減する新しい手法を提案した。本手法では、寄生容量を補償するための僅かな数の小さいキャパシタを追加して高精度な加算機能を達成している。小さい占有面積で消費電力の増加もなく、低歪みマルチビット Δ - Σ AD変調器が実現できることを示した。

第六章では本論文をまとめた。

論文審査の結果の要旨

本論文は無線通信のための高性能スイッチト・キャパシタ回路に関する研究についてまとめたものであり、以下の6章より構成されている。

第一章では、高性能スイッチト・キャパシタ回路の無線通信応用を念頭において技術的背景について述べている。具体的には、スイッチト・キャパシタ回路の一般的な事項、及びスイッチト・キャパシタ・可変利得増幅回路(Variable Gain Amplifier, VGA)と Δ Σ AD変調器を紹介し、この技術の展望をもとに本研究の目的を説明している。

第二章では、通信用アナログ・フロント・エンドの性能を決める要素回路ブロックのスイッチト・キャパシタVGAの設計について述べている。高精度なLinear-in-dB利得を持つスイッチト・キャパシタVGAを実現するには、製造ばらつきに起因するキャパシタのミスマッチの影響を低減する必要がある。この章では、キャパシタ・ミスマッチがLinear-in-dB特性へ及ぼす影響を検討している。使用するキャパシタの組合せを動的に変化させるダイナミック・エレメント・マッチング(Dynamic Element Matching, DEM)技術によりキャパシタ・ミスマッチによる利得変動を時間的に平均化し、その影響を低減させる回路設計を行っている。4ビットの利得可変型スイッチト・キャパシタVGAを設計し、実測により、積分非線形性(INL)と微分非線形性(DNL)が各々1LSBに対して $\pm 20\%$ から $\pm 5\%$ に、 $\pm 25\%$ から $\pm 2.5\%$ に低減することを確認している。

第三章では、SOI SiGe BiCMOS プロセスによる高速スイッチト・キャパシタ Δ Σ AD変換器(A/D Converter, ADC)について述べている。高速オーバーサンプリング型高次 Δ Σ 変調器は、ロバストで線形性が優れているものの、広帯域通信システム用には10MHzから100MHz程度高いクロック周波数が要請されている。この章ではスイッチト・キャパシタ Δ Σ 変調器の速度を向上させるため、SiGe BiCMOS プロセスを用いた設計を行っている。高速サンプリングの採用により、オペアンプの利得帯域幅(GBW)に起因する Δ Σ 変調回路の非理想性が改善されることを示している。チップ試作を通して、2次AD変換器が、サンプリング周波数150MHzにおいて8ビットの分解能を有し、信号帯域が2MHzまで向上することを実証している。

第四章では、電源電圧0.5Vで動作する Δ Σ ADCについて述べた。電源電圧の低下による Δ Σ 変調器の性能劣化を回避するため、積分器の非線形性を補償するフィード・フォワード構成の Δ Σ 変調回路を検討している。シミュレーションにより、フィード・フォワード Δ Σ AD変換器は8ビットの分解能と80kHzの信号帯域を持つ事を示している。全消費電力は、わずか680 μ Wである。

第五章では、低歪みマルチ・ビット Δ Σ 変調器向け加算回路について述べている。フィード・フォワード構成の Δ Σ 変調器を前提に、寄生容量による誤差を低減する新しい手法を提案している。本手法では、寄生容量を補償するための僅かな数の小さいキャパシタを追加して高精度な加算機能を達成している。

小さい占有面積で消費電力の増加もなく、低歪みマルチ・ビット $\Delta\Sigma$ 変調器が実現できることを示している。

第六章では本研究で得られた知見を総括している。

以上のように、本論文では、通信用集積回路に用いる①DEMを用いた高精度スイッチト・キャパシタVGA、②0.5V低電源電圧動作CMOSオペアンプ、③アナログ加算機能の高精度化技術などを新たに提案し、それらが優れた性能を示すことを明らかにしている。これらの研究成果および本論文で述べた設計・運用時の拡張性保証の手法は、通信用スイッチト・キャパシタ集積回路のみならず広くエレクトロニクス産業の発展に大きく寄与するものである。

よって、本論文は博士論文として価値あるものと認める。