



Title	Systematic Architecture Exploration Method for Low Power and High Performance Reconfigurable Processors
Author(s)	谷口, 一徹
Citation	大阪大学, 2009, 博士論文
Version Type	
URL	<a href="https://hdl.handle.net/11094/49696">https://hdl.handle.net/11094/49696</a>
rights	
Note	著者からインターネット公開の許諾が得られていないため、論文の要旨のみを公開しています。全文のご利用をご希望の場合は、 <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> 大阪大学の博士論文について <a href="https://www.library.osaka-u.ac.jp/thesis/#closed">https://www.library.osaka-u.ac.jp/thesis/#closed</a> をご参照ください。

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

## 【12】

氏 名	たに ぐち いっ てつ 谷 口 一 徹
博士の専攻分野の名称	博 士 (情報科学)
学 位 記 番 号	第 23055 号
学位授与年月日	平成21年3月24日
学位授与の要件	学位規則第4条第1項該当 情報科学研究科情報システム工学専攻
学 位 論 文 名	Systematic Architecture Exploration Method for Low Power and High Performance Reconfigurable Processors  (低消費電力で高性能な再構成可能プロセッサのためのアーキテクチャの系統的探索手法)
論文審査委員	(主査) 教 授 今井 正治  (副査) 教 授 尾上 孝雄  IMEC vzw. /Katholieke Universiteit Leuven 教授 Francky V.M. Catthoor 准教授 武内 良典

## 論 文 内 容 の 要 旨

本研究では、低消費電力で高性能な再構成可能プロセッサのためのアーキテクチャの系統的探索手法を提案する。

近年注目されている再構成可能プロセッサは高性能と柔軟性を備えたハードウェアとして知られているが、組込みシステムへの実用化を視野に入れた場合、克服すべき課題は非常に多い。組込みシステムは、性能のみならず、消費電力やハードウェア面積などで厳しい制約があり、それらの制約を満たす最適なアーキテクチャを設計するための、アーキテクチャ探索手法が重要となる。そこで本研究では、組込みシステムへの実用化を視野に入れた、低消費電力で高性能な再構成可能プロセッサのためのアーキテクチャの系統的探索手法を提案する。

はじめに、さまざまな再構成可能プロセッサのアーキテクチャを探索するための、パラメタ化された再構成可能プロセッサモデルを提案する。提案するパラメタ化された再構成可能プロセッサモデルは23種類のパラメタを持ち、そのパラメタを設定することで、さまざまな再構成可能プロセッサに対応することができる。そして、パラメタ化された再構成可能プロセッサモデルに対応した性能評価手法を提案する。提案する性能評価手法を用いることにより、実用的なアプリケーションにおいて約3分でその性能を得ることができることを示した。

次に、再構成可能アドレス生成アーキテクチャの網羅的探索手法を提案する。アドレス計算はメディア処理などのアプリケーションにおいて高い割合を占めており、その効率的な計算が重要な問題である。アドレス計算は高い並列性を持ち、アドレス生成アーキテクチャも比較的小規模かつシンプルな構成をしているため、再構成可能アドレス生成アーキテクチャを提案し、その網羅的探索手法を提案する。提案手法を用いることにより、最長で約10時間でパレート解を得ることができた。また、この探索をより効率的に行う、再構成可能アドレス生成アーキテクチャの系統的探索手法を提案する。実用的な仮定において、性能対電力のパレート解集合は性能対面積のパレート解集合の部分集合になることが数学的に証明される。この特徴を利用し、性能対面積のパレート解を高速に得るための、粗いサイクル見積もりを用いた系統的探索手法を提案する。提案する系統的探索手法を用いることにより、網羅的探索手法に比べ、約164倍高速にパレート解を得ることができた。

## 論 文 審 査 の 結 果 の 要 旨

本論文では、低消費電力で高性能な再構成可能プロセッサのためのアーキテクチャの系統的探索手法を提案している。

再構成可能プロセッサは高性能と柔軟性を備えたハードウェアとして知られているが、組込みシステムへの実用化を視野に入れた場合、克服すべき課題は非常に多い。また、組込みシステムは、性能のみならず、消費電力やハードウェア面積などで厳しい制約があり、それらの制約を満たす最適なアーキテクチャを設計するための、アーキテクチャ探索手法が重要である。本論文では、組込みシステムへの実用化を視野に入れ、低消費電力で高性能な再構成可能プロセッサのためのアーキテクチャの系統的探索手法を提案している。

論文では、各種の再構成可能プロセッサのアーキテクチャを探索するための、23種類のパラメタを持つパラメタ化された再構成可能プロセッサモデルを提

案し、パラメタ化された再構成可能プロセッサモデルに対応した性能評価手法を提案した。提案する性能評価手法を用いることにより、実用的なアプリケーションに対して3分間程度の時間でその性能を得られたことが示されている。

次に、再構成可能アドレス生成アーキテクチャの網羅的探索手法を提案している。提案手法を用いることにより、最長で約10時間でパレート解を得ることができた。また、この探索をより効率的に行う、再構成可能アドレス生成アーキテクチャの系統的探索手法を提案している。この性能対面積のパレート解を高速に得るための、粗いサイクル見積もりを用いた系統的探索手法により、網羅的探索手法に比べ、約164分の1の時間でパレート解が得られることが知られた。

以上のことから、博士（情報科学）の学位論文として価値のあるものと認める。