The University of Osaka
Institutional Knowledge Archive

Title	生体センシング用途向け超低消費電力ΔΣモジュレータ
Author(s)	井田, 司; 田中, 智之; 松岡, 俊匡 他
Citation	電子情報通信学会論文誌C. 2007, J90-C(10), p. 662-670
Version Type	VoR
URL	https://hdl.handle.net/11094/51660
rights	copyright©2007 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

論　文

生体センシング用途向け超低消費電力 ΔΣ モジュレータ

井田　司[†a)]　田中　智之[†]　松岡　俊匡[†]　谷口　研二[†]

Ultra Low-Power ΔΣ Modulator for Biomedical Sensing Applications

Tsukasa IDA[†a)], Tomoyuki TANAKA[†], Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†]

あらまし　MOSFET の弱反転領域を用いた生体信号センシング用 ΔΣ モジュレータを提案する．すべての MOSFET を確実に弱反転領域で動作させるため，電源電圧は 500 mV と設定して低消費電力化を図り，電池による長時間の駆動が可能となる設計を行った．ΔΣ モジュレータ内のオペアンプのスルーレートがモジュレータの特性に大きな影響を与えることをシミュレーションで確認し，スルーレートを強化する Adaptive Bias オペアンプと定バイアスのオペアンプを用いて ΔΣ モジュレータを設計・試作・測定した．クロック周波数 5 kHz のとき，ピークの SNDR はそれぞれ 33 dB，22 dB となり，信号入力域の全域にわたり，約 10 dB の改善が得られた．消費電流は 26 nA であった．また，スルーレートブーストオペアンプを用いれば，クロック周波数を増加させても通常のオペアンプと比較して SNDR の劣化が少ないことを確認した．

キーワード　CMOS アナログ回路，弱反転領域動作，ΔΣ モジュレータ，スルーレートブースト，低消費電力

1. まえがき

携帯電子機器の普及とともに，長時間駆動用回路の省電力化の要求が大きくなっている．中でも，心電，筋電，脳波，神経信号をはじめ，生体関連のセンシングは人体を含めた様々な生物に対して広く行われている．近年，センサ，電源，回路を一つのパッケージにまとめ，体内に埋め込んだ状態で長時間動作するデバイスの例も報告されている [1]．しかし，長時間の継続測定や，体内埋込デバイスでは，電池の交換のために，測定を中断したり，体内からデバイスを取り出す必要がある．電池交換のサイクルを長くするには，省電力化が非常に有効なアプローチの一つである．

本論文では，人間の心電の生体信号処理を目指し，図 1 に示す前置増幅器を経由した省電力の A–D 変換部について検討を行った．文献 [2] によれば，心電監視装置で要求される周波数特性は 0.5〜40 Hz である．

省電力のために CMOS 回路が用いられるディジタル集積回路にアナログ回路も混載すれば，製造，組立てコストの削減が可能となる．CMOS アナログ回路は，通常，強反転領域で動作しているが，弱反転領域動作に変更すると大幅な消費電力の低減ができる [3], [4]．しかし，弱反転領域動作は，回路に流れる電流が非常に小さくなるため，動作速度やノイズ耐性といった，回路の諸特性が悪化する．

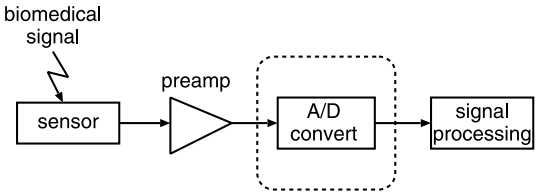


図 1　生体信号処理システム
Fig. 1　Biomedical signal processing system.

本論文では，回路の特性が悪化しても A–D 変換の精度の劣化が少ない ΔΣ モジュレータを取り上げ，モジュレータ内のオペアンプ特性について検討した．

2. 弱反転領域の利用

弱反転領域は MOSFET のゲート・ソース間電圧がしきい値電圧 V_{th} 以下の動作領域で，通常用いられる強反転領域と比較して，MOSFET のドレーン電流 I_{DS} が大幅に減少する．

弱反転領域のドレーン電流 I_{DS} はゲート・ソース間

† 大阪大学大学院工学研究科，吹田市
Graduate School of Engineering, Osaka University, 2–1 Yamadaoka, Suita-shi, 565–0871 Japan
a) E-mail: ida@si.eei.eng.osaka-u.ac.jp

 © (社)電子情報通信学会 2007

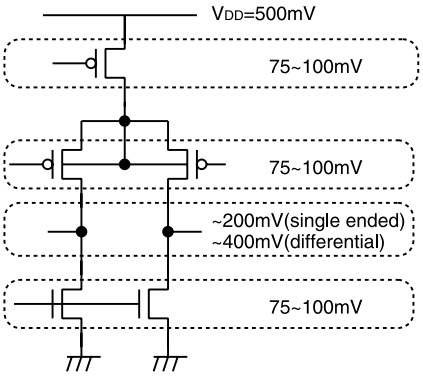


図 2　電源電圧の割り振り
Fig. 2　Signal swings in the proposed OP-amp.

電圧 V_{GS} の指数関数となり，次の式で表される [5].

$$I_{DS} = I_{S0} \exp\left(\frac{V_{GS} - V_{th}}{nv_t}\right) \tag{1}$$

ただし，I_{S0}，n は定数，v_t は熱電圧である．

弱反転領域動作の回路を設計する場合，ゲート・ソース間電圧はしきい値電圧 V_{th} 以下に抑えなければならない．MOSFET のしきい値電圧はプロセスによって異なる．本研究で用いた 0.25 μm プロセスにおけるしきい値電圧は，n チャネル MOSFET で約 600 mV，p チャネル MOSFET で約 −800 mV である．そこで，MOSFET を確実に弱反転領域で動作させるため，電源電圧をしきい値電圧以下の値（500 mV）に設定した．また，弱反転領域の MOSFET を飽和領域で動作させるためにドレーン–ソース間電圧を 75 mV 以上確保した [5]．したがって，ノイズ等を考慮し，増幅器の信号出力レンジを 200 mV とすると，図 2 に示すように，回路で用いる MOSFET の積層段数は 3 段以下となる．

3.　ΔΣ モジュレータにおける省電力化の影響の検討

3.1　ΔΣ モジュレータにおける特性劣化要因

ここでは，オペアンプの電流を削減したとき，ΔΣ モジュレータの性能に最も大きな影響を与える要因について検討する．500 mV の電源電圧と心電図監視装置の必要特性から，表 1 に示す ΔΣ モジュレータの設計条件を定めた．回路動作に用いるボタン電池の容量を 10 mAh として 10 年以上の動作を想定すると消費電力は 50 nW 以下となる．

一般的に回路の消費電流を削減すると速度の低下が生じる．スイッチトキャパシタ回路を用いた ΔΣ モジュレータは次の四つの要素回路から構成される．

- ディジタル回路
- コンパレータ
- スイッチトキャパシタ回路内のスイッチ
- スイッチトキャパシタ回路内のオペアンプ

表 1　ΔΣ モジュレータの仕様
Table 1　Design specification of the ΔΣ modulator.

電源電圧	500 mV
信号帯域	DC∼50 Hz
クロック周波数	5 kHz 以上
SNDR	30 dB 以上（5 bit 以上）
消費電力	50 nW 以下

ディジタル回路とコンパレータはクロックの相が変化するまでに論理しきい値分だけ電位が変化していれば正確に論理を判定できる．このため，他の二つの要素回路より明確に要求性能を決定できる．スイッチトキャパシタ回路内のスイッチとして，単体の MOSFET を使用すると，チャネル幅を調整して実質的な抵抗値を制御して負荷容量から構成される時定数を調整することができる．

オペアンプは，動作速度を向上させると動作電流が増加するため，省電力化を目指すためにはトレードオフが存在する．有限のゲインに代表されるオペアンプの非理想性は ΔΣ モジュレータの伝達関数が理論式から乖離する原因となるため，ノイズシェーピング特性を悪化させる．以上の考察の結果，低電源電圧化，低消費電流化によりモジュレータの特性に影響を及ぼす主要因はスイッチトキャパシタ回路内のオペアンプであることが分かる．

そこで，今回，オペアンプの非理想性を導入した ΔΣ モジュレータの数値シミュレーションを行い，モジュレータ性能の低下を招く支配的な要素を検討した．

3.2　ΔΣ モジュレータ内のオペアンプの特性検討

オペアンプの非理想性は主に次の三つがある．

- ゲイン
- 帯域
- スルーレート

ここで，一段構成のオペアンプを想定すると，ゲインは通常，$g_m r_{amp}$（g_m は入力段のトランスコンダクタンス，r_{amp} は出力端子から見たオペアンプの出力抵抗）で表される．弱反転領域では，$r_{amp} \propto 1/I_{ds}$，$g_m \propto I_{ds}$ となり，電流値にかかわらずゲイン $g_m r_{amp}$ は一定である [6]．したがって，弱反転領域において，

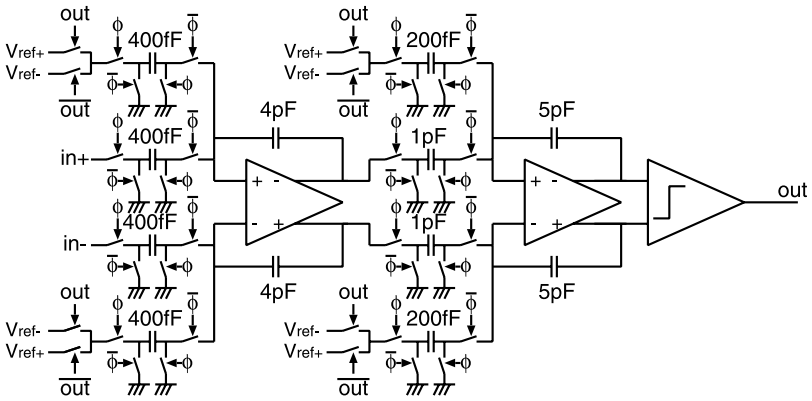


図 3　今回検討/設計を行った ΔΣ モジュレータ
Fig. 3　Schematic of the 2nd-order ΔΣ modulator.

表 2　シミュレーション条件
Table 2　Simulation condition.

ゲイン（デフォルト値）	40 dB
スルーレート（デフォルト値）	100 V/s
r_{amp}（デフォルト値）	200 MΩ
オペアンプの最大出力値	300 mV
オペアンプの最小出力値	100 mV
クロック周波数	5 kHz
信号周波数	43 Hz
信号振幅	240 mV_{p-p}
オーバサンプリング倍率	16 倍
V_{ref+}	300 mV
V_{ref-}	100 mV

ゲインを増加させる場合にはトポロジーを変更する必要がある．

負荷容量が一定値のとき，帯域は r_{amp} に依存するが，MOSFET の電流値を増加させることで出力抵抗 r_{amp} を低下させて帯域を大きくすることができる．

スルーレートは差動対に流れる電流を I_{diff}，負荷容量を C_L とすると，I_{diff}/C_L と表される．I_{diff} を増加させれば，スルーレートを改善することができる．また，ΔΣ モジュレータ内で用いているオペアンプの特性が向上するとスイッチトキャパシタ回路の出力誤差が減少し，ノイズシェーピング特性が向上するため，SNDR が改善する．したがって，出力抵抗，若しくはスルーレートの改善による高 SNDR の実現は消費電流の増加に直結する．

オペアンプの各種特性が ΔΣ モジュレータに及ぼす影響を調べるために，付録に示したスイッチトキャパシタ回路のモデルを用い，数値シミュレーションを行った．図 3 に示した 2 次の ΔΣ モジュレータに対して，表 2 の条件下でオペアンプの出力抵抗（r_{amp}），

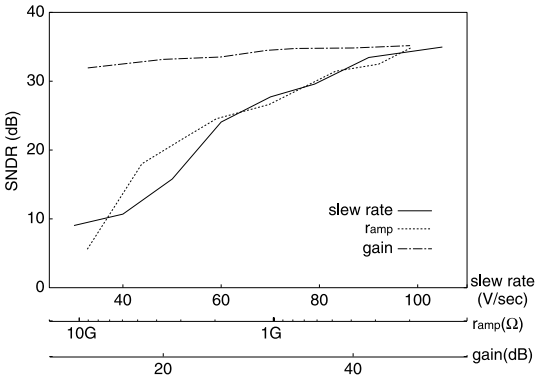


図 4　オペアンプのスルーレート，出力抵抗，ゲインを変化させたときの ΔΣ モジュレータの SNDR のシミュレーション結果
Fig. 4　Simulated SNDR of a ΔΣ modulator as parameters of slew rate, output resistance and gain of the OP-amp.

スルーレート，ゲインを変化させ，それぞれの SNDR を計算した．その結果を図 4 に示す．

この図より，スルーレート，出力抵抗，ゲイン，いずれの性能が向上しても SNDR が改善する．このうち，スルーレートと出力抵抗については大幅な SNDR の向上が確認できるが，出力抵抗が 50 倍の変化で SNDR が約 27 dB 向上するのに対し，スルーレートは 2.5 倍の変化に対して約 23 dB 向上することから，スルーレートを増強することが省電力化による特性劣化に対して最も効果的である．

4. Adaptive Bias オペアンプ

ΔΣ モジュレータ内のスイッチトキャパシタ回路に

はスルーレートを増強した Adaptive Bias オペアンプを用いた [7]．オペアンプはノイズ耐性と出力振幅の観点から完全差動構成とした．スイッチトキャパシタ積分器においてスルーレートを改善するためにオペアンプをバイパスして出力に直接電流を流し込む方法 [8] が提案されているが，この方式ではオペアンプで同相出力電圧を制御するのが困難なため，完全差動構成には不適である．そこで，本研究では，同相出力電圧を調整する際にバイアス電流の変化の影響を取り入れたオペアンプを採用した．

図 5 にスイッチトキャパシタ回路の回路図とクロックの相が変化したときのオペアンプの入力電位の変化を示す．クロックの相が ϕ のとき，入力信号に対応した電荷が C_s に蓄積され，クロックの相が $\bar{\phi}$ になると，C_s はオペアンプの入力と接続され，オペアンプの入力に電位変動が発生し，その後，仮想接地へと収束していく．そこで，オペアンプの入力をモニタし，振幅の絶対値に対応した電流をオペアンプに流す方法を採用した．こうして，大入力振幅時にスルーレートを改善している．

オペアンプは図 6 に示すように，差動対，CMFB（common-mode feedback）回路，Adaptive Bias 回路から構成されている．オペアンプ内の各ブロックの回路図を図 7 に示す．回路の構成は MOSFET を最大 3 段積みとし，500 mV の電源電圧に対応できる構造とした．弱反転領域動作により，図に示すような単純な構造でも差動対のゲインが十分確保できる．

Adaptive Bias 回路は絶対値検出回路である二組の差動対と可変電流源で構成した．入力振幅が小さいときには定電流バイアスのオペアンプとして動作するように，入力差動対の MOSFET のサイズ比を変更し，故意に不感帯をもたせている．

CMFB 回路では，V_{CM} を同相出力電圧の設定値とすると，

$$V(out^{+}) + V(out^{-}) - 2V_{CM} = 0 \qquad (2)$$

となるようにバイアス電流を調整するが，本回路では，

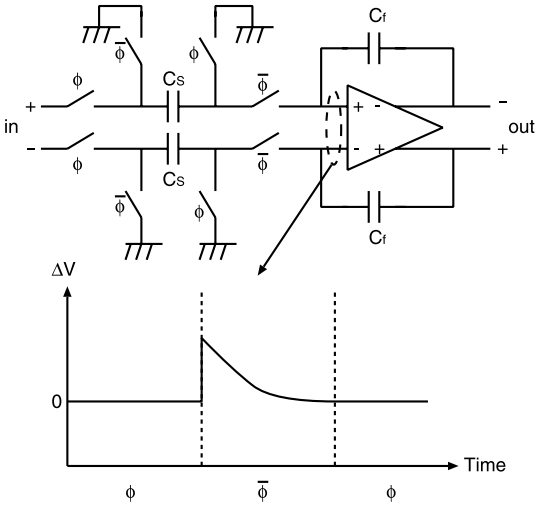


図 5　スイッチトキャパシタ回路とスイッチ切換時の入力端子電圧の過渡特性
Fig. 5　Schematic of a switched-capacitor circuit and transient characteristics of input voltage.

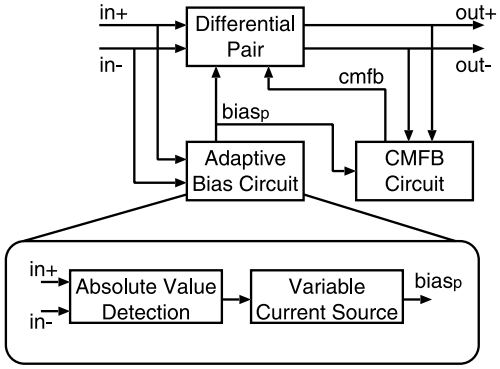
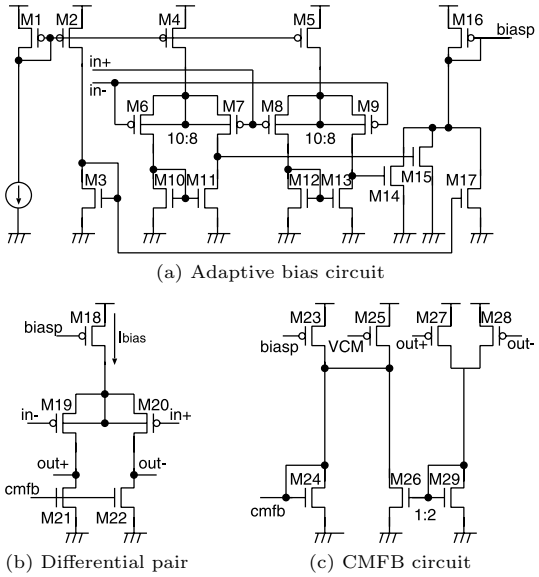


図 6　オペアンプのブロック図
Fig. 6　Block diagram of the proposed OP-amp.



(a) Adaptive bias circuit
(b) Differential pair
(c) CMFB circuit

図 7　Adaptive Bias を用いたオペアンプ
Fig. 7　Schematic of the OP-amp with Adaptive Bias.

動的に変化するバイアス電流に追従しつつ，かつ，広い動作範囲を実現するため，同相出力電圧の誤差の検出を，電流の加減算によって実現している．図 7 (c) において，入力振幅と V_{CM} の差が十分に小さいとき，M24 に流れるドレーン電流 $I_{D,M24}$ は次の近似式で表される．

$$I_{D,M24} = I_{D,M23} + \frac{I_{S0}}{nv_t}(V_{av} - V_{CM})\exp\left(\frac{V_{av} - V_{th}}{nv_t}\right) \quad (3)$$

ただし，$V_{av} = \frac{V(out^+)+V(out^-)}{2}$ である．式 (3) で，第 2 項が同相出力電圧の誤差の補正項となり，$V_{av} - V_{CM}$ が 0 となるように $I_{D,M24}$ が調整されるため，式 (2) を満たすように CMFB 回路が動作する．

差動対はバイアス電流が 0.5〜20 nA の範囲で増幅器として動作するよう設計した．Adaptive Bias 回路による一時的な電流増加に対しては 100 nA まで増加しても正常動作することを回路シミュレーションを用いて確認した．負荷容量 3 pF，バイアス電流 1 nA のときの差動対の回路シミュレーションの結果を表 3 に示す．

Adaptive Bias の有効性を確認するため，定常バイアス電流を 1 nA としたとき，図 8 のスイッチトキャパシタ回路を Adaptive Bias オペアンプと定バイアスオペアンプで実現したときの出力の測定結果を図 9 に示す．この図より，負荷容量 40 pF のときにおける，最終値の 90%に達するまでのセトリング時間は，それぞれ 1.1 ms，13.7 ms となり，Adaptive Bias を用いることでセトリング時間が約 1/12 に改善され，定常状態でのオペアンプの速度が遅い場合でもスルーレートを改善することにより実質的なユニティゲイン周波数が改善され，より高い周波数でスイッチトキャパシタ回路を駆動させることが可能となる．消費電流は Adaptive Bias のとき 12 nA，定バイアスのとき 10 nA となった．なお，負荷容量 C_L はケーブルの寄生容量とプローブ容量の合計値である．

また，同様の条件で差動出力電圧を横軸にとったときの同相出力電圧の測定結果を図 10 に示す．$V_{CM} = 200$ mV と設定した．

この図より，差動出力電圧が増加すると，式 (3) で用いた近似による誤差が増加するため，同相出力電圧

表 3　差動対の性能（負荷容量：3 pF）
Table 3　Simulated performance of the differential pair (load capacitance: 3 pF).

利得	36 dB
位相余裕	92°
ユニティゲイン周波数	600 Hz

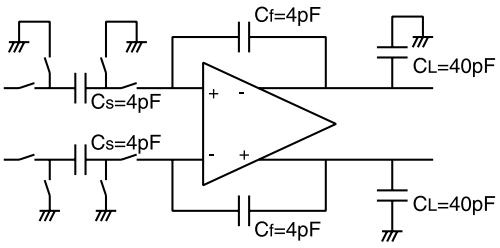


図 8　オペアンプ検証用スイッチトキャパシタ回路の回路図
Fig. 8　Schematic of the switched-capacitor circuit to ensure the role of adaptive bias.

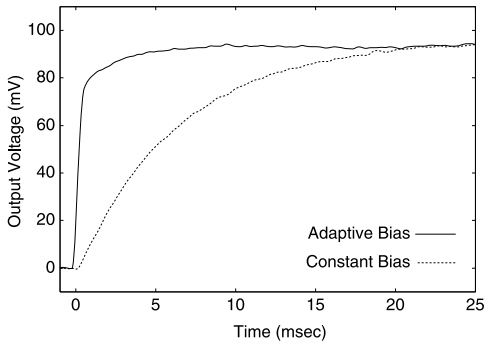


図 9　スイッチトキャパシタ回路にオペアンプを組み込んだときの測定結果（負荷容量：40 pF）
Fig. 9　Measured transient characteristics of the switched-capacitor circuits with and without adaptive bias (load capacitance: 40 pF).

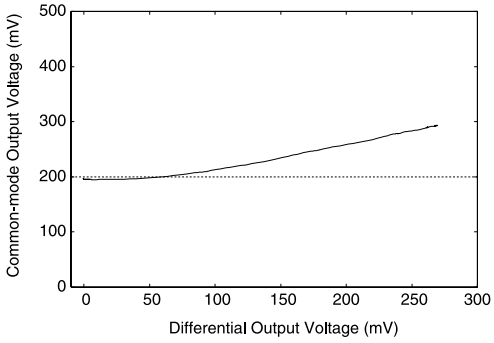


図 10　オペアンプの差動出力–同相出力特性
Fig. 10　Measured common-mode output voltage of the OP-amp as a parameter of differential output voltage.

と V_{CM} の差も増加することが確認できるが，増幅器が正常に動作するためには差動対のすべての MOS トランジスタが飽和領域で動作しなければならないことを考慮すると，同相出力電圧の上限は 250 mV 程度となるため，最大差動出力電圧は 180 mV 程度まで許容されることが分かる．

5. スルーレートブーストを用いた ΔΣ モジュレータ

Adaptive Bias を用いたスルーレートブースト（SB）のオペアンプと定バイアスのオペアンプのそれぞれを組み込んだ，図 3 に示す ΔΣ モジュレータを設計した．また，コンパレータは図 11 に示す回路を用い，クロックの変化時にのみ電流が流れる構成とした [9]．

図 12 に Adaptive Bias による SB オペアンプを用いた ΔΣ モジュレータのチップ写真を示す．5 層メタル 1 層ポリシリコン 0.25 μmCMOS プロセスにおけるモジュレータのサイズは 720 μm × 320 μm である．また，SB オペアンプのサイズは 100 μm × 50 μm で，定バイアスオペアンプが 50 μm × 50 μm である．

電源電圧は 500 mV で，リファレンス電圧 V_{ref+}，V_{ref-} はそれぞれ 300 mV，100 mV とした．実測では定バイアスオペアンプを用いた ΔΣ モジュレータの総消費電力が SB オペアンプを用いたモジュレータと等しくなるようバイアス電流値を調整して測定を行った．

表 4 に示した条件下で出力振幅を変化させたときの ΔΣ モジュレータの SNDR を図 13 に，最大 SNDR のときの ΔΣ モジュレータの出力スペクトルを図 14 に示す．図 13 より，SB オペアンプを用いた ΔΣ モジュレータで最大 33 dB，定バイアスオペアンプ使用のモジュレータで最大 22 dB の SNDR が得られ，入力範囲の全域にわたって，同一消費電流で約 10 dB 向上した．消費電流は 26 nA である．また，図 14 より，

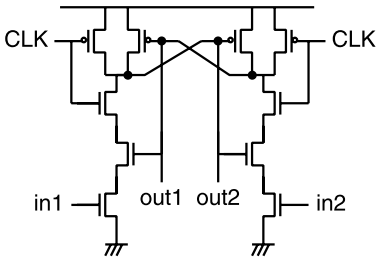


図 11　ΔΣ モジュレータで用いたコンパレータ
Fig. 11　Schematic of the comparator.

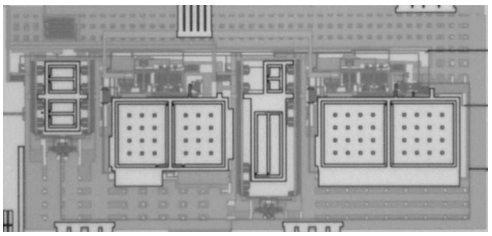


図 12　ΔΣ モジュレータのチップ写真
Fig. 12　Chip micrograph of the ΔΣ modulator.

表 4　振幅を変化させたときの ΔΣ モジュレータの測定条件
Table 4　Measurement condition of the ΔΣ modulator as a parameter of signal amplitude.

電源電圧	500 mV
クロック周波数	5 kHz
信号周波数	39 Hz
オーバサンプリング倍率	16 倍
バイアス電流（SB のみ）	1.0 nA
V_{CM}	200 mV
V_{ref+}	300 mV
V_{ref-}	100 mV

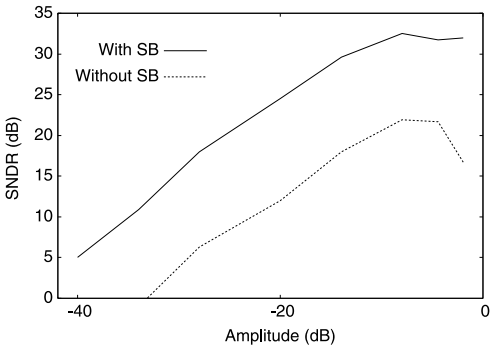


図 13　振幅を変化させたときの ΔΣ モジュレータの SNDR
Fig. 13　Measured SNDR versus input level.

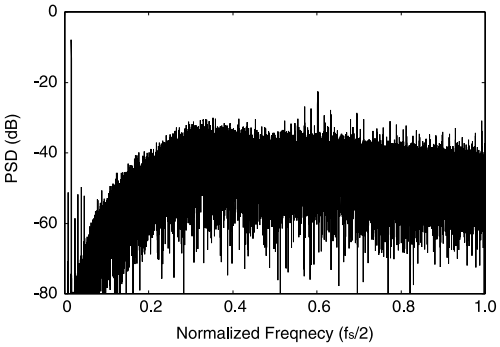


図 14　ΔΣ モジュレータの出力スペクトル
Fig. 14　Output spectrum of the ΔΣ modulator.

モジュレータの出力スペクトルにはトーンが含まれており，SNDR の悪化要因となっている．このトーンはオペアンプの帯域，スルーレート，ゲインのそれぞれに起因するものであるが，SNDR 向上のためにこれらの特性を改善すると，更なる回路規模や消費電流の増加に直結する．そこで，本研究では省電力化を重視し，設計条件を満たす範囲で消費電流の削減を行った．

更に高精度の A–D 変換を実現するにはオーバサンプリング倍率を上げ，信号帯域に応じてクロック周波数を増加させることで可能であるが，クロック周波数を増加させると消費電流も増加する．そこで，表 5 に示した条件下で，バイアス電流と動作周波数を変化させて SB の有無による ΔΣ モジュレータの SNDR 測定を行った．図 15 にその結果を示す．先ほどと同様，消費電力が等しくなるようバイアス電流を調整して測定した．この結果，定バイアスオペアンプを使用したモジュレータでは，バイアス電流を減少させると特性が急激に劣化するが，SB を導入すると，より少ないバイアス電流でも特性の劣化なしに動作させることが可能となる．

表 5　バイアス電流，動作周波数を変化させたときの ΔΣ モジュレータの測定条件

Table 5　Measurement condition of the ΔΣ modulator as parameters of bias current and clock freqency.

電源電圧	500 mV
クロック周波数	5, 6, 7, 8, 9, 10 kHz
信号周波数	クロック周波数の 1/128
オーバサンプリング倍率	32 倍
信号振幅	160 mV_{p-p}
バイアス電流（SB のみ）	1.0 nA, 0.8 nA, 0.6 nA
V_{CM}	200 mV
V_{ref+}	300 mV
V_{ref-}	100 mV

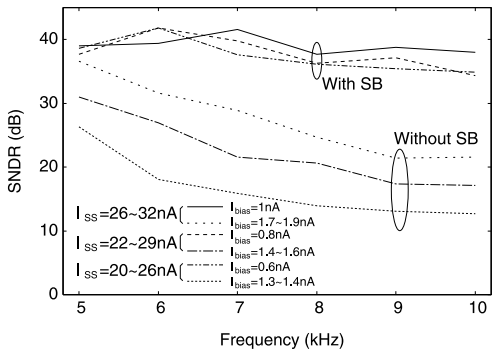


図 15　バイアス電流と動作周波数を変化させたときの ΔΣ モジュレータの SNDR

Fig. 15　Measured SNDR versus clock frequency at the bias current of 1 nA, 0.8 nA and 0.6 nA.

クロック周波数依存性においても，SB を導入すると，SNDR の減少が緩和される．

6. む す び

電池を用いて長期間の生体信号の測定を実現するため，弱反転領域 MOSFET を用いた ΔΣ モジュレータを検討した．

検討の結果，スルーレート特性を増強することにより，大幅な SNDR の改善が可能であることが分かった．Adaptive Bias を用いてスイッチトキャパシタ回路内のオペアンプにスルーレートブースト特性をもたせ，ΔΣ モジュレータを設計・試作・測定した．ΔΣ モジュレータはすべての MOSFET を確実に弱反転領域で動作させるため，電源電圧を 500 mV として設計した．測定の結果，スルーレートブーストを導入すると，信号振幅の全域で SNDR が約 10 dB 改善することを確認した．更に，バイアス電流を想定値よりも低い 0.6 nA としても 10 kHz のクロック周波数まで信号を劣化させずに A–D 変換できることを確認した．これより，提案手法を用いると，同一消費電力でより高精度の A–D 変換が可能なことを確認した．

謝辞　本チップ試作は東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社，及び日本ケイデンス株式会社の協力で行われたものである．

文　　献

[1] S.J. Updike, B.J. Gilligan, M.C. Shults, and R.K. Rhodes, “A subcutaneous glucose sensor with improved longevity, dynamic range, and stability of calibration,” Diabetes Care, vol.23, no.2, pp.208–214, Feb. 2000.

[2] 日本規格協会，心電図監視装置 JIS T 1304:1998，1999.

[3] E. Vittoz and J. Fellrath, “CMOS analog integrated circuits based on weak inversion operation,” IEEE J. Solid-State Circuits, vol.SC-12, no.3, pp.224–231, June 1977.

[4] A.E. Stevens and G.A. Miller, “A high-slew integrator for switched-capacitor circuits,” IEEE J. Solid-State Circuits, vol.29, no.9, pp.1146–1149, Sept. 1994.

[5] D.A. Johns and K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, 1996.

[6] P.R. Gray and R.G. Meyer, “MOS operational amplifier design a tutorial overview,” IEEE J. Solid-State Circuits, vol.SC-17, no.6, pp.969–982, Dec. 1982.

[7] 井田　司，田中智之，石原寛明，松岡俊匡，谷口研二，

“Adaptive Bias 回路を用いたスイッチトキャパシタ回路用省電力演算増幅器,” 信学論（C），vol.J89-C, no.10, pp.645–647, Oct. 2006.
[8] A.G. Andreou, K.A. Boahen, P.O. Puliquen, A. Pavasovic, R.E. Jenkins, and K. Strohbehn, “Current-mode subthreshold MOS circuits for analog VLSI neural systems,” IEEE Trans. Neural Netw., vol.2, no.2, pp.205–213, March 1991.
[9] P.E. Allen and D.R. Holberg, CMOS Analog Circuit Design, Oxford University Press, 2002.

付　　録

シミュレーションに用いたスイッチトキャパシタ回路モデル

図 5 のスイッチトキャパシタ回路において，オペアンプの出力抵抗 r_{amp} とスルーレート sr の影響を考えないとき，差動入力電圧 v_{in} に対して，クロックの相が ϕ から $\bar{\phi}$ に変化したときの差動出力電圧 $v^{+}_{out,ideal}$ は

$$v^{+}_{out,ideal} = \left(C_s v_{in} + C_f v^{-}_{out}\frac{A+1}{A}\right) \cdot \frac{A}{C_s + C_f(A+1)} \qquad \text{(A·1)}$$

と表される．ここで，A はオペアンプのゲイン，v^{-}_{out} はクロックの相が ϕ のときの差動出力電圧である．

出力抵抗とスルーレートの影響を考慮すると，出力抵抗のみを考慮したときの波形の傾き

$$\frac{dV_{rout}(t)}{dt} = \frac{(v^{+}_{out,ideal} - v^{-}_{out})}{r_{amp}C_L}\exp\left(\frac{-t}{r_{amp}C_L}\right) \qquad \text{(A·2)}$$

とスルーレートのみを考慮したときの波形の傾き

$$\frac{dV_{sr}(t)}{dt} = sr \qquad \text{(A·3)}$$

が等しくなる時間 t_0 の値により，図 A·1 に示すように出力変化 Δv_{out} は次の三つのパターンに分けられる．なお，図中には（3）における t_0 を示した．

（1） $t_0 \leq 0$ のとき

出力変化は出力抵抗と負荷容量 C_L からなる時定数の影響を受け，次式で表される．

$$\Delta v_{out} = (v^{+}_{out,ideal} - v^{-}_{out}) \cdot \left(1 - \exp\left(\frac{-t_{clk}}{2r_{amp}C_L}\right)\right) \qquad \text{(A·4)}$$

また，Δv_{out} は出力電位の変化量，t_{clk} はクロック周期である．

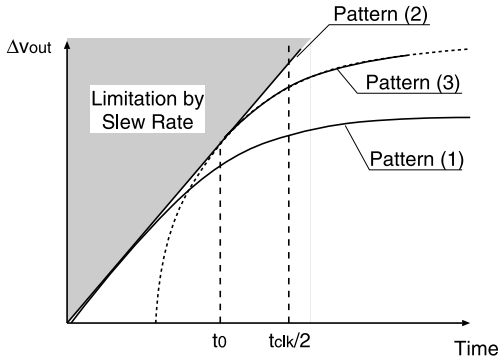


図 A·1　スイッチトキャパシタ回路のシミュレーションモデル
Fig. A·1　Simulation model of a switched-capacitor circuit.

（2） $t_0 \geq t_{clk}/2$ のとき

出力変化は次式のようにクロック周期との比例関係で表される．

$$\Delta v_{out} = sr \cdot \frac{t_{clk}}{2} \qquad \text{(A·5)}$$

（3） $0 < t_0 < t_{clk}/2$ のとき

出力の変化はスルーレートと出力抵抗による影響のうち，傾きの小さい方の影響を受ける．

このとき，t_0 は次式で表される．

$$t_0 = -ln\left(\frac{sr \cdot r_{amp}C_L}{v^{+}_{out,ideal} - v^{-}_{out}}\right) \cdot r_{amp}C_L \qquad \text{(A·6)}$$

したがって，出力変化は次式のように表せる．

$$\Delta v_{out} = sr \cdot t_0 + (v^{+}_{out,ideal} - v^{-}_{out} - sr \cdot t_0) \cdot \left(1 - \exp\left(-\frac{\frac{t_{clk}}{2} - t_0}{r_{amp}C_L}\right)\right) \qquad \text{(A·7)}$$

シミュレーションでは，t_0 の条件に応じて，式 (A·4), (A·5), (A·7) をそれぞれ適用し，スイッチトキャパシタ回路にオペアンプの非理想性を適用した．

（平成 19 年 3 月 5 日受付，5 月 22 日再受付）

井田　　司　（学生員）

平 15 阪大・工・電子卒．平 17 同大大学院博士前期課程了．現在，同大学院工学研究科博士後期課程在学中．CMOS アナログ回路の研究に従事．

田中　智之　（正員）

平 11 関西大・工・応用化学卒．平 13 阪大大学院工学研究科物質・生命工学専攻博士前期課程了．現在，同大大学院工学研究科電気電子情報工学専攻博士後期課程在学中．CMOS アナログ回路の研究開発に従事．

松岡　俊匡　（正員）

平元阪大・工・電子卒．平 3 同大大学院博士前期課程了．平 3 シャープ（株）入社．平 11 阪大大学院工学研究科電子情報エネルギー工学専攻リサーチ・アソシエイト（日本学術振興会研究員）．平 12 同大大学院工学研究科電子情報エネルギー工学専攻講師．平 16 同大大学院工学研究科電子情報エネルギー工学専攻助教授．CMOS RF 回路の研究に従事．工博．応用物理学会，電気学会，IEEE 各会員．

谷口　研二　（正員）

昭 46 阪大・工・電子卒．昭 48 同大大学院修士課程了．昭 50 東芝（株）入社．昭 57 より 1 年間マサチューセッツ工科大学客員研究員．昭 61 阪大工学部電子工学科助教授．平 8 同大大学院工学研究科電子情報エネルギー工学専攻教授．現在まで Si の酸化・拡散プロセス，半導体デバイスの物理，半導体シミュレーション技術，アナログ集積回路の研究に従事．工博．応用物理学会，電気学会，IEEE 各会員．