The University of Osaka
Institutional Knowledge Archive

Title	ASK/CDMA方式を用いた近距離無線通信のための12 GHz CMOS変復調回路
Author(s)	車, 承佑; 古屋, 英行; 清水, 由幸 他
Citation	電子情報通信学会論文誌C. 2005, J88-C(3), p. 187-194
Version Type	VoR
URL	https://hdl.handle.net/11094/51663
rights	copyright©2005 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

論　文

ASK/CDMA方式を用いた近距離無線通信のための12 GHz CMOS変復調回路

車　承佑[†]　古屋　英行[†]　清水　由幸[†]　春岡　正起[†,††]
井田　司[†]　松岡　俊匡[†]　谷口　研二[†]

12 GHz CMOS Modulator/Demodulator for Short-Range Wireless Communication Using ASK/CDMA Technique

Sungwoo CHA[†], Hideyuki FURUYA[†], Yoshiyuki SHIMIZU[†], Masaki HARUOKA[†,††], Tsukasa IDA[†], Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†]

あらまし　チップ間近距離無線通信のための高周波変復調回路を提案する．小型化・低電力化や高ノイズ/干渉信号耐性を実現するためにASK/CDMA方式を用いた．送信回路は搬送波信号発生回路，スイッチ，バッファ，拡散符号生成回路で，受信回路は検波回路，積分回路，拡散符号生成回路で構成した．0.25 μm CMOSプロセスで試作した送受信回路の消費電流は電源電圧2.5 Vにおいてそれぞれ25 mAと1.35 mAであり，チップの実装面積は0.72 mm^{2}と0.06 mm^{2}である．評価より拡散符号長31, 搬送波周波数12.78 GHz, ビットレート7.35 Mbit/sの条件でダイレクト接続による送受信回路の変復調動作を確認した．

キーワード　近距離無線通信，ASK, CDMA, CMOS, インタフェース，変復調回路

1. まえがき

この数十年間，デバイスの微細化によりシステムは高速化し，集積度の向上は製造単価の削減につながった．しかし，それと同時に配線数が増加して配線における寄生成分が回路特性に影響を与えるようになっている．すなわち，システムLSIの高集積化に伴い，トランジスタ遅延時間がより短くなる反面，配線の遅延時間がシステム全体の性能を制限するようになっている．このような配線問題を解決する方法として有線多重通信，多層配線，伝送線路等の技術を用いた研究開発が行われている[1]〜[3]．しかし，今後これらの技術にはシステムの大規模化とともに必要とされるチップ間若しくはボード間の三次元的な配線が要請されると考えられる．無線通信による配線技術が実現すれば比較的容易にこのような配線の空間的制約から解放できるため，大規模システムには有利である．現在，無線クロック配信の研究[4]は既に行われているが，まだ変復調方式を要する無線データ通信の報告はされていない．

そこで，本論文では我々が行っているチップ間無線データ通信用インタフェース回路の研究[5]〜[7]からチップ間無線データ通信に適しているASK/CDMA方式を用いたコンパクトな回路構成を有する送受信回路を提案する．そのチップ間無線データ通信システムの概念図を図1に示す．なお，提案した送受信回路を0.25 μm CMOSプロセスで試作して諸条件下で評価を行い変復調を確認した．

2. ASK/CDMA方式

我々はチップ間無線データ通信の通信方式としてASK/CDMA方式を採用した．ASK方式は回路の小型化・低電力化ができるため，チップ間通信システム

† 大阪大学大学院工学研究科，吹田市
Graduate School of Engineering, Osaka University, 2–1 Yamadaoka, Suita-shi, 565–0871 Japan
†† 古野電気株式会社，西宮市
FURUNO ELECTRIC CO., LTD., 9–52 Ashihara-cho, Nishinomiya-shi, 662–8580 Japan

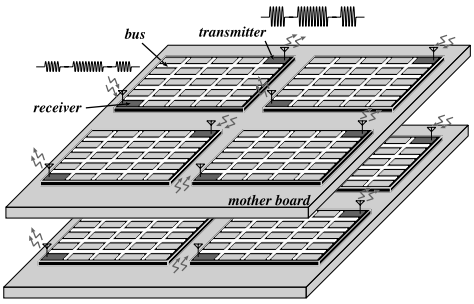


図1　チップ間無線データ通信システムの概念図
Fig. 1　Schematic illustration of short-range wireless chip-to-chip data communication system.

に適している．ASK 方式を用いることで，コンパクトな回路構成が実現でき，大きい面積を占めるインダクタやフィルタの数を減らすことが可能となる．更に，CDMA 方式との組合せによりデータを多重化できる上にノイズや干渉信号耐性の高い小型インタフェースが実現できる．

本 ASK/CDMA 方式の原理は CDMA 方式で用いられる M 系列に基づいている．バイポーラ [+1,–1] の M 系列とユニポーラ [+1,0] のそれとの相関関数はピーク値が約 1/2 になり，サイドローブが 0 となる自己相関関数となる [8], [9]．バイポーラの M 系列は以下の特性をもつ．

$$(M_i, M_j) = \begin{cases} -1 & (i \neq j) \\ L & (i = j) \end{cases} \tag{1}$$

ここで，M_i は 1 若しくは -1 の要素をもつ要素数 $L(L = 2^n - 1)$ の一次元ベクトルで，$i, j(0 < i, j < L)$ は自然数である．ASK/CDMA 方式ではユニポーラコード S_i が送信回路内の拡散符号 (PN コード) として使用され，バイポーラコード R_i は受信回路で用いられる．

$$S_i = \frac{1}{2}(1 + M_i) \tag{2}$$

$$R_i = S_i - \overline{S_i} = M_i \tag{3}$$

送信データ D を拡散するとき，$D = 1$ の場合はもとの PN コード，$D = 0$ の場合は反転した PN コードを使用する．したがって，送信信号 N_i は次式で表される．

$$N_i = \frac{1 + (-1)^{D-1} M_i}{2} \tag{4}$$

データ D の拡散された送信信号 N_i が 1 のときにだけ，送信回路内で搬送波信号が出力され，ASK 変調が行われる．一方，受信回路側では受信信号をバイポーラコード R_i を用いて次式のように逆拡散を行う．

$$(N_i, R_j) \simeq \frac{(-1)^{D-1} L}{2} \delta_{i,j} \tag{5}$$

$\delta_{i,j}$ は $i = j$ のときに 1 でそれ以外のときには 0 であり，送信回路の拡散符号と同一符号を使用した受信回路のみが復調できることを表す．結果的に，受信信号 N_i とバイポーラコード R_i の相関関数の符号 (+または–) が送信データ D(1 または 0) に対応する．

3. 送受信回路の設計

図 2 は前述の ASK/CDMA 変復調方式に基づく送受信回路構成である．搬送波周波数の向上に着目した送信回路は電圧制御発振器 (VCO), 周波数ダブラー，スイッチ，バッファ，拡散符号生成器で構成している．一方，検波回路，積分回路，拡散符号生成器からなる受信回路は小型化・低電力動作に焦点を合わせた [6], [7].

本論文では，ASK/CDMA 方式を用いたチップ間無線データ通信のプロトタイプとして変復調の評価に必要なコア回路 (図 2 の点線の枠内) を搬送波周波数，チップレート，ビットレートがそれぞれ 12 GHz, 250 Mcps, 7.35 Mbit/s の仕様で設計，試作した．

3.1 送信回路

図 3 に送信回路を構成する各回路図を示す．まず，図 3(a) の VCO には LC タンク回路を用いた差動 NMOS クロスカップルド発振器を用いた．制御電圧に対して 0.14 pF から 0.4 pF まで変わる accumulation-mode NMOS バラクタを使用して発振周波数を 5.6 GHz から 7 GHz まで制御している．送信回路内ではすべて 1.5 巻のスパイラルインダクタを使用した．そして，VCO を除いたすべての回路は入出力を DC 結合できるようにバイアス設定を行った．

チップ間無線通信のための送受信回路に必要とされるオンチップアンテナのサイズは搬送波周波数に反比例する．オンチップアンテナは他の回路に比べ大きい面積を要求するため，アンテナ搭載送受信回路を小型化するには高い搬送波周波数が求められる．本設計では搬送波周波数を 10 GHz 以上と設定し，VCO の発振周波数を倍にする周波数ダブラーを用いて搬送波周波数を 11.2 GHz から 14 GHz とした [4], [10], [11]. 図 3(b) で，負荷インダクタ L_3 を流れる出力電流はド

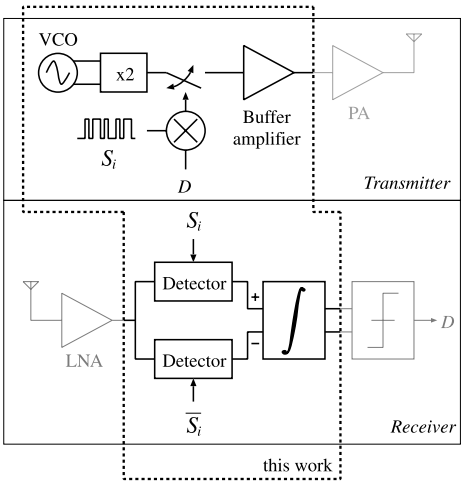


図 2　送受信回路のブロック図
Fig. 2　Block diagram of the transmitter and receiver. The blocks surrounded with dashed line are designed in this work.

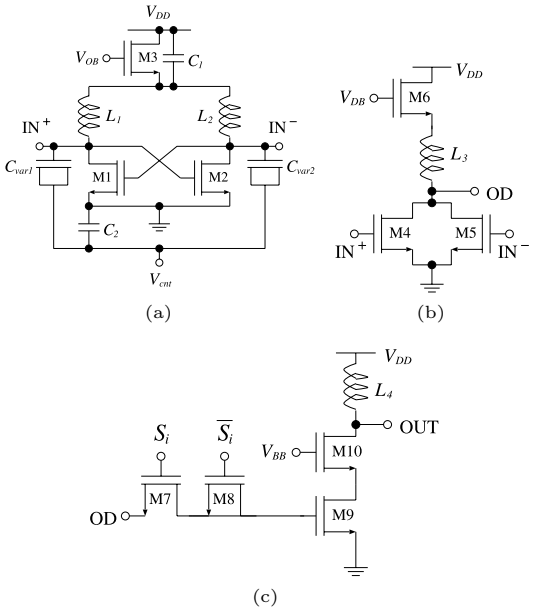


図 3　(a)VCO, (b) 周波数ダブラー，(c) スイッチとバッファの回路図
Fig. 3　Schematics of (a) the VCO, (b) the frequency doubler, and (c) the switch and the buffer.

レーン共通の M4 と M5 を流れる電流の和となる．この出力電流において，MOS の二乗則により入力周波数成分は消えて 2 倍の周波数成分が現れ，周波数逓倍が行われる．この周波数ダブラーは VCO のバッファ

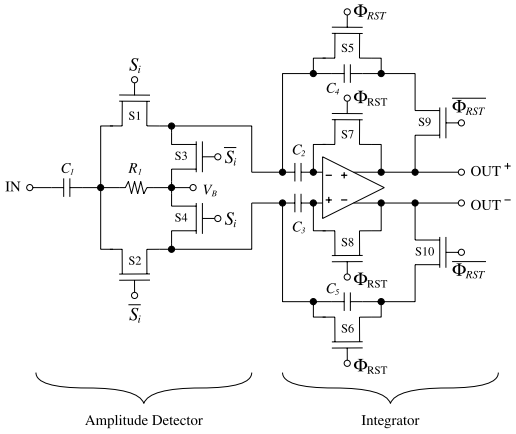


図 4　受信回路の回路図
Fig. 4　Schematic of the receiver circuit.

と VCO の差動信号をシングルエンドに変換する役割を担っている．

一方，スイッチ回路は PN コードで拡散されたデータを周波数ダブラーで生成した搬送波で変調する．このスイッチ回路は NMOS スイッチ M7 とチャージインジェクション除去用のダミースイッチ M8 で構成している．バッファにはインダクタ負荷をもつカスコード増幅回路を使用した (図 3(c))．設計に際して，バッファ回路の入力ゲート容量とスイッチのチャネル抵抗による搬送波信号の減衰を考慮した．

3.2　受信回路

受信信号の検波は NMOS スイッチの非線形性を利用した．NMOS のドレーン電流 I_D は弱反転と強反転の両領域で近似できる以下の式 [12], [13] で表される．

$$I_D = I_0 \ln\left[1 + \frac{1}{2} \cdot 10^{\frac{V_{GS}-V_T}{S}}\right] \qquad (6)$$

ここで，I_0 はドレーン電圧に依存する定数，S はサブスレッショルド係数，V_T はしきい値である．NMOS スイッチが $V_{GS} = V_T$ 近傍でバイアスされたときに振幅検波が可能となる．入力信号がこのバイアス下の NMOS スイッチのソースに入力されると電流 I_D の平均値が大きくなってバイアスポイントが移動し，振幅検波が行われる．その平均値とバイアス電流との差は受信信号の振幅に依存する．振幅検波回路は NMOS スイッチのゲートに拡散符号を入力して検波と逆拡散を同時に行う．

図 4 は受信回路の回路図である．受信回路は振幅検波をすることで余分な高周波局部発振回路等を必要と

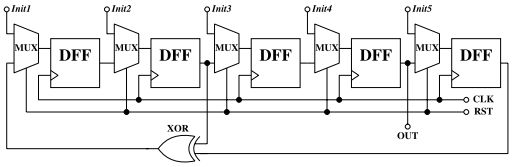


図 5　拡散符号生成器の回路図
Fig. 5　Schematic of the spread code generator.

しないため非常にコンパクトな回路構成を実現している．4 個の NMOS スイッチで振幅検波回路を構成している．S1 と S2 は受信信号を検波しながら逆拡散を行うスイッチである．二つの信号パスを用意し，送信回路内で使用したユニポーラコード S_i とその反転コード $\overline{S_i}$ を各パスの S1 と S2 のゲートに入力して，式 (3) のバイポーラコード R_i を用いた逆拡散を行う．S1 と S2 のサイズはチャネル抵抗による信号の減衰とチャージインジェクションをトレードオフして設計した．S3 と S4 の MOS スイッチはそれぞれ主スイッチ S1 と S2 での反転コードにより動作し，主スイッチのオフ時に次段の積分回路の入力 DC レベルを V_B に維持する．

積分回路ではユニポーラ拡散コードとその反転コードをかけたそれぞれの信号の差を積分し，受信信号とバイポーラ拡散コード間の相関を評価する．そのため，送受信回路の拡散符号が一致しないと両パスの信号差がなくなるため積分結果が得られない．回路のリセット期間中に積分回路の蓄積容量 C_4, C_5 の放電と OP アンプの入力オフセット除去を行った．リセット期間中には S1 と S2 はオフで S3 と S4 がオンとなり，入力オフセット電荷は C_2, C_3 に蓄積される．

3.3　拡散符号生成回路

送受信回路でデータの拡散/逆拡散を行う拡散符号生成器ではコンパクトに構成できる M 系列を用いた [14]．その回路図を図 5 に示す．コード長は拡散符号生成器の段数により決定される．本設計では最大 15 多重のチップ間若しくはボード間通信を想定し，5 段の D フリップフロップと 1 個の XOR 回路で構成した線形帰還レジスタを用いて $31(=2^5-1)$ 長のコードを生成した．なお，積分器のオフセット除去のため 3 チップ分のリセットをマルチプレクサに付加しコード長 34 の拡散符号とした．そして拡散符号の五つの初期値 $Init1 \sim 5$ の組合せで 31 種類の拡散符号が生成できる．

4.　測定結果

提案した ASK/CDMA 変復調回路を 0.25 μm CMOS プロセスで設計，試作した．チップ写真を図 6 に示す．送信回路の実装面積は 0.72 mm^2 で，受信回路のコア回路と拡散符号生成器の面積は 0.025 mm^2 と 0.035 mm^2 である．送信回路と受信回路の消費電流は電源電圧 2.5 V でそれぞれ 25 mA と 1.35 mA である．受信回路は ASK 方式による復調を行うため高周波回路を最小限に減らすことができ低電力動作している．一方，高搬送波周波数に着目した送信回路はほとんどが高周波回路であるため消費電流が受信回路に比べ大きい．より消費電流を減らすための対策としてインダクタやバラクタ等の受動素子の改良による高周波回路の低損失化が考えられる．周波数ダブラーの除去による消費電流の削減も考えられるが，搬送波周波数が高い方がオンチップアンテナの伝送利得が高いため [4], [10], システム全体の消費電流を考慮すると必ずしも周波数ダブラーの除去がその対策にはならない．

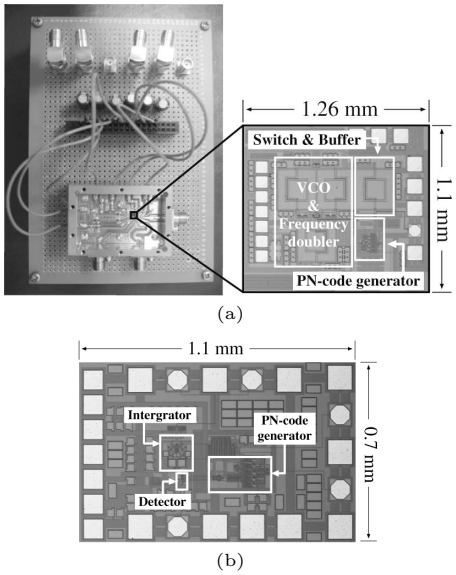


図 6　(a) 送信回路と (b) 受信回路のチップ写真
Fig. 6　Photomicrographs of (a) the fabricated transmitter and (b) receiver.

送信回路の出力と受信回路の入力とのダイレクト接続による変復調を確認する測定を行った．受信回路入力電力に対する BER を調べるために送信回路と受信回路の間に外部増幅器と可変減衰器を介し，送信回路出力電力を調節した．またパワースプリッタを用い，受信回路入力信号のスペクトルをモニタした．その測定系を図 7 に示す．測定に用いた BER テスタは Agilent 社の E4892 A である．

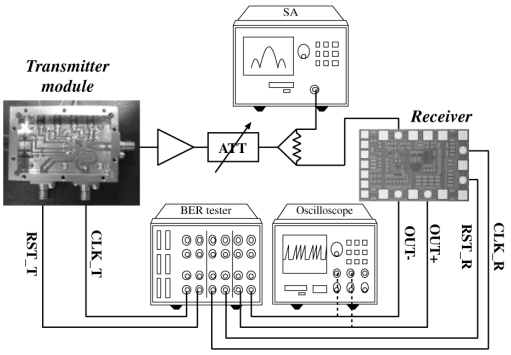


図 7　変復調の測定系
Fig. 7　Measurement setup.

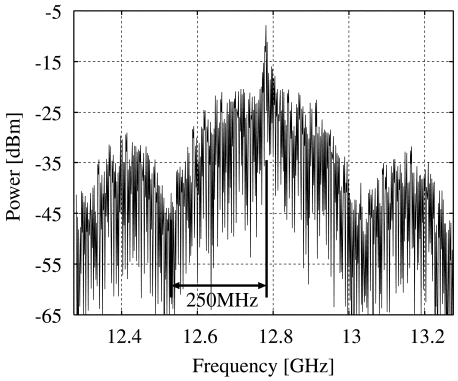


図 8　ASK/CDMA 変調信号スペクトル
Fig. 8　Spectrum of the ASK/CDMA modulated signal.

今回の測定では送受信回路間の拡散符号の同期を合わせるために BER テスタから生成したクロック信号 CLK とリセット信号 RST を用いた．CLK の周波数を 250 MHz, RST 周期を 136 ns にし，コード長 31 とリセット長 3 の合計コード長 34 の PN コードをチップ内で生成した．図 8 は外部 CLK, RST 信号を用いて測定した ASK/CDMA 変調信号スペクトルである．信号発生回路 (VCO+周波数ダブラー) からの搬送波周波数 12.78 GHz を中心に拡散が行われ，CLK の周波数 250 MHz 離れたところで谷が生じている．そして，中心周波数から 7.35 MHz(=250 MHz/34) 間隔でスペクトルが広がっている．この周期がビットレート 7.35 Mbit/s となる．

一方，搬送波周波数 12.78 GHz でのパワーレベルが −8 dBm の変調信号における受信回路内積分器の出力波形をオシロスコープで観測した．図 9 はデータ 1 の場合の送受信回路に相関コードと無相関コードを用いたときの積分器の出力波形である．相関コードを用い送受信回路の拡散符号が一致した場合，積分器の出力電圧がピークで約 70 mV を示す．一方，無相関コードを用いた場合は約 ±20 mV の振幅を示しており，正しく復調されていることが確認できた．更に，制御範囲内の他の搬送波周波数を用いた測定を行いその変復調を確認している．

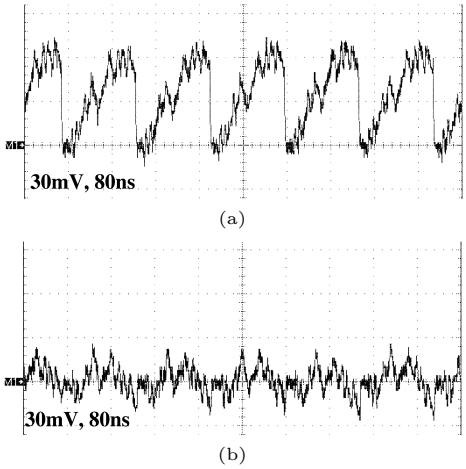


図 9　データが 1 の場合の (a) 相関コードと (b) 無相関コードを使用した積分器の出力波形 (f_c=12.78 GHz, P_{in}=−8 dBm)
Fig. 9　Integrator output waveform using (a)correlated and (b)uncorrelated codes for the data of 1(f_c=12.78 GHz, P_{in}=−8 dBm).

図 10 は図 7 の可変減衰器の減衰量を調節しながら行った BER 測定の結果である．十分に小さい BER ($< 10^{-14}$ [3]) を得るためには搬送波周波数 12.78 GHz で −17 dBm 以上の受信回路入力パワーレベルが必要である．測定時の送受信パワーレベルにおいては，オンチップアンテナを用いるチップ間無線通信，すなわち数 mm から数十 cm 程度の近距離通信を想定している．

5.　多重度シミュレーション

提案した送受信回路の多重度性能を調べるための数値シミュレーションを行った．相関コードのみを用いた送受信回路間の N 多重通信，そして無相関コードのみのそれを 100 万回ずつ行い積分器の出力電圧に対する出力頻度を調べた．データはランダムに変わるようにし，データが 1 の場合は正の積分値，0 の場合は負のそれが同じぐらいの頻度で出力される．図 11 は相関コードのみ (上) と無相関コードのみ (下) の積分出力に対する出力頻度を多重度 N を変数としてシミュレー

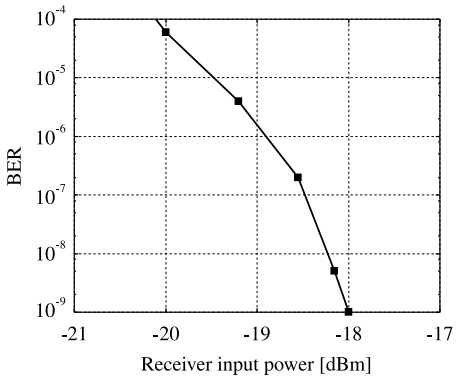


図 10　受信信号のパワーレベルに対する BER の測定結果
Fig. 10　Measured BER charateristics with receiver input power.

ションした結果である．多重度 N の増加により積分器の出力電圧も N 倍されている．これは二乗則に従う検波回路内 MOS スイッチの非線形特性 [7] が原因である．N=1 の 1 対 1 通信で，相関コード使用の場合に積分出力が ±70 mV である．無相関コードの使用時の積分出力は N=4 で設定値 ±50 mV より大きくなる出力頻度が発生する．このため，4 多重以上の通信では相互の区別ができない状況となるので，BER が悪化する．このシミュレーション結果，提案した変復調回路は 3 多重通信が可能であることが分かった．なお，検波回路を線形化することで，31 コード長を用いた最大多重度である 15 多重が実現できることをシミュレーションで確認している．

また，提案回路ではデータ (1 または 0) により相関結果に一定のオフセットが生じ，積分値が正の方にシフトする．これは積分器の結果を判定するコンパレータにオフセットを設けることで解決できる．一方，コード長を一つ加えて 0 と 1 の数を同じに合わせることで積分値の出力頻度を 0 V を中心に対称にすることもできる．

6. む す び

チップ間近距離無線データ通信のための高周波変復調回路を提案し，0.25 μm CMOS プロセスで試作，評価した．ASK/CDMA 方式を採用して簡易な回路構成を有する送受信回路は実装面積が 0.72 mm^2 と 0.06 mm^2，消費電流が電源電圧 2.5 V で 25 mA と 1.35 mA で，小占有面積・低電力の変復調回路を実現した．拡散符号長 31，搬送波周波数 12.78 GHz，ビットレート 7.35 Mbit/s の条件でダイレクト接続による送受信回路の評価より 1 対 1 通信の変復調動作と受信信号電力 −17 dBm 以上では 10^{-14} 以下の BER が得られることを確認した．また，数値シミュレーションを用い提案した変復調回路の 3 多重通信を確認した．本回路は ASK/CDMA 方式を用いた無線データ通信用変復調回路のプロトタイプであり，今後搬送波周波数及び回路内素子の改良による送信回路の占有面積・消費電力の改善や検波回路の線形化による多重度向上等のような更なる性能改善が期待できる．

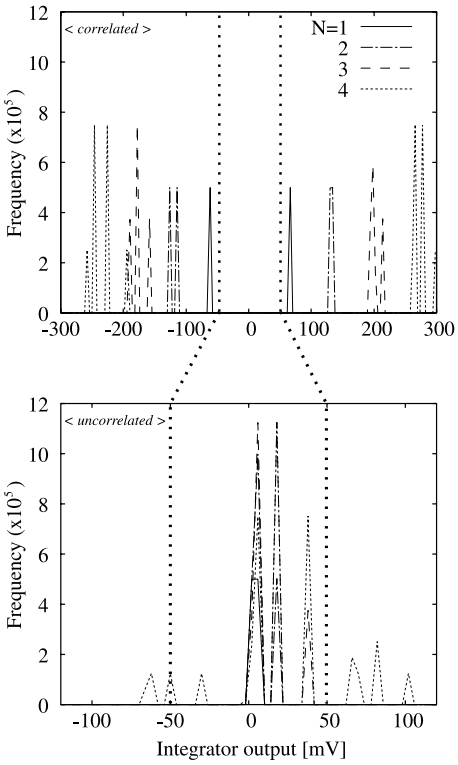


図 11　相関と無相関コードを用いた送受信回路の多重度 N による積分値の出力頻度
Fig. 11　Frequency of integrator output with N multiple transmitters and receivers using correlated and uncorrelated codes.

謝辞　本研究は独立行政法人科学技術振興機構先端計測分析技術・機器開発事業の援助により行われたものである．また，本チップ試作は東京大学大規模集積システム設計教育研究センターの協力で行われたものである．最後に，評価に協力頂いた久保等氏に深く感謝致します．

文　　献

[1] 吉村隆治, Tan Boon Keat, 小川　徹, 谷口研二, “CDMA方式を用いた有線インタフェース,” 信学論(C-II), vol.J82-C-II, no.11, pp.631–636, Nov. 1999.

[2] 吉川公麿, “多層配線技術とスケーリング,” 信学論(C), vol.J83-C, no.2, pp.105–117, Feb. 2000.

[3] M. F. Chang, V. P. Roychowdhury, L. Zhang, H. Shin, and Y. Qian, “RF/Wireless interconnect for inter- and intra-chip communications,” Proc. IEEE, vol.89, no.4, pp.456–466, April 2001.

[4] B. A. Floyd, C.-M. Hung, and K. K. O., “Intra-chip wireless interconnect for clock distribution implemented with integrated antennas, receivers, and transmitters,” IEEE J. Solid-State Circuits, vol.37, no.5, pp.543–552, May 2002.

[5] 中村光男, 松岡俊匡, 谷口研二, “短距離無線通信用電圧制御CMOS移相発振回路に関する研究,” 信学論(C), vol.J85-C, no.6, pp.449–454, June 2002.

[6] S. Cha, H. Furuya, Y. Shimizu, M. Haruoka, T. Matsuoka, and K. Taniguchi, “A CMOS transmitter for short-range wireless communication using ASK/CDMA technique,” Proc. International Meeting for Future of Electron Devices, Kansai, pp.93-94, July 2004.

[7] H. Furuya, S. Cha, Y. Shimizu, M. Haruoka, T. Matsuoka, and K. Taniguchi, “CMOS demodulator for short-range wireless interconnection using ASK/CDMA technique,” IEICE Trans. Fundamentals, vol.E87-A, no.10, pp.2719–2721, Oct. 2004.

[8] 汐崎　陽, 千田彰一, 北畠　顕, 松尾裕英, “相互相関関数のサイドローブが零になる2値系列信号の構成法,” 信学論(A), vol.J64-A, no.12, pp.1007–1012, Dec. 1981.

[9] Y. Yuminaka, K. Itoh, Y. Sasaki, T. Aoki, and T. Higuchi, “A code-division multiplexing technique for efficient data transmission in VLSI systems,” IEICE Trans. Electron., vol.E82-C, no.9, pp.1669–1677, Sept. 1999.

[10] A. B. M. H. Rashid, S. Watanabe, and T. Kikkawa, “High transmission gain integrated antenna on extremely high resistivity Si for ULSI wireless interconnect,” IEEE Electron Device Lett., vol.23, no.12, pp.731–733, Dec. 2002.

[11] F. Touati and M. Pons, “On-Chip integration of dipole antenna and VCO using standard BiCMOS technology for 10 GHz application,” Proc. ESSCIRC Conf., pp.493–496, Sept. 2003.

[12] T. Ytterdal, Y. Cheng, and T. A. Fjeldly, Device Modeling for Analog and RF CMOS Circuit Design, John Wiley & Sons, 2003.

[13] C. Y. Chang and S. M. Sze, ULSI DEVICES, John Wiley & Sons, 2000.

[14] 柏木　潤, M系列とその応用, 昭晃堂, 1996.

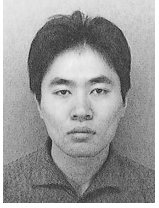
（平成16年7月27日受付，10月7日再受付）

車　　承佑

平10韓国国民大・工・電子卒．平13同大大学院碩士課程了．現在，阪大大学院博士後期課程在学中．CMOS RF 回路の研究に従事．IEEE会員．

古屋　英行

平14阪大・工・電子卒．平16同大大学院博士前期課程了．現在，松下電器(株)．



清水　由幸　（学生員）

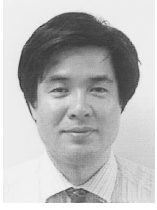
平12阪大・工・電子卒．平14同大大学院博士前期課程了．現在，同大学院博士後期課程在学中．MOSFETの特性の研究に従事．

春岡　正起　（学生員）

平7姫路工大・工・電子卒．平9同大大学院博士前期課程了．平9古野電気(株)入社．現在，阪大大学院博士後期課程在学中．CMOS RF 回路の研究に従事．IEEE会員．

井田　　司　（学生員）

平15阪大・工・電子卒．現在，同大大学院博士前期課程在学中．アナログ集積回路の研究に従事．



松岡　俊匡　（正員）

平元阪大・工・電子卒．平3同大大学院博士前期課程了．平3シャープ(株)入社．平11阪大大学院工学研究科電子情報エネルギー工学専攻リサーチ・アソシエイト（日本学術振興会研究員）．平12同大学院工学研究科電子情報エネルギー工学専攻講師．平16同大学院工学研究科電子情報エネルギー工学専攻助教授．CMOS RF 回路，アナログ集積回路，デバイス・モデリングの研究に従事．工博．応用物理学会，電気学会，IEEE各会員．

谷口　研二　（正員）

昭46阪大・工・電子卒．昭48同大大学院修士課程了．昭50東芝 (株) 入社．昭57より1年間マサチューセッツ工科大学客員研究員．昭61阪大工学部電子工学科助教授．平8同大大学院工学研究科電子情報エネルギー工学専攻教授．現在までSiの酸化・拡散プロセス，半導体デバイスの物理，半導体シミュレーション技術，アナログ集積回路の研究に従事．工博．応用物理学会，電気学会，IEEE各会員．