The University of Osaka
Institutional Knowledge Archive

Title	超低電圧動作ディジタルCMOS回路の特性補償に関する検討
Author(s)	安江, 一紘; 王, 軍; 松岡, 俊匡 他
Citation	電子情報通信学会論文誌C. 2010, J93-C(2), p. 75-77
Version Type	VoR
URL	https://hdl.handle.net/11094/51669
rights	copyright©2010 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

超低電圧動作ディジタル CMOS 回路の特性補償に関する検討

安江　一紘†　　王　　軍†
松岡　俊匡†a)（正員）　　谷口　研二†（正員）

Characteristics Compensation of Ultra-Low-Voltage CMOS Digital Circuits

Kazuhiro YASUE†, Jun WANG†, *Nonmembers*,
Toshimasa MATSUOKA†a),
and Kenji TANIGUCHI†, *Members*

† 大阪大学大学院工学研究科，吹田市
Graduate School of Engineering, Osaka University, Suita-shi, 565–0871 Japan
a) E-mail: matsuoka@eei.eng.osaka-u.ac.jp

あらまし　ディジタル CMOS 回路を 0.5 V 程度の低電源電圧で動作させる上で問題となる製造プロセスばらつきや温度依存性に対して強い回路構成を提案し，その効果を回路シミュレーションにより確認した．この提案技術は簡易な回路を用いつつも，ディジタル CMOS 回路の安定した弱反転領域動作を可能とする．

キーワード　CMOS，ディジタル回路，弱反転領域

1. まえがき

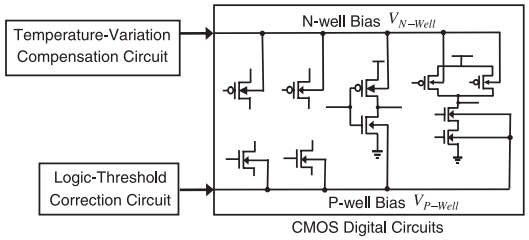
集積回路内部の MOSFET を低電源電圧下で動作させると，弱反転領域での動作の比重が増加する [1], [2]．弱反転領域動作では，製造プロセスでの素子特性ばらつきに対する大きな影響，大きな温度依存性などの問題が生じ，歩留りも悪くなる．CMOS ディジタル回路での素子特性ばらつきや温度依存性を補償するために，遅延時間，NMOS と PMOS のしきい値やこれらのバランスなどをモニタしながらボディ電圧を制御する方法 [3]〜[6] が提案されている．しかし，遅延時間を正確に制御するためには大規模な回路が必要となったり，0.5 V 程度での動作を考えると従来のアナログ回路を使用したボディ電圧制御が困難となる．また，低消費電力化が要求されるセンサ向けディジタル回路では動的な動作をする補償回路の使用は避けたい．

本研究では，集積回路内のディジタル回路部においてボディ効果を用いることで，0.5 V という超低電源電圧での動作で顕著となる MOSFET の素子特性ばらつきと温度依存性を低減するための手法を提案する．本提案方法は，簡易なバイアス回路を用いつつも素子特性ばらつきや温度依存性を補償することができる．

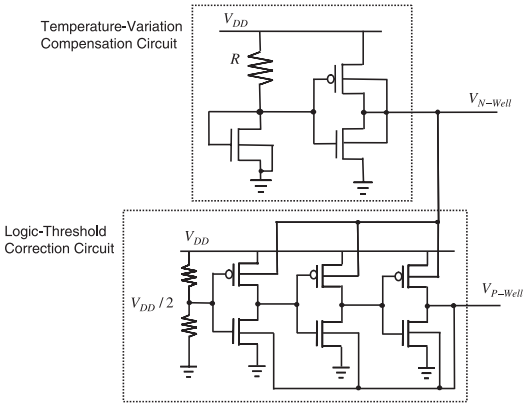
2. 提案回路

提案回路を図 1 に示す．通常の CMOS ディジタル回路に補償回路を追加する構成となっている．トリプル・ウェル構造を用いて作製された NMOS と PMOS のボディ電圧は二つの補償信号で制御され，CMOS ディジタル回路の特性の変動を抑制している．今回，PN 接合の拡散電位よりも小さい 0.5 V という電源電圧を用いているので，ラッチアップを回避して，これらボディ電圧を順方向バイアスとすることができる [7]．これにより，素子のしきい値電圧を低下させて電流駆動力を向上させる方向でボディが制御される．

温度補償回路は PMOS のボディ電圧を制御し，論理しきい値補償回路は NMOS のボディ電圧を制御している．論理しきい値補償回路の PMOS のボディも温度補償回路によってディジタル回路本体同様に制御される．論理しきい値補償回路では，参照電圧 $V_{DD}/2$ と CMOS インバータの論理しきい値との比較を行い，製造プロセスでの素子特性変動による論理しきい値の変動に相当した出力をディジタル回路本体の NMOS のボディに供給する [7], [8]．これにより，NMOS と PMOS の特性のバランスを補正することになる．



(a)



(b)

図 1　(a) ボディ電圧制御による素子特性補償方法と (b) 素子特性補償回路

Fig. 1　(a) Compensation of device characteristics variations with body biasing, and (b) its control circuits.

温度補償回路では，NMOS のダイオード接続で温度に応じた電流を発生させ，温度係数の小さいポリサイド抵抗を介して電圧に変換する．この電圧を利得の小さい反転増幅器を用いて，PMOS のボディ電圧を制御する．ここで，CMOS インバータの NMOS，PMOS のボディをインバータ出力に接続することで，小さい利得の反転増幅器を構成した．

3. 回路シミュレーション結果

回路シミュレーションには，0.18 μm CMOS プロセスのデバイス・パラメータを使用した．NMOS，PMOS のしきい値電圧は ±0.45 V 程度である．0.5 V 電源電圧のもとでは，CMOS ディジタル回路の過渡特性に弱反転領域特性が大きく反映する状況である．

図 2 に，CMOS インバータ回路単体の入出力特性における製造プロセスばらつきに対するコーナー解析結果を示す．これより，提案回路を用いることで，論理しきい値のばらつきを 60%程度低減できることを確認した．なお，NMOS と PMOS のプロセスコーナーとして，“Slow” (S)，“Typical” (T)，“Fast” (F) の三つがあるが，“Fast-NMOS Slow-PMOS” (FS) や “Slow-NMOS Fast-PMOS” (SF) の組合せについてはほとんど頻度がないとして考慮外としている．これは，素子分離形成，ゲート絶縁膜形成，ゲート電極加工など，NMOS，PMOS で共有する製造工程によって，同一チップ上では両者の特性に相関性があることによるものである [9], [10].

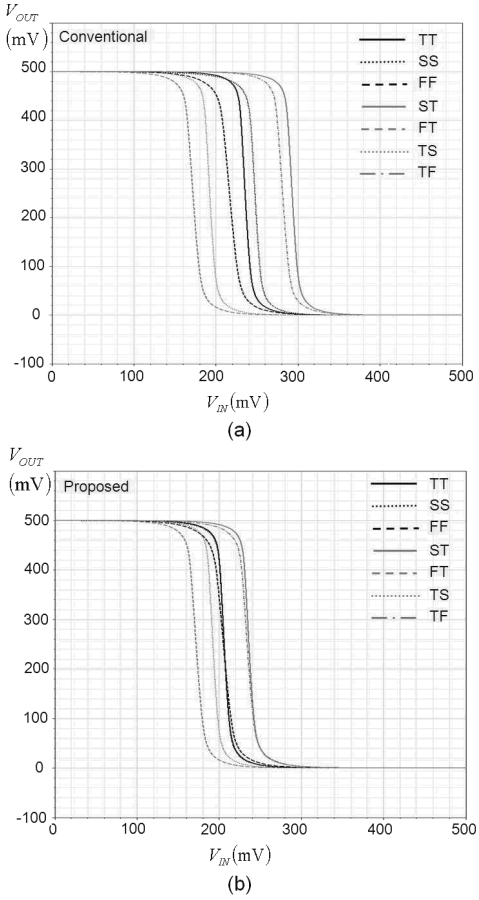


図 2 (a) 従来方法と (b) 提案方法での CMOS インバータ回路における製造プロセスばらつきに対するコーナー解析結果 ($V_{DD} = 0.5$ V)

Fig. 2 Corner analysis results of CMOS inverter for process varietions ($V_{DD} = 0.5$ V).

従来の回路では，NMOS，PMOS のボディは各々 0 V，0.5 V としているが，図 2 (a) より，論理しきい値は，FT，TS，FF，TT，SS，TF，ST の順に高くなっており，NMOS と PMOS の素子特性のバランスに大きく依存している．一方，提案方法では，図 2 (b) より，FF，TT，SS に対する論理しきい値はほとんど一致しており，NMOS と PMOS の素子特性のバランスが悪い場合でも論理しきい値の変化は小さくなっている．これより，論理しきい値補償回路が有効であることが分かる．なお，同一回路内での素子特性のミスマッチはランダムとなるが，その影響を TT でのモンテカルロ・シミュレーションで調べたところ，従来回路，提案回路ともに 500 回試行で ±50 mV 程度の論理しきい値の分布を確認した．このランダムばらつきが不可避の状況で，簡易な提案回路で論理しきい値のシステマティックなばらつきが 60%も低減できる意義は大きい．

図 3 に，11 段リング発振器における CMOS インバータの遅延時間と 10 進カウンタの最速クロック周波数の温度依存性を示す．ここで，10 進カウンタ中に使用した D フリップ・フロップは，低電源電圧化に対応させるため，2 入力 NAND ゲートで構成した．提案回路の適用により，リング発振器と 10 進カウンタの双方で温度依存性の最大 90%以上の低減が確認できた．動作速度の温度依存性のこのような大幅な低減は，しきい値電圧の高い SS コーナーで見られており，弱反転領域の影響が大きい場合に提案手法が有効であることを示している．また，提案手法により，従来よりも遅延が小さくなる方向に変化しているが，これは順方向ボディ電圧による電流駆動力向上による．前述のように，ランダムばらつきが不可避の状況で，システマティックな遅延変動が簡易な提案回路で大幅に低減

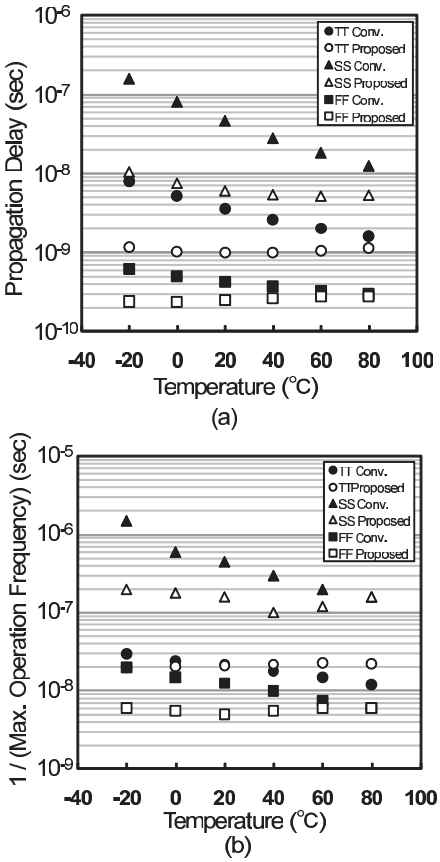


図 3　(a) 11 段リング発振器における CMOS インバータの遅延時間と (b) 10 進カウンタの最速動作クロック周波数の温度依存性 ($V_{DD} = 0.5$ V)

Fig. 3　Temperature dependences of (a) propagation delay of an inverter in 11-stage ring oscillator and (b) maximum operation clock frequency of 10-bit counter ($V_{DD} = 0.5$ V).

できる意義は大きい．

4. む す び

弱反転領域の影響が顕著となる超低電源電圧でディジタル CMOS 回路を動作させる上で問題となる素子特性の製造プロセス上のばらつきや温度依存性に対して強い簡易回路構成を提案し，その効果を回路シミュレーションにより確認した．論理しきい値補償回路による NMOS と PMOS の特性バランスの補正，及び温度補償回路による電流駆動力の制御を組み合わせることで，ディジタル CMOS 回路を弱反転領域でも安定した動作が可能となると考える．

謝辞　本研究を遂行するにあたり（株）半導体理工学研究センターの協力，及び文部科学省グローバル COE プログラム「次世代電子デバイス教育研究開発拠点」（大阪大学）の助成を得たことに深謝します．また，本研究の一部は科学研究費補助金基盤研究（C）（課題番号 20560324）のもとで行われたものである．また，本研究の設計は東京大学大規模集積システム設計教育研究センターを通し，シノプシス（株）及び日本ケイデンス（株）の協力で行われたものである．

文　　献

[1] A. Wang and A. Chandrakasan, “A 180-mV subthreshold FFT processor using a minimum energy design methodology,” IEEE J. Solid-State Circuits, vol.40, no.1, pp.310–319, Jan. 2005.

[2] 鶴窪　淳，渡辺重佳，“サブスレッショルド領域で動作する低電力 LSI の高速化の基礎検討,” 信学論 (C), vol.J91-C, no.6, pp.357–358, June 2008.

[3] M. Miyazaki, G. Ono, and K. Ishibashi, “A 1.2-GIPS/W microprocessor using speed-adaptive threshold-voltage CMOS with forward bias,” IEEE J. Solid-State Circuits, vol.37, no.2, pp.210–217, Feb. 2002.

[4] G. Ono and M. Miyazaki, “Threshold-voltage balance for minimum supply operation,” IEEE J. Solid-State Circuits, vol.38, no.5, pp.830–833, May 2003.

[5] M. Sumita, S. Sakiyama, M. Kinoshita, Y. Araki, Y. Ikeda, and K. Fukuoka, “Mixed body bias techniques with fixed Vt and Ids generation circuits,” IEEE J. Solid-State Circuits, vol.40, no.1, pp.60–66, Jan. 2005.

[6] M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto, and Y. Hagihara, “Delay and power monitoring schemes for minimizing power consumption by means of supply and threshold voltage control in active and standby modes,” IEEE J. Solid-State Circuits, vol.41, no.4, pp.805–814, April 2006.

[7] S. Chatterjee, Y. Tsividis, and P. Kinget, “A 0.5-V analog circuit techniques and their application in OTA and filter design,” IEEE J. Solid-State Circuits, vol.40, no.12, pp.2373–2387, Dec. 2005.

[8] J. Wang, T.-Y. Lee, D.-G. Kim, T. Matsuoka, and K. Taniguchi, “Design of A 0.5 V Op-Amp based on CMOS inverter using floating voltage sources,” IEICE Trans. Electron., vol.E91-C, no.8, pp.1375–1378, Aug. 2008.

[9] G. Kim, K. Ueda, S. Cha, Y. Shimizu, T. Ida, T. Matsuoka, and K. Taniguchi, “Process variation compensation technique for voltage-controlled ring oscillator,” IEEJ Trans. Electrical and Electronic Engineering, vol.2, no.2, pp.189–191, March 2007.

[10] 青木　均（編著），嶌末政憲，川原康雄（著），CMOS モデリング技術—SPICE 用コンパクトモデルの理論と実践，丸善，2006.

（平成 21 年 6 月 20 日受付）