



Title	マージド・キャパシタ・スイッチング法を用いたパイプラインA-DコンバータのMDACセグメント内差動キャパシタミスマッチに関する解析
Author(s)	大倉, 鉄郎; 大倉, 俊介; 松岡, 俊匡 他
Citation	電子情報通信学会論文誌C. 2012, J95-C(10), p. 235-239
Version Type	VoR
URL	https://hdl.handle.net/11094/51674
rights	copyright©2012 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

マージド・キャパシタ・スイッチング法を用いたパイプライン A-D コンバータの MDAC セグメント内差動キャパシタミスマッチに関する解析

大倉 鉄郎^{†a)} 大倉 俊介
 松岡 俊匡[†] (正員) 谷口 研二[†] (正員)

An Analysis of Capacitor Mismatch in Segment of MDAC at Pipelined ADC with Merged Capacitor Switching Technique
 Tetsuro OKURA^{†a)}, Shunsuke OKURA, Nonmembers,
 Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†], Members

[†] 大阪大学大学院工学研究科, 吹田市
 Graduate School of Engineering, Osaka University, Suita-shi,
 565-0871 Japan
 a) E-mail: ohkura@si.eei.eng.osaka-u.ac.jp

あらまし マージド・キャパシタ・スイッチング法を用いたパイプライン A-D コンバータについて MDAC セグメント内のキャパシタミスマッチに関する解析を行った。MDAC 回路に用いるキャパシタのセグメント内差動ミスマッチによって DNL が悪化し、また差動間グラウンド電圧にコード欠け発生確率が依存することを明らかにした。

キーワード パイプライン A-D コンバータ, キャパシタミスマッチ, マージド・キャパシタ・スイッチング

1. まえがき

パイプライン A-D コンバータは通信機器や画像処理システム等の 10 bit 以上の分解能を有し、サンプリングレートが数十 MS/s を要求されるシステムにおいて広く用いられている。パイプライン A-D コンバータは粗い A-D 変換を行うステージが直列接続された構成をとる。各ステージは低分解能な sub-A-D コンバータとスイッチトキャパシタ型の MDAC (Multiplying Digital-to-Analog Converter) 回路で構成されている。MDAC 回路は入力信号と sub-A-D コンバータ出力を D-A 変換した信号との差を増幅し、次段に伝達する。パイプライン A-D コンバータの消費電力は MDAC 回路が大部分を占めているため、パイプライン A-D コンバータの低消費電力化には MDAC 回路の消費電力削減が重要である。高精度なパイプライン A-D コンバータを実現するためには、マッチング精度が高く容量の大きなキャパシタが MDAC 回路で必要となり、消費電力が大きくなる。MDAC 回路で用いるキャパシタ数を削減することで負荷容量値を低減し、低消費電力化を行う MCS (Merged-Capacitor-Switching) 法

が提案されている [1]~[3]。各キャパシタの接続先として差動参照電圧、差動間グラウンド電圧の 3 値を用い、一つの差動対キャパシタを MDAC 回路における D-A 変換の 1 セグメントとすることで、キャパシタ数を 50% 減らすことができる。

本論文では、従来問題とされていなかったセグメント内のキャパシタミスマッチによるパイプライン A-D コンバータの非線型性への影響について解析を行った結果を示す。MCS 法では、セグメント内差動キャパシタミスマッチによって D-A 変換誤差量が増加してしまい、A-D コンバータの線型性が低下することを明らかにする。また、差動間グラウンド電圧の電位によって、セグメント内差動キャパシタミスマッチが非線型性に与える影響量が増加することを示す。

2. MDAC セグメント内差動キャパシタミスマッチに関する解析

図 1 に sub-A-D コンバータとしてフラッシュ A-D コンバータを用いた 12 bit パイプライン A-D コンバータのブロック図を示す。破線で囲った差動対キャパシタが MDAC における D-A 変換のセグメントである。ここで、全てのキャパシタは同容量である。サンプリング時に全キャパシタ (C_{ip} , C_{in} ; $i = 1, 2, \dots, 4$) のボトムプレートはアナログ入力端子 ($V_{ip/in}$) に接続される。増幅時に C_{1p} , C_{1n} は出力端子 ($V_{op/on}$) に

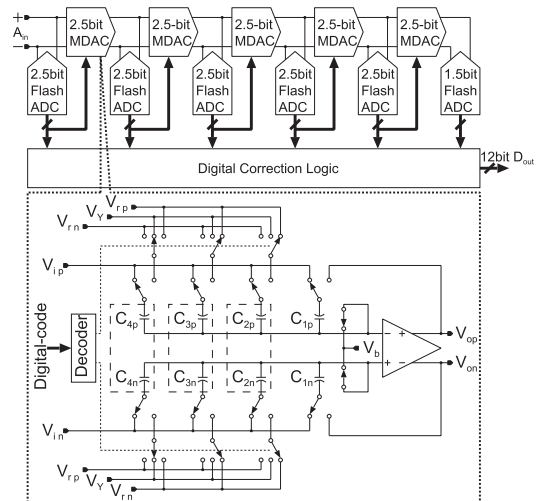


図 1 差動間グラウンド電圧を V_Y とする MCS 法を用いた全差動 2.5-bit-MDAC 回路で構成された 12 bit パイプライン A-D コンバータ

Fig. 1 12 bit pipelined ADC including fully differential 2.5-bit MDAC based on the MCS technique with differential signal ground of V_Y .

表 1 MCS 法を用いた MDAC の増幅時におけるキャパシタ接続先

Table 1 MDAC capacitor switching during amplification based on the MCS technique.

	C_{1p}/C_{1n}	C_{2p}/C_{2n}	C_{3p}/C_{3n}	C_{4p}/C_{4n}
110	V_{op}/V_{on}	V_{rp}/V_{rn}	V_{rp}/V_{rn}	V_{rp}/V_{rn}
101	V_{op}/V_{on}	V_Y/V_Y	V_{rp}/V_{rn}	V_{rp}/V_{rn}
100	V_{op}/V_{on}	V_Y/V_Y	V_Y/V_Y	V_{rp}/V_{rn}
011	V_{op}/V_{on}	V_Y/V_Y	V_Y/V_Y	V_Y/V_Y
010	V_{op}/V_{on}	V_Y/V_Y	V_Y/V_Y	V_{rn}/V_{rp}
001	V_{op}/V_{on}	V_Y/V_Y	V_{rn}/V_{rp}	V_{rn}/V_{rp}
000	V_{op}/V_{on}	V_{rn}/V_{rp}	V_{rn}/V_{rp}	V_{rn}/V_{rp}

接続され、それ以外のキャパシタは各々、フラッシュ A-D コンバータのデジタル出力コードに応じて差動参照電圧 (V_{rp}/r_n) または差動間グラウンド電圧 (V_Y) に接続される (表 1)。その結果、出力電圧は、

$$V_{op} - V_{on} = 4(V_{ip} - V_{in}) + \sum_{i=2}^4 V_{dac,i} \quad (1)$$

で表される。ここで、 $V_{dac,i}$ は各 D-A 変換セグメントの出力値である。キャパシタミスマッチを無視すると、各 D-A 変換セグメントは、 C_{ip}/C_{in} が V_{rp}/V_{rn} に接続されたとき $-(V_{rp} - V_{rn})$ を出力、 C_{ip} 、 C_{in} ともに V_Y に接続されたとき 0 を出力、 C_{ip}/C_{in} が V_{rn}/V_{rp} に接続されたとき $V_{rp} - V_{rn}$ を出力する。差動間グラウンド電圧 V_Y は、キャパシタを差動間で同電位接続する電圧で、ここでは、 V_{rp} から V_{rn} まで取り得るとする。 $V_Y = V_{rp}$ または V_{rn} とすることで、スイッチ及びバイアス配線を差動参照電圧と差動間グラウンド電圧で共通化されるため、シンプルなレイアウトが実現できる [1]。

フラッシュ A-D 変換器の出力コードが “110” のとき、MDAC 回路の出力電圧は $V_{op} - V_{on} = 4(V_{ip} - V_{in}) - 3(V_{rp} - V_{rn})$ となる。他のコードも同様に見ると、図 2 の破線が示す伝達特性を得る。キャパシタミスマッチを考慮すると、実線のように理想特性から誤差が生じる。伝達関数のコード不連続点における差分電圧 ($V_{drop} = V_1 - V_2$) が MDAC の微分非直線性 (DNL) を制限する。 V_{drop} の理想値は $V_{rp} - V_{rn}$ であり、 V_{drop} が大きくなりすぎると非単調増加を起し、逆に小さすぎるとコード欠けが生じる。文献 [1], [3], [4] では、単純化のため MDAC 回路をシングルエンドに置き換え、キャパシタトッププレートの電荷保存則よりキャパシタばらつきによる影響を求めている。ここでは、全キャパシタの平均値を C 、各キャパシタのばらつきを $\Delta_{ip/in}$ とする。この仮定より、各キャパシタばらつきの総和には、

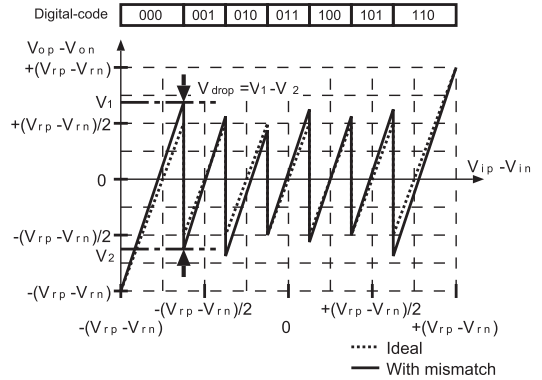


図 2 2.5 bit-MDAC の伝達関数
Fig. 2 Transfer function of the 2.5-bit MDAC.

$$\sum_{i=1}^4 (\Delta_{ip} + \Delta_{in}) = 0 \quad (2)$$

の関係が成り立つ。全キャパシタばらつきを考慮し、入力信号 $V_{ip} - V_{in} = -(5/8)(V_{rp} - V_{rn})$ におけるキャパシタトッププレートの電荷保存則を用いると、コード “000” における出力電圧 $V_{op} - V_{on}$ の最大値 V_1 とコード “001” における最小値 V_2 は、ばらつきの二次の微量を無視して、式 (3), (4) で表される。ここで、 V_{CM} は差動参照電圧、差動出力電圧のコモンモード電圧である。なお、MDAC の増幅時におけるオペアンプ両入力端子の電圧は入力信号のコモンモード電圧 V_{iCM} を用いて、コード “000” と “001” に対して各々 $V_b - V_{iCM} + V_{CM}$ 、 $V_b - V_{iCM} + V_{CM} + (V_Y - V_{CM})/4$ に近似している。コード “000” から “001” への遷移点における差分電圧 V_{drop} は式 (3), (4) より、式 (5) で表される。隣り合うセグメント間のミスマッチをセグメント間ミスマッチ、セグメント内の差動間ミスマッチをセグメント内差動ミスマッチとすると、式 (5) の右辺第 2 項はセグメント間ミスマッチによる影響を、第 3 項はセグメント内差動ミスマッチによる影響を表している。

セグメント間ミスマッチのみを考えると、各キャパシタばらつきはそれぞれ、

$$\begin{aligned} \Delta_{1p} = \Delta_{1n} = \Delta_1, \quad \Delta_{2p} = \Delta_{2n} = \Delta_2 \\ \Delta_{3p} = \Delta_{3n} = \Delta_3, \quad \Delta_{4p} = \Delta_{4n} = \Delta_4 \end{aligned} \quad (6)$$

で表され、セグメント間ミスマッチの影響を受けた差分電圧 $V_{drop}|_{ds}$ は、

$$V_{drop}|_{ds} = \left(1 - \frac{\Delta_1 - \Delta_2}{C}\right) \cdot (V_{rp} - V_{rn}) \quad (7)$$

となり、従来のキャパシタミスマッチを考慮した解

$$V_1 = \left(\frac{1}{2} - \frac{3}{4} \frac{\Delta_{1p} + \Delta_{1n}}{C} \right) \cdot (V_{rp} - V_{rn}) \quad (3)$$

$$V_2 = \left\{ -\frac{1}{2} - \frac{\Delta_{1p} + \Delta_{1n}}{4C} - \frac{\Delta_{2p} + \Delta_{2n}}{2C} + \left(\sum_{i=1}^4 \frac{\Delta_{ip} - \Delta_{in}}{4C} - \frac{\Delta_{2p} - \Delta_{2n}}{C} \right) \cdot \frac{V_Y - V_{CM}}{V_{rp} - V_{rn}} \right\} \cdot (V_{rp} - V_{rn}) \quad (4)$$

$$V_{drop} = \left\{ 1 - \underbrace{\frac{\Delta_{1p} + \Delta_{1n} - \Delta_{2p} - \Delta_{2n}}{2C}}_{\text{mismatch between segments}} - \underbrace{\left(\sum_{i=1}^4 \frac{\Delta_{ip} - \Delta_{in}}{4C} - \frac{\Delta_{2p} - \Delta_{2n}}{C} \right)}_{\text{differential mismatch in a segment}} \cdot \frac{V_Y - V_{CM}}{V_{rp} - V_{rn}} \right\} \cdot (V_{rp} - V_{rn}) \quad (5)$$

析と一致する [1]. これは、各 D-A 変換セグメントの出力値が⁸, $(1 + \Delta_i/C - \Delta_1/C)(V_{rp} - V_{rn})$, 0 , $-(1 + \Delta_i/C - \Delta_1/C)(V_{rp} - V_{rn})$ となり、理想値から誤差を含むためである.

セグメント内差動ミスマッチのみを考えると、各キャパシタはそれぞれ、

$$\begin{aligned} \Delta_{1p} &= -\Delta_{1n} = \Delta_1, & \Delta_{2p} &= -\Delta_{2n} = \Delta_2 \\ \Delta_{3p} &= -\Delta_{3n} = \Delta_3, & \Delta_{4p} &= -\Delta_{4n} = \Delta_4 \end{aligned} \quad (8)$$

で表される. 差分電圧 $V_{drop|is}$ は以下のように表される.

$$\begin{aligned} V_{drop|is} &= \left\{ 1 - 2 \times \left(\sum_{i=1}^4 \frac{\Delta_i}{4C} - \frac{\Delta_2}{C} \right) \right. \\ &\quad \left. \times \frac{V_Y - V_{CM}}{V_{rp} - V_{rn}} \right\} (V_{rp} - V_{rn}) \end{aligned} \quad (9)$$

各セグメントの D-A 出力は, $(V_{rp} - V_{rn})$, $(2\Delta_i - (1/2)\sum_{k=1}^4 \Delta_k)/C \cdot (V_{CM} - V_Y)$, $-(V_{rp} - V_{rn})$ となり, DA 出力の中間値に誤差が生じる. このように, セグメント内差動間ミスマッチによる影響が無視できない.

次に, 式 (5) に示す全差動構成モデルに基づく差動間グラウンド電圧 V_Y と要求精度を満たすために必要なキャパシタサイズとの関係について解析を行う. 各キャパシタミスマッチ量 $\Delta_{ip/in}/C$ は標準偏差が $\sigma(\Delta/C)$ で, それぞれが独立にガウス分布に従う. 独立な分散の和は, それぞれの二乗和平方根で求められるため, 式 (5) より, V_{drop} の平均は $V_{rp} - V_{rn}$ であり, 標準偏差は次式で与えられる.

$$\begin{aligned} \sigma(V_{drop}) &= \sqrt{\frac{3}{2} \left(\frac{V_Y - V_{CM}}{V_{rp} - V_{rn}} \right)^2 + 1} \cdot \sigma \left(\frac{\Delta}{C} \right) \\ &\quad \times (V_{rp} - V_{rn}) \end{aligned} \quad (10)$$

また, $\sigma(\Delta/C)$ はキャパシタサイズの平方根に反比例

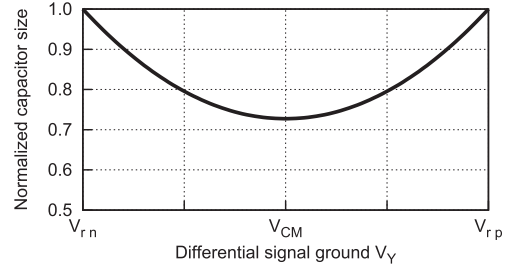


図 3 $\sigma(V_{drop})$ 一定下におけるキャパシタサイズ (C) と V_Y の関係

Fig. 3 Capacitor size versus V_Y at constant $\sigma(V_{drop})$.

するため,

$$\sigma \left(\frac{\Delta}{C} \right) = \frac{K_C}{\sqrt{C}} \quad (11)$$

で表される. ここで, K_C はプロセスによって決まる定数である. 式 (10), (11) より, $\sigma(V_{drop})$ は,

$$\begin{aligned} \sigma(V_{drop}) &= \frac{K_C}{\sqrt{C}} \sqrt{\frac{3}{2} \left(\frac{V_Y - V_{CM}}{V_{rp} - V_{rn}} \right)^2 + 1} \\ &\quad \times (V_{rp} - V_{rn}) \end{aligned} \quad (12)$$

で表される. 式 (12) と要求される $\sigma(V_{drop})$ から, 必要なキャパシタサイズ C は,

$$\begin{aligned} C &= \left\{ \frac{3}{2} (V_Y - V_{CM})^2 + (V_{rp} - V_{rn})^2 \right\} \\ &\quad \times \left\{ \frac{K_C}{\sigma(V_{drop})} \right\}^2 \end{aligned} \quad (13)$$

で求められ, 要求精度を満たすために必要なキャパシタサイズが差動間グラウンド電圧 V_Y に依存することが分かる. キャパシタサイズ C と差動間グラウンド電圧 V_Y の関係を図 3 に示す. 横軸に差動間グラウンド電圧 V_Y をとり, 縦軸に $V_Y = V_{rp}$ または $V_Y = V_{rn}$ におけるキャパシタサイズを 1 として規格化したキャパシタサイズを示す.

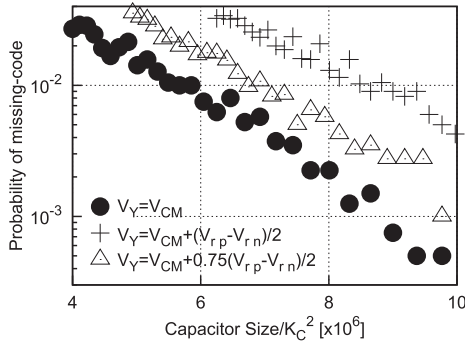


図4 キャパシタサイズとコード欠けが起こる確率との関係

Fig. 4 Capacitor size versus probability of missing-code.

式 (13) と図 3 より、コード欠けの発生確率を一定値以下にするために必要なキャパシタサイズは、 $V_Y = V_{CM}$ とすることで、 $V_Y = V_{rp/rn}$ とした場合に比べて約 30% 小さくできることが分かる。これは、 $V_Y = V_{CM}$ においてセグメント内差動ミスマッチによる V_{drop} への影響がなくなり、セグメント間キャパシタミスマッチによる影響のみになるためである。

3. シミュレーション結果

初段 2.5 bit ステージの 12 bit パイプライン A-D コンバータを MATLAB 上で設計し、キャパシタばらつきに関する Monte-Carlo シミュレーションを行った。差動間グラウンド電圧は、 $V_Y = V_{CM}$ 、 $V_{CM} + 0.75(V_{rp} - V_{rn})/2$ 、 $V_{CM} + (V_{rp} - V_{rn})/2$ の 3 点についてシミュレーションを行った。シミュレーション結果を図 4 に示す。各ポイントは 4000 回の Monte-Carlo シミュレーションからコード欠けが起こる確率を算出した結果を示している。横軸にキャパシタサイズを取り、縦軸はコード欠けが起こる確率を示している。 $V_Y = V_{CM}$ と $V_Y = V_{CM} + (V_{rp} - V_{rn})/2$ では、コード欠けが起こる確率を同等にするために必要なキャパシタサイズは、 $V_Y = V_{CM}$ の方が約 30% 低減できることが確認できた。

4. むすび

MCS 法を使用したパイプライン A-D コンバータに用いる MDAC 回路のセグメント内差動ミスマッチについて解析を行った。A-D コンバータの不連続点における誤差解析より、キャパシタミスマッチによるパイプライン A-D コンバータの非線型性が差動間グラウンド電圧 V_Y に依存することを明らかにした。Monte-Carlo シミュレーションから、差動間グラウン

ド電圧 V_Y を差動参照電圧のコモンモード V_{CM} とすることで、 V_Y を差動参照電圧 ($V_{rp/rn}$) とした場合よりもキャパシタサイズが約 30% 低減できることを確認した。

謝辞 本研究は、文部科学省グローバル COE プログラム「次世代電子デバイス教育研究開発拠点」の協力の下で行われたものである。

文 献

- [1] S. Yoo, J. Park, S. Lee, and U. Moon, "A 2.5-V 10-b 120-Msample/s CMOS pipelined ADC based on merged-capacitor switching," IEEE Trans. Circuits Syst.-II: Express Briefs, vol.51, no.5, pp.269-275, May 2004.
- [2] Y. Jeon, S. Lee, S. Yoo, and S. Lee, "Acquisition-time minimization and merged-capacitor switching techniques for sampling-rate and resolution improvement of CMOS ADCs," IEEE International Symposium on Circuits and Systems, vol.3, pp.451-454, Geneva, Switzerland, May 2000.
- [3] S. Yoo, T. Oh, J. Moon, S. Lee, and U. Moon, "A 2.5-V 10-b 120-Msample/s CMOS pipelined ADC with high SFDR," Proc. IEEE Custom Integrated Circuits Conf., pp.441-444, May 2002.
- [4] A.M. Abo, Design for Reliability of Low-voltage, Switched-capacitor Circuits, Ph.D. Thesis, University of California, Berkeley, 1999.

付 録

式 (3), (4) の導出過程を記載する。増幅時における入力容量 $C_{ip/n}$ のトッププレート電位をそれぞれ V_{xp} , V_{xn} とする。コード "000" でサンプル/増幅動作における $C_{ip/in}$ トッププレートの電荷保存則を考えると、式 (A-1), (A-2) が導き出される。 V_{xp} , V_{xn} のコモンモード電圧 V_{xCM} は、 $(V_{xp} + V_{xn})/2$ で与えられるため、式 (A-1), (A-2) 及び式 (2) より、コード "000" における V_{xCM} は、式 (A-3) となる。ここで、 V_{op} と V_{on} 及び V_{rp} と V_{rn} のコモンモード電圧を V_{CM} 、入力信号 (V_{ip} , V_{in}) のコモンモード電圧を V_{iCM} とした。また、オペアンプの DC 利得 (A) は十分大きく、

$$V_{xp} - V_{xn} = -\frac{V_{op} - V_{on}}{A} \approx 0 \quad (\text{A-4})$$

として近似している。次に、コード "000" における MDAC 回路の差動入出力伝達特性について求める。式 (A-1), (A-2), (A-3), (A-4) 及び (2) を用い、二次の微小項を無視すると出力差動電圧 $V_{op} - V_{on}$ は、式 (A-5) となる。ここで、各係数にテイラー展開を適用し、二次の微小項を無視すると、コード "000" にお

$$(V_b - V_{ip})(4C + \Sigma_{i=1}^4 \Delta_{ip}) = V_{xp}(4C + \Sigma_{i=1}^4 \Delta_{ip}) - V_{op}(C + \Delta_{1p}) - V_{rn}(3C + \Sigma_{i=2}^4 \Delta_{ip}) \quad (\text{A}\cdot 1)$$

$$(V_b - V_{in})(4C + \Sigma_{i=1}^4 \Delta_{in}) = V_{xn}(4C + \Sigma_{i=1}^4 \Delta_{in}) - V_{on}(C + \Delta_{1n}) - V_{rp}(3C + \Sigma_{i=2}^4 \Delta_{in}) \quad (\text{A}\cdot 2)$$

$$V_{xCM} = V_b - V_{iCM} + V_{CM} - \Sigma_{i=1}^4 \frac{\Delta_{ip} - \Delta_{in}}{16C} (V_{ip} - V_{in}) + \frac{\Delta_{1p} - \Delta_{1n}}{16C} (V_{op} - V_{on}) - \Sigma_{i=2}^4 \frac{\Delta_{ip} - \Delta_{in}}{16C} (V_{rp} - V_{rn}) \quad (\text{A}\cdot 3)$$

$$V_{op} - V_{on} = 4 \left(1 + \frac{\Delta_{1p} + \Delta_{1n}}{2C} \right)^{-1} (V_{ip} - V_{in}) + 3 \left(1 - \frac{\Delta_{1p} + \Delta_{1n}}{6C} \right) \left(1 + \frac{\Delta_{1p} + \Delta_{1n}}{2C} \right)^{-1} \times (V_{rp} - V_{rn}) \quad (\text{A}\cdot 5)$$

$$V_{op} - V_{on} = 4 \left(1 - \frac{\Delta_{1p} + \Delta_{1n}}{2C} \right) (V_{ip} - V_{in}) + 3 \left(1 - \frac{2}{3} \cdot \frac{\Delta_{1p} + \Delta_{1n}}{C} \right) (V_{rp} - V_{rn}) \quad (\text{A}\cdot 6)$$

$$(V_b - V_{ip})(4C + \Sigma_{i=1}^4 \Delta_{ip}) = V_{xp}(4C + \Sigma_{i=1}^4 \Delta_{ip}) - V_{op}(C + \Delta_{1p}) - V_Y(C + \Delta_{2p}) - V_{rn}(2C + \Delta_{3p} + \Delta_{4p}) \quad (\text{A}\cdot 7)$$

$$(V_b - V_{in})(4C + \Sigma_{i=1}^4 \Delta_{in}) = V_{xn}(4C + \Sigma_{i=1}^4 \Delta_{in}) - V_{on}(C + \Delta_{1n}) - V_Y(C + \Delta_{2n}) - V_{rp}(2C + \Delta_{3n} + \Delta_{4n}) \quad (\text{A}\cdot 8)$$

$$V_{xCM} = V_b - V_{iCM} + V_{CM} + \frac{1}{4} \left(1 + \frac{\Delta_{2p} + \Delta_{2n}}{2C} \right) (V_Y - V_{CM}) - \Sigma_{i=1}^4 \frac{\Delta_{ip} - \Delta_{in}}{16C} (V_{ip} - V_{in}) \\ + \frac{\Delta_{1p} - \Delta_{1n}}{16C} (V_{op} - V_{on}) - \frac{\Delta_{3p} + \Delta_{4p} - \Delta_{3n} - \Delta_{4n}}{16C} (V_{rp} - V_{rn}) \quad (\text{A}\cdot 9)$$

$$V_{op} - V_{on} = 4 \left(1 - \frac{\Delta_{1p} + \Delta_{1n}}{2C} \right) (V_{ip} - V_{in}) + 2 \left(1 - \frac{\Delta_{1p} + \Delta_{1n}}{2C} + \Sigma_{i=3}^4 \frac{\Delta_{ip} + \Delta_{in}}{4C} \right) (V_{rp} - V_{rn}) \\ + \left(\Sigma_{i=1}^4 \frac{\Delta_{ip} - \Delta_{in}}{4C} - \frac{\Delta_{2p} - \Delta_{2n}}{C} \right) (V_Y - V_{CM}) \quad (\text{A}\cdot 10)$$

る MDAC 回路の入出力特性は式 (A・6) で表し直すことができる。

コード “001” においても同様に、入力容量トッププレートにおける電荷保存則を用いると、式 (A・7)、(A・8) が得られる。式 (A・7)、(A・8)、(A・4) 及び (2) より、コード “001” における V_{xCM} は式 (A・9) となり、 V_Y に依存する。式 (A・7)、(A・8)、(A・9)、(A・4)

を用い、式 (A・6) の導出と同様に二次の微小項を無視すると、コード “001” における MDAC 回路の差動入出力特性は、式 (A・10) となる。式 (A・6)、(A・10) に $V_{ip} - V_{in} = -5(V_{rp} - V_{rn})/8$ を代入することで、式 (3)、(4) が得られる。

(平成 23 年 12 月 6 日受付, 24 年 3 月 27 日再受付)