



Title	テレビ受信システム用ワイドバンドチューニングVCO の設計
Author(s)	鎌田, 隆嗣; 松岡, 俊匡; 谷口, 研二
Citation	電子情報通信学会論文誌C. 2007, J90-C(9), p. 634- 641
Version Type	VoR
URL	https://hdl.handle.net/11094/51678
rights	copyright©2007 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

テレビ受信システム用ワイドバンドチューニング VCO の設計

鎌田 隆嗣^{†,††} 松岡 俊匡[†] 谷口 研二[†]

Design of Wideband Tuning VCO for TV Receiver System

Takatsugu KAMATA^{†,††}, Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†]

あらまし テレビ受信システム用でワイドバンドにチューニング可能な VCO の設計を行った。VCO 単体の出力周波数は最大 2.024 GHz となり、チューニングレンジは 1.08 GHz を達成した。また、テレビ受信システムのマルチ対応を可能とするため 1/2 分周器を直列に接続し、その出力を効率的に切り換えることで更なる周波数可変範囲を実現した。

キーワード VCO, テレビ受信システム, チューナ, チューニングレンジ, MOS スイッチ

1. ま え が き

マルチシステム（日本、米国、EU 各国）対応のテレビ受信システムにおいては、48 MHz から 890 MHz と VHF 帯から UHF 帯にまたがる広範囲な周波数を受信する必要がある。IC チップを用いたテレビシステムのアーキテクチャには同様に広範囲に可変可能な VCO (Voltage-Controlled Oscillator) の性能が要求される。本研究では、この広範囲でかつ基本的な VCO 性能を満たす回路とシステムに着目し、0.25 μm RF CMOS プロセスを用いてその検証を行った。レイアウト上での占有面積は 0.99 mm² で、VCO ブロック全体での消費電力は電源電圧 3.0 V で 28 mW となった。出力周波数は、58.8 MHz から 1012 MHz で、レンジとしては 178% の広範囲な結果を得た。PLL を含めた IF 出力での位相雑音は、VHF バンドで $-90 \text{ dBc/Hz}@1 \text{ kHz}$ オフセット、UHF バンドで $-80 \text{ dBc/Hz}@1 \text{ kHz}$ オフセットとなった。

2. 従来のテレビシステム用 VCO

従来のテレビシステム用 VCO には、例えば缶チューナモジュール内で使用されているような LC タンクにバラクタを並列に組み合わせた発振器を用い、30 V 以

上の高電圧をコントロール電圧として使用している。この構成で、IC 上にて実現するには高電圧を必要とし、かつディスクリートであるバラクタダイオードの性能を IC 上の素子に求めることは困難であった。また、IC 上で実現している例としては、発振周波数が異なる 2 個以上の VCO を配置しそれを切り換えることで、VHF 帯、UHF 帯の周波数レンジをカバーするような構成がある [1]。その場合、コイル数が増えチップ面積を多く必要とするため、特にコスト面で不利となっていた。ほか、近年のテレビ受信システムのシリコン化に伴って IC 上でワイドバンド VCO を実現させている研究がいくつか発表されている [2], [3]。本研究では IC 上で実現するのに適したテレビ受信用 VCO 回路システムを提案する。

3. 提案する回路とシステム構成

3.1 ブロック構成

本研究の提案回路のブロック図を図 1 に示す。基本的に目標値として最大 2.048 GHz で発振する LC 共振型の発振器に、四つの分周器を継続接続した構成をとっている。分周比 1/2 の分周器が 4 段あるため、16 倍の周波数レンジを確保することが可能となる。また、各分周器出力を選択するためのバッファを兼ねたスイッチのブロックが付加されロジック信号により出力を切り換える。LC タンク部分でのキャパシタは、キャパシタアレーの構成をとりロジック信号により任意の値を選択する。ここでは、直交ミキサへの供給のため IQ 信号を出力する。“Output Selector” はデジタル

[†] 大阪大学大学院工学研究科、吹田市

Graduate School of Engineering, Osaka University, 2-1 Yamadaoka, Suita-shi, 565-0871 Japan

^{††} (株) RfStream, 東京都

RfStream Corporation, 1-11-1 Osaki, Shinagawa-ku, Tokyo, 141-0032 Japan

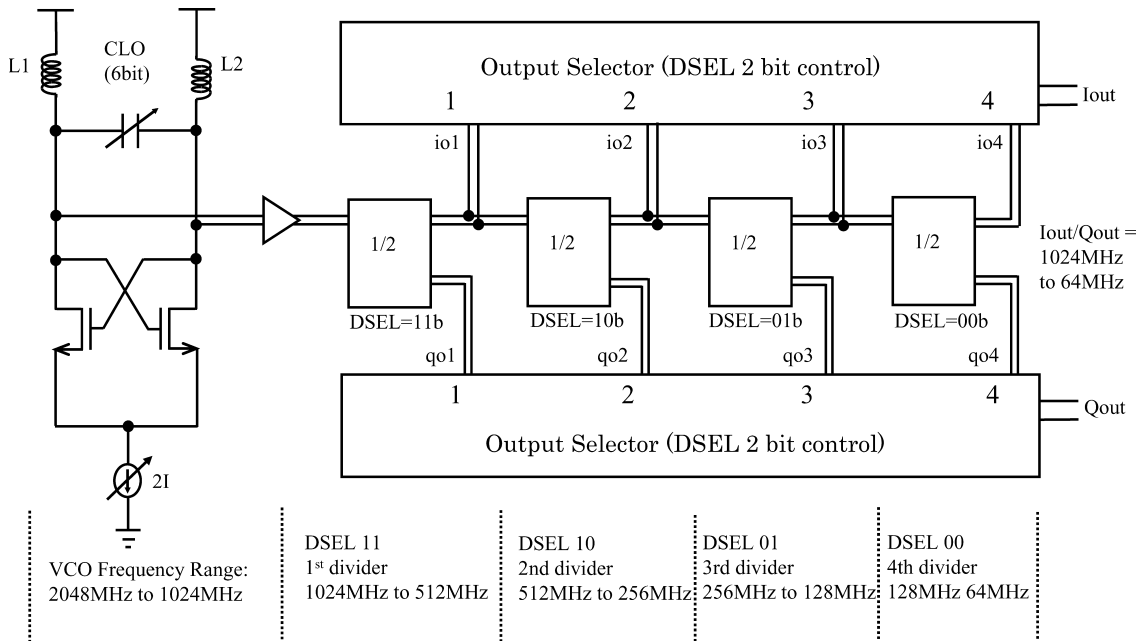


図 1 提案回路ブロック図
Fig.1 Proposed wideband tuning VCO topology.

コードにより所望の分周比で信号を取り出すバッファを備え、かつその時点に使用していないバッファ用電流やソースフォロア用電流などの制御も行っている。

3.2 広範囲な周波数出力の実現

単純に分周器をシリーズに接続した限りでは出力周波数の連続性をもたせることができないため、段階的な出力を補完する技術が必要となる。本研究においては、図 2 に示すような切換スイッチを用いたキャパシタバンク（アレータイプ）と、MOS 構造を用いたバラクタダイオードを使用して出力周波数の連続性をもたせる。スイッチには MOS トランジスタ素子を用いるが、本研究における高周波での使用についての検討は 3.5 にて後述する。

周波数の疎調整として、上記のキャパシタバンクを調整する 6 ビットのデジタルコード (CLO) と分周器の分周比を選択する 2 ビットのコード ($DSEL$) を組み合わせ、両者を切り換えることでより大きな変化範囲を実現する。ここで、 CLO ($CLO < 5 : 0 = 0, 1, \dots, 62, 63$) と $DSEL$ ($DSEL < 7 : 6 = 0, 1, 2, 3$) コードを用いた発振周波数 f_{osc} を式で表すと、以下ようになる。

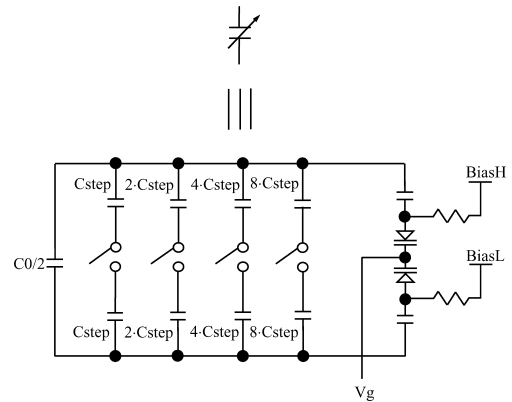


図2 キャパシタバンクとバラクタダイオード
Fig.2 Capacitor bank and varactor diodes.

$$f_{osc} = \frac{1}{2\pi\sqrt{[C_o + C_{step} \cdot (2^6 - 1 - CLO)] \cdot L_{ind}}} \cdot \frac{1}{\mathcal{A}_{4-DSEL}} \quad (1)$$

C_o はキャパシタバンク内での初期値, C_{step} はその間
隔値, L_{ind} (図 1 では, L1, L2 となる値) はコイル
値, CLO , $DSEL$ のコードはデシマル値である.

$CLO = 0$ のときの最小値 (f_{min}) と $CLO = 63$ のときの最大値 (f_{max}) の差より, f_{max} と f_{min} の関係

は、次式を満足するように決定される。

$$\frac{f_{max}}{2} > f_{min} \quad (2)$$

ここで、 f_{max} と f_{min} は以下で与えられる。

$$f_{max} = \frac{1}{2\pi\sqrt{L_{ind}C_o}} \quad (3)$$

$$f_{min} = \frac{1}{2\pi\sqrt{L_{ind}[C_o + (2^6 - 1)C_{step}]}} \quad (4)$$

式 (2) は、 $DSEL$ コードが切り換わる際の“デッドゾーン”を避けるためにも満足させる必要がある。このとき、 CLO 値による VCO 単体での周波数範囲 (F_{range}) は、次式 (5) となる。

$$\begin{aligned} F_{range} &= f_{max} - f_{min} \\ &= \frac{1}{2\pi\sqrt{L_{ind}}} \left(\frac{1}{\sqrt{C_o}} - \frac{1}{\sqrt{C_o + (2^6 - 1)C_{step}}} \right) \end{aligned} \quad (5)$$

本研究においては、 f_{max} を 2048 MHz、 f_{min} は使用する MIM キャパシタのプロセスばらつき 15% を考慮し、768 MHz と決定した。式 (1) での計算式を用い、コントロールビットの $DSEL + CLO$ 値により可変される周波数範囲例を図 3 に示す。本研究では $C_o = 2.4 \text{ pF}$ 、 $C_{step} = 0.175 \text{ pF}$ 、 $L_{ind} = 2.4 \text{ nH}$ の値を使用している。また、図 4 はコード 184~199 値区間を拡大したものであり、式 (2) を満足していることが確認できる。図 3、図 4 共通にコイル、キャパシタバンクの配線容量 (C_p) を考慮し C_o からその分を補正した。よって図中では、二つの値はほぼ一致する。また、主に MIM キャパシタとバラクタの容量値に起因するばらつきを考慮した場合の出力周波数もワーストケースのみ合わせて比較した。このように、連続した 64 MHz から 1024 MHz の広範囲な出力周波数の実現が期待できる。

3.3 V_g 電圧による発振周波数補償

一般的な PLL (Phase Locked Loop) と VCO の動作は、PLL から供給される制御電圧 V_g が所望の発振周波数に引き込み、周波数を安定に動作させることにある。本研究における V_g は、その一般的な動作に加えて各ビットでの発振周波数の連続性と、 CLO 値による段階的な発振周波数を補完する目的にも使用される。ただし、PLL のループを確立する以前に、所望の周波数近傍まで到達するようにコード値を設定する必要がある。ここでは、バラクタダイオードにおける

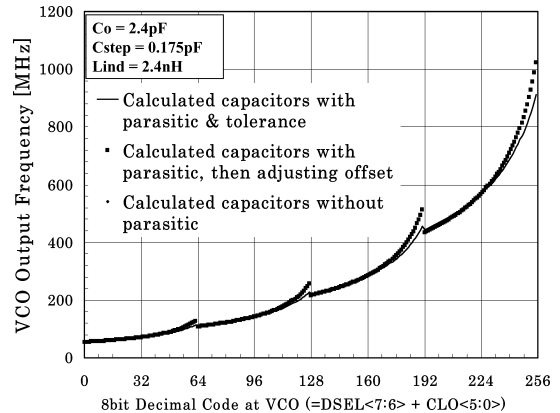


図 3 チューニングコードと出力周波数の関係
Fig. 3 Output frequency versus tuning code.

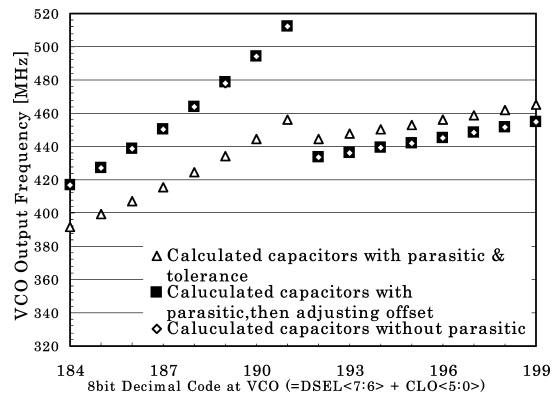


図 4 コード 184~199 間の拡大図
Fig. 4 Zooming into code 184 to 199.

可変容量を利用する。

図 5 は、任意の CLO コード、 CLO_n 値とその前後の CLO_{n-1} 、 CLO_{n+1} における V_g と発振周波数の関係を示している。VCO に供給される V_g 電圧は、PLL 内のチャージポンプの出力レンジである $V_g(min)$ から $V_g(max)$ までとなるため、この範囲内に C_{step} で決定される周波数の間隔を補完することになる。ここで、発振周波数の間隔はキャパシタのばらつきにより変動し、かつバラクタダイオードの C-V 特性によっても補完すべき容量値が増減するため、 CLO_{n+1} となる周波数レンジに対してオーバーラップする周波数変化幅分をもたせるようにする必要がある (図 5 の斜線部分)。 C_{step} の最大値よりもバラクタダイオードによる容量変化値の最小値を大きく設定する必要があり、下記の式 (6) を満足するように設計する。

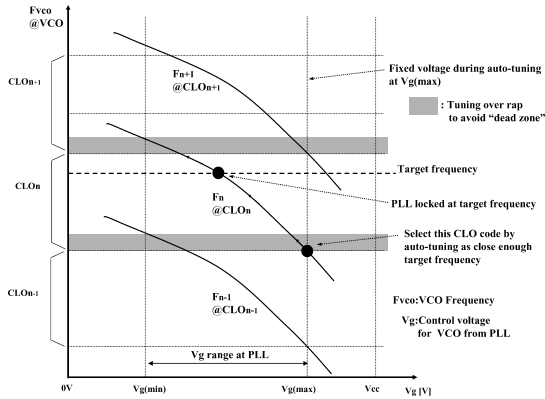


図 5 V_g と VCO 発振周波数の関係
Fig. 5 V_g versus VCO oscillation frequency.

$$\left(1 - \frac{T_{olv}}{100}\right) \Delta C_{var} > \left(1 + \frac{T_{olc}}{100}\right) C_{step} \quad (6)$$

ΔC_{var} は $V_g(min)$ から $V_g(max)$ までのバクタダイオード容量値変化であり, $T_{olv} [\%]$, $T_{olc} [\%]$ は各々バクタダイオードと MIM キャパシタの容量値ばらつき $[\%]$ である. 本設計においては, 式 (6) の条件を満足するように, $T_{olv} = 15\%$, $T_{olc} = 15\%$, $\Delta C_{var} = 0.3 \text{ pF}$, $C_{step} = 0.175 \text{ pF}$ とした.

3.4 周波数オートチューニング機能

VCO 発振周波数は, 希望するテレビ受信チャンネルの周波数に IF 周波数が加算された値となるが, CH 周波数コード値をロジックインタフェースにより設定後, 速やかに VCO のデジタルコード値を決定する動作を行う必要がある. 本研究では, 同一チップ上に配置した PLL の分周器をカウンタとして利用し, そこから測定される周波数のデジタルコードと, 設定された VCO の発振周波数に相当するデジタルコードとを比較し, 近傍の値となるまでコードを変化させチューニングする機能ブロックを採用した. そのブロック図を図 6 に示す. この機能は, VCO と同一チップ上に配置し周波数の設定値のみ外部からインタフェースを介して入力することとした. ブロック構成として, 16 ビットの分周器を兼ねたカウンタを備え, コード値を保つラッチ回路, デジタルコード値を比較するためのデジタルコンパレータから構成される. 内部にはこれを制御するための 1 MHz のシステムクロックを別に設け, $DSEL + CLO$ 値の MSB から LSB へ変化させ出力周波数の大小を比較し 8 bit コードを決定する. この場合, V_g によって発振周波数が変動しないように, 自動調整する間は $V_g(max)$ 値に固定される.

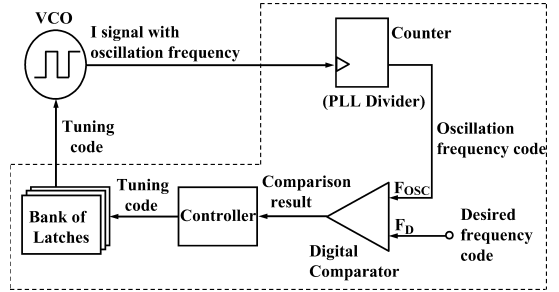


図 6 VCO のオートチューニング機能
Fig. 6 Auto tuning topology for VCO's code adjustment.

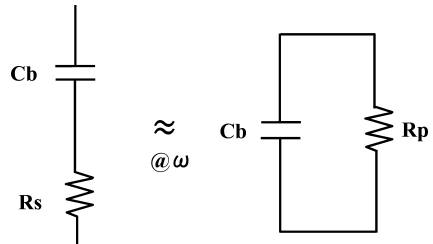


図 7 キャパシタ直列-並列等価回路
Fig. 7 Equivalent circuit at resonant frequency.

3.5 キャパシタ切替用 MOS SW の回路構成

図 2 に示すキャパシタを切り換えるスイッチ (以下 SW) として, ここでは NMOS トランジスタを使用する. キャパシタに対して MOS 抵抗が直列に挿入されるため, 回路 Q は減少する. 図 7 に示すように, 任意の角周波数 ω において, 直列に抵抗 R_s がある場合のキャパシタの等価回路は, 抵抗 R_p を並列にキャパシタと接続した場合と同等となる. R_p は式 (7) のように表される [4].

$$R_p = R_s + \frac{1}{\omega^2 C_b^2 R_s} \quad (7)$$

周波数が高くなるにつれて, 式 (7) の第 2 項が小さくなるので, より小さい値の R_s が必要となる. この場合, 図 7 の R_s に相当する部分が NMOS トランジスタとなり, 加えて寄生容量が追加されることになる. 等価的に OFF した際の寄生容量 C_{off} と ON 時の抵抗分 R_{on} が存在する.

MOS 抵抗値を小さくするには, W/L 比のサイズを増加させることになるが, 相反して寄生容量値は増大することになる. これらのトレードオフの現象から, C_{off} と R_{on} の積 $C_{off} R_{on}$ の値が最小であれば理想的な SW に近づくことになる. すなわち MOS SW の

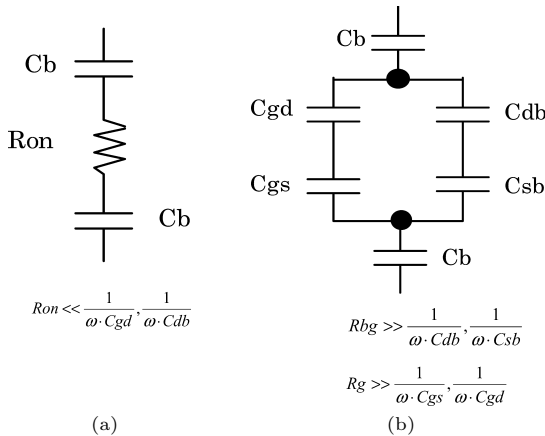


図 8 SW が (a) ON の場合と (b) OFF の場合の等価回路

Fig. 8 Equivalent circuits of (a) "ON" and (b) "OFF" SW's.

FOM (Figure of Merit) は,

$$FoM = R_{on} C_{off} \quad (8)$$

と表される。

図 8 に各等価回路を示す。SW が ON している場合、 R_{on} は十分にゲート・ドレイン間容量 C_{gd} 、ゲート・ソース間容量 C_{gs} からなるインピーダンスよりも低いとした場合である。SW が OFF した際の寄生容量の値は、 C_{gs}/C_{gd} と C_{db}/C_{sb} (C_{db} : ドレイン・バルク間容量、 C_{sb} : ソース・バルク間容量) を合計した値となるが、扱う信号周波数が高周波であることから図 8 (b) に示されるように、MOS トランジスタのゲートに直列に挿入される抵抗 R_g とバックゲート (ウェル) と基板間に直列に挿入される R_{bg} の値との大小比較から容量 C_b に対して直列に、 C_{gs}/C_{gd} と C_{db}/C_{sb} を合算した値として接続される。 C_{gs} と C_{gd} は、ほぼ同じ値であり、 R_g が十分に大きい場合 ($R_g \gg 1/\omega C_{gs}$)、 C_{gd} と C_{gs} の合成容量値は約 1/2 となる。 C_{db} 、 C_{sb} も同様である。ちなみに、上記はトリプルウェルタイプのトランジスタの例である [5]。

R_g 、 R_{bg} がともに存在しない (0Ω) 場合も図 8 (b) と基本的に同様な等価回路となるが、(1) ロジック回路から R_g を介して制御信号が伝達する際に SW にノイズが入力される、(2) バルクノードにおいて他のトランジスタのグランド配線と共通となり、いわゆるコモンインピーダンスからのノイズが問題となるという二つの理由から「ノイズを低減する目的」のために十分に R_g 、 R_{bg} を大きい値に設定し挿入している。

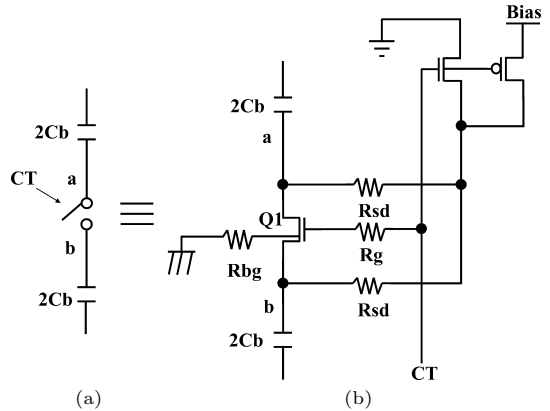


図 9 (a) 理想 SW での回路構成と (b) 提案する SW 回路構成

Fig. 9 (a) Ideal and (b) proposed MOS switch configurations.

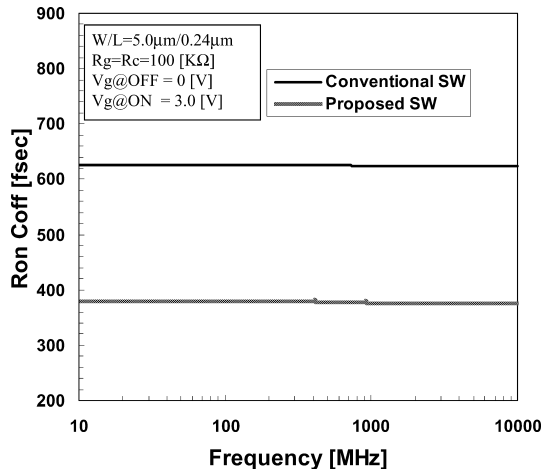


図 10 提案する MOS SW の FoM

Fig. 10 FoM at proposed MOS SW.

図 9 に考案した基本回路構成を示す。先に述べた抵抗 R_g と R_{bg} のほかに、SW の ON 時には、Q1 のドレイン、ソース各ノードをそれらに接続される抵抗 R_{sd} を介してロジックの制御信号 CT によりグランド電位とし、SW が OFF の場合には、 R_{sd} を介してこれらのノードにバイアス電圧 (例えば VCC 等) を供給し、ゲート・ソース及びゲート・ドレイン間電圧を大きくしている。これは、 C_{gd} 、 C_{gs} の電圧依存性をもつ容量であることを利用して、 C_{gd} 、 C_{gs} の影響を小さくするように SW MOS トランジスタの端子間電圧を印加していることを意味する。 C_{off} には、 $C_b \gg C_{gs}$ 、 C_{gd} 、 C_{db} 、 C_{sb} とすると、この SW から

の寄生容量値である $(C_{gd}/C_{gs}) + (C_{db}/C_{sb})$ が図 2 において、すべての SW が OFF の場合、キャパシタアレーの C_o に加算されることになる。

図 10 に、「MOS SW 単体の構成」と「提案する回路構成を使用した場合」との比較について回路シミュレーションを行った結果を示す。各抵抗素子 R_g , R_{bg} , R_{sd} は Poly 抵抗を使用し、寄生素子を考慮している。また、MOS トランジスタ Q1 の寄生素子も考慮している。ただし、MOS SW 自体の性能評価のために Q1 からコンデンサまでの配線抵抗分に関しては理想的なものとした。ゲート比 $W/L = 5 \mu\text{m}/0.24 \mu\text{m}$, $R_g = 100 \text{ k}\Omega$, $R_{bg} = 100 \text{ k}\Omega$ にて、 $626 \rightarrow 380$ [fs] と約 40% 程度 FOM が向上していることが分かる。

4. 実験結果

本研究において、 $0.25 \mu\text{m}$ RF CMOS プロセスを使用し、VCO の出力周波数とその出力周波数レンジの検証を行った。その結果を図 11 に示す。測定方法は図 6 中に示している内蔵の周波数カウンタを使用し、その 16 ビットのデジタルコードを読み取ることで行った。なお、カウンタの測定周波数精度は 15.625 kHz である。寄生容量を含めた計算値と比較して $DSEL + CLO = 192$ 付近で 40 MHz 程度の差はあるが、ほぼ期待通りの結果が得られた。出力周波数は、最大 1012 MHz 、最小 58.8 MHz となった。

図 12 は $DSEL$ が 2 から 3 に切り換わる部分を拡大したものである。8 ビットのコードで表すと 192 から 193 へ切り換わるところで、 36 MHz ほどいったん発振周波数が下がることになるが、これは式 (2) を満

足する結果となっている。

図 13 は各 $DSEL$ 値における CLO コード変化による発振周波数の差分を表している。オートチューニング時にこの値が負となった場合は、そこで自動調整が停止し不良となってしまうため、これは正となる必要がある。実際のレイアウト配線において図 9 の Q1 トランジスタのドレーン、ソースの各ノードと対基板等に寄生容量が付加され、かつそれが C_{step} に対して無視できない場合、図 2 に示すキャパシタアレーの各ステップ変化量にばらつきを生じるため、配線にて細心の注意が必要である。本研究においては、諸条件を満足する結果となった。

図 14 は、 $V_g(\min) = 0.4 \text{ V}$, $V_g(\max) = 1.98 \text{ V}$ として CLO_n , CLO_{n+1} での発振周波数の変化に対

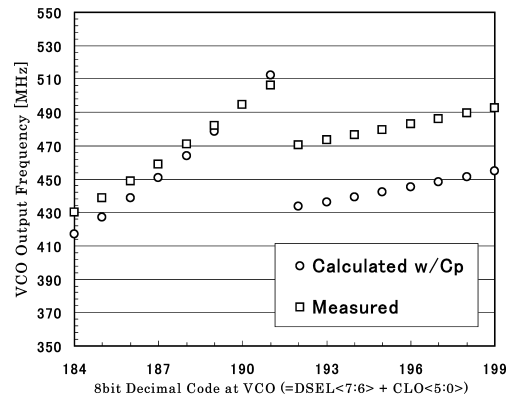


図 12 $DSEL = 2 \rightarrow 3$ となる部分の発振周波数
Fig.12 Oscillation frequency output with setting $DSEL$ to be 2 to 3.

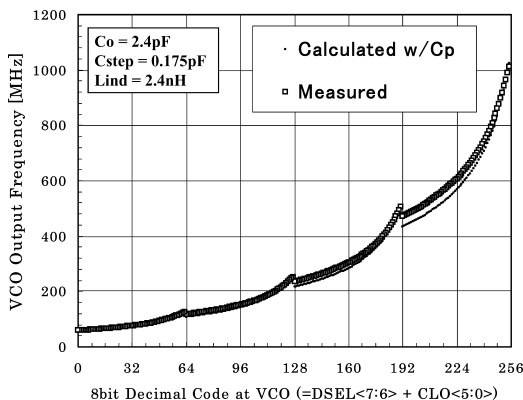


図 11 8 ビット調整コード値と出力周波数の関係
Fig. 11 Measured output frequency versus 8 bit code.

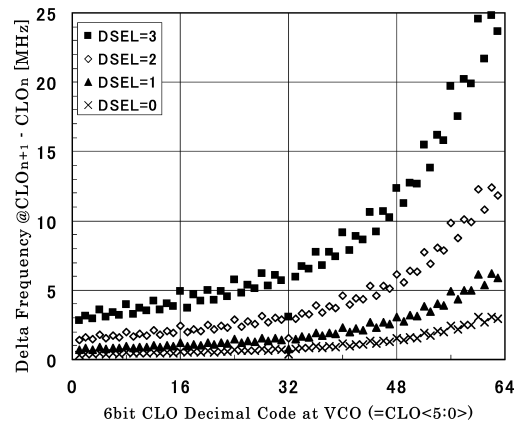


図 13 CLO コード対ビット間の周波数差
Fig.13 CLO code versus frequency change at $CLO_{n+1} - CLO_n$.

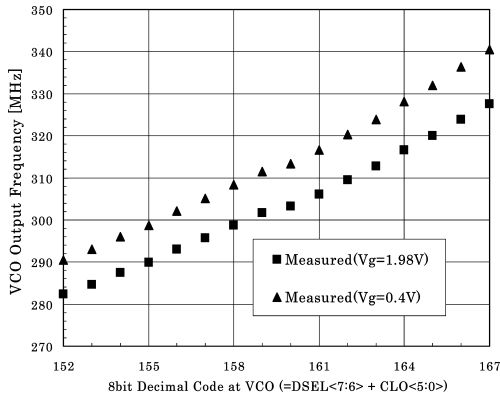


図 14 $V_g(max)$, $V_g(min)$ での VCO 出力周波数変化 ($DSEL = 2$, $CLO = 24$ to 39)

Fig. 14 VCO output frequency at $V_g(min)$ and $V_g(max)$ with sweeping $CLO = 24$ to 39 , $DSEL = 2$.

表 1 $DSEL$ コード対分周比と出力周波数
Table 1 $DSEL$ code, divider ratio and tuning range.

$DSEL$ [decimal]	Divider Ratio	Target Output Frequency [MHz]	Experimental Result [MHz]
3	1/2	384 to 1024	464 to 1012
2	1/4	192 to 512	232 to 506
1	1/8	96 to 256	116 to 253
0	1/16	64 to 128	58.8 to 126.5

表 2 VCO の性能のまとめ
Table 2 Experimental result of VCO performance.

Process Technology	0.25 μm RF CMOS
Supply Voltage	3.0 V
Power Consumption	28~34 mW (w/Bias Gen.)
Occupied Die Area	0.99 mm ² (w/o PLL)
Tuning Range	VCO Part: 940 MHz to 2024 MHz Overall: 58.8 MHz to 1012 MHz
Phase Noise @1 kHz offset (As a reference data)	-90 dBc/Hz (CH1) -80 dBc/Hz (CH13)

して図 5 で述べたような補償ができるかどうかを示す。 $DSEL + CLO = 159$ において差分が 6.69 MHz となっている。表 1 の $DSEL$ コード対分周比より、 $DSEL = 2$ の場合、分周比は 1/4 であるので VCO 本体での発振周波数の差分は 26.76 MHz となる。最大 15% の容量減少を仮定すると、出力周波数は測定値 301.64 MHz より 25.5 MHz 増加することになるが、これは V_g チューニングでの変化 26.76 MHz よりも小さい値を示し、 V_g 電圧による発振周波数補償が可能状況といえる。

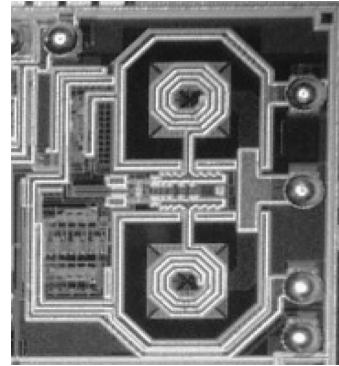


図 15 VCO と分周器チップ写真
Fig. 15 Die photo for VCO and divider blocks.

表 3 VCO のチューニングレンジの比較
Table 3 VCO tuning range comparison.

	Process Technology	Core Power [mW]	Center Freq. [Hz]	Freq. Range [Hz]	Tuning Range [%]
[6]	0.18 μm CMOS	2.6~10 @1.5 V	1.8 G	1.32 G	73
[7]	0.13 μm CMOS	21~38 @1.2 V	3.25 G (VCO only)	1.30 G 1.665 G	40 100
This work	0.25 μm CMOS	18~22 @3.0 V	1.484 G (VCO only)	1.084 G	73
		28~34 @3.0 V	535.4 M	953.2 M	178

設計した VCO の性能を表 2 に示す。ここで、VCO 単体からの出力端子をもたせていないため、位相雑音に関しては PLL ブロックを含めて動作させた RF 入力周波数変換後のミキサの IF 出力（中心周波数 57 MHz）にて測定した参考値である。測定チャンネル CH（周波数）は、VHF バンドで CH1 の 93.14286 MHz、UHF バンドでは CH13 の 473.14286 MHz で、VCO の出力周波数は、それぞれ 150.14286 MHz、530.14286 MHz である。結果として CH1 で -90 dBc/Hz@1 kHz オフセット、CH13 で -80 dBc/Hz@1 kHz オフセットとシステム仕様を満たす良好な値を得た。測定に使用した電源電圧は 3.0 V、消費電力はバイアス、ブロック間のバッファ等すべてを含んだ値で 28~34 mW となった。レイアウト面積は、VCO 本体と分周器を含めた面積で、0.99 mm² となった。図 15 にそのチップ写真を示す。なお、図 15 のチップ写真には含まれないが、周波数オートチューニング機能と PLL 回路も同一チップ上に搭載している。

表 3 に近年の論文で発表されている周波数のチューニングレンジの情報から比較を示す。本研究は、178% のレンジとなり、他のものと比較して広範囲なものとなった。

5. む す び

テレビ受信システムに適した VCO についての回路設計について述べた。分周器と主要な部分であるキャパシタバンクの切替に使用する MOS デバイスからなるスイッチについて提案を行った。本研究では、VCO 単体にコイル 2 個を配置した構成としたが、コイル 1 個で構成される VCO を用いることで更なるレイアウト面積の低減が今後期待される。キャパシタバンクで使用された MOS SW での寄生容量の低減により、1 個の VCO で出力周波数レンジをとり、かつ分周器の組合せで VHF と UHF 帯の両バンドの周波数範囲の出力を実現した。

文 献

- [1] M. Marutani, H. Anbutsu, M. Kondo, N. Shirai, H. Yamazaki, and Y. Watanabe, "An 18 mW 90 to 770 MHz synthesizer with agile auto-tuning for digital TV-tuners," 2006 IEEE International Solid-State Circuits Conference Tech. Digest, pp.681–690, Feb. 2006.
- [2] D. Saias, F. Montaudon, E. Andre, F. Bailleul, M. Bely, P. Busson, S. Dedieu, A. Dezzani, A. Moutard, G. Provins, E. Rouat, J. Roux, G. Wagner, and F. Paillardet, "A 0.12 μm DVB-T tuner," 2005 IEEE International Solid-State Circuits Conference Tech. Digest, pp.430–431, Feb. 2005.
- [3] H. van Rumpt, D. Kasperkovitz, J. van der Tang, and B. Nauta, "UMTV: A single chip TV receiver for PDAs, PCs, and cell phones," 2005 IEEE International Solid-State Circuits Conference Tech. Digest, pp.428–429, Feb. 2005.
- [4] A.B. Williams and F.J. Taylor, Electronic filter design handbook, McGraw-Hill, 2006.
- [5] R.J. Baker, H.W. Li, and D.E. Boyce, CMOS: Circuit Design, Layout and Simulation, IEEE Press, 1998.
- [6] A.D. Berny, A.M. Niknejad, and R.G. Meyer, "A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration," IEEE J. Solid-State Circuits, vol.40, no.4, pp.909–917, April 2005.
- [7] D. Guermandi, P. Tortori, E. Franchi, and A. Gnudi, "A 0.83-2.5-GHz continuously tunable quadrature VCO," IEEE J. Solid-State Circuits, vol.40, no.12, pp.2620–2627, Dec. 2005.

(平成 18 年 11 月 8 日受付, 19 年 2 月 7 日再受付)



鎌田 隆嗣 (正員)

昭 62 武蔵工大・電気卒。同年 (株) 日本モトローラ (当時) 入社。平 11 米国 Motorola Inc. (当時) へ転勤。入社以来、携帯電話関連の RF/IF 集積回路の設計業務に従事。現在、(株) RfStream 開発部部長、シリコン・チューナの研究開発に従事しながら、大阪大学大学院工学研究科博士後期課程在学中。IEEE 会員。



松岡 俊匡 (正員)

平元阪大・工・電子卒。平 3 同大大学院博士前期課程了。平 3 シャープ (株) 入社。平 11 阪大大学院工学研究科電子情報エネルギー工学専攻リサーチ・アソシエイト (日本学術振興会研究員)。平 12 同大大学院工学研究科電子情報エネルギー工学専攻講師。平 16 同大大学院工学研究科電子情報エネルギー工学専攻助教授。CMOS RF 回路の研究に従事。工博。応用物理学会、電気学会、IEEE 各会員。



谷口 研二 (正員)

昭 46 阪大・工・電子卒。昭 48 同大大学院修士課程了。昭 50 東芝 (株) 入社。昭 57 より 1 年間マサチューセッツ工科大学客員研究員。昭 61 阪大工学部電子工学科助教授。平 8 同大大学院工学研究科電子情報エネルギー工学専攻教授。現在まで Si の酸化・拡散プロセス、半導体デバイスの物理、半導体シミュレーション技術、アナログ集積回路の研究に従事。工博。応用物理学会、電気学会、IEEE 各会員。