The University of Osaka
Institutional Knowledge Archive

Title	ワイドバンドテレビチューナIC用イメージ除去フィルタの設計
Author(s)	鎌田, 隆嗣; 松岡, 俊匡; 谷口, 研二
Citation	電子情報通信学会論文誌C. 2010, J93-C(6), p. 195-206
Version Type	VoR
URL	https://hdl.handle.net/11094/51683
rights	copyright©2010 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

論　文

ワイドバンドテレビチューナIC用イメージ除去フィルタの設計

鎌田　隆嗣[†,††]　　松岡　俊匡[†]　　谷口　研二[†]

Design of Image Rejection Filter for Wideband TV Tuner IC

Takatsugu KAMATA[†,††], Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†]

あらまし　0.25 μm RF CMOS プロセスを用い，内部バッファの駆動電流を最適化することにより高 IIP3 を実現したテレビ受信システム IC 用イメージ除去用フィルタ (IMRF) の設計とその測定を行った．IMRF 単体で IIP3 の目標を 137 dBμV とし，チューナ IC 全体の最大ゲイン 37 dB のときに IIP3 が 94 dBμV となった．IQ 位相差の自動調整によりチューナ IC システム全体で 60 dB 以上のイメージ除去を実現した．

キーワード　テレビ受信システム，チューナ，イメージ除去フィルタ，イメージ除去量，RC ポリフェーズフィルタ

1. まえがき

近年アナログ・デジタルテレビ受信用シリコン・チューナ用 IC は，一般に広く知られるようになった．この理由として，(1) 世界的にアナログ放送，デジタル放送システムが共存し，かつデジタル放送に移行している背景，(2) 性能面でディスクリート部品を組み合わせた缶タイプのチューナモジュールと同等以上になってきている，(3) 国内外のメーカからシリコン・チューナ IC として量産化が進んでいる，(4) コスト面で従来のモジュールよりもボード上での IC 単体の搭載もされ安価となってきた，等の理由が挙げられる．背景には，チューナを構成する IC 回路システムの技術的進歩が大きく影響していると考えられる．一般的に知られているテレビ受信システムとしては，RF フィルタ，ミクサ，IF フィルタとイメージ除去用フィルタ (Image Rejection Filter，IMRF) で構成されるシングルコンバージョン方式がある．本論文では，この基本性能の一部を担うイメージ除去フィルタに着目し，アナログ・デジタル用テレビチューナ IC に適した性能向上，特にイメージ除去量 (IMRR) の確保，IIP3 の改善，及びマルチシステム（日本，U.S.，EU 各国）への対応を目的として行った研究で得られた，イメージ除去フィルタ用バッファの高線形化設計手法，及びその線形性とイメージ除去を確実にする製造ばらつき補償技術について述べる．

† 大阪大学大学院工学研究科，吹田市
Graduate School of Engineering, Osaka University, 2–1 Yamadaoka, Suita-shi, 565–0871 Japan
†† (株) RfStream，東京都
RfStream Corporation, Shinagawa-ku, Tokyo, 141–0031 Japan

2. 従来の IMRF 回路構成について

一般的な無線通信システムにおける IMRF 回路に要求される性能は，その周波数帯域と密接な関連性があり，広帯域用と狭帯域用とでは大きく回路構成が異なる．例えば，ISDB-T フルセグメント用受信などにおいては，チャネル (CH) 当り 5.8 MHz の帯域であることから，広帯域用 IMRF としては同等以上の帯域でイメージ周波数を減衰させる必要がある．それに対して，狭帯域システムとしての 1-セグメント受信用 IMRF は，その 1/13 の帯域幅を減衰させればよいことになる．通過帯域での信号レベルのエネルギー量は帯域幅に比例することから，減衰量以外にも希望波をひずみなく伝送させるため，回路内部に使用するバッファやソース・フォロワなどで十分にドライブ電流を確保する必要がある．従来のディスクリート素子を用いたテレビシステム用 IMRF は，ミクサ前段にイメージ周波数をトラップ周波数とする LC ノッチ型フィルタを挿入し，受信周波数に応じて VCO で使用しているコントロール電圧を流用し，バラクタダイオードの C-V 特性により容量を変化させてチューニングしていた．ただしこの場合，コントロール電圧として 30 V 以上の高電圧が必要となり，IC 集積化には不向きで

あった．また，アナログ放送波には，帯域内に映像用周波数，音声用周波数と色信号用の周波数帯が存在するが，そのアナログ放送受信においては，映像周波数のみをイメージ（影像）周波数として，一次のトラップフィルタ 1 段で除去することが一般的であった．この場合，希望 CH 帯域内の映像信号が，イメージ CH にある音声信号用の FM 変調波による影響を受けることがあり，広帯域受信ではあるが，ディスクリート素子でイメージ成分を除去させることには限界があった．

3. イメージ除去フィルタの高線形化設計

3.1 IMRF ブロック構成コンセプト

上記のほか，近年のテレビ受信システムのシリコン化に伴って IC 上でイメージ除去フィルタを実現させている研究がいくつか発表されている [1], [2]．集積化に適した IMRF 回路構成として，抵抗 R と容量 C を用いたポリフェーズ型フィルタが挙げられる．しかしながら，R・C 積のばらつきによるトラップ周波数のずれや，各インフェーズ I 信号，クオード Q 信号パスにおける信号レベル差や位相差によって IMRR が大きく変化することが分かっている．これらの欠点を克服し集積化しやすい利点を生かし，本研究ではこのタイプの IMRF 回路を 2 段縦列構成として使用することとした．デジタル放送受信においては，変調信号のスペクトルは CH 帯域幅全体に広がって存在するため，CH 帯域幅以上の広帯域でイメージ周波数を除去する必要がある．そこで本研究では，各 CH のガードバンドも含めた CH 帯域幅と同じ 6 MHz（日本，U.S.），8 MHz（EU，中国）の周波数幅以上で減衰させることとした．提案する回路ブロックを図 1 に示す．基本的に一次の RC タイプのポリフェーズ型フィルタをシリーズに 2 段構成とし，段間にバッファを挿入している．1 段目と 2 段目それぞれの R・C の積で決定されるトラップ周波数は全帯域（下側コーナ周波数 f_{low}，上側コーナ周波数 f_{up}）を対数スケールで 3 分割するように容量 C を決定している．すなわち，$f_1 = f_{low}^{2/3} f_{up}^{1/3}$，$f_2 = f_{low}^{1/3} f_{up}^{2/3}$ を各々のトラップ周波数となるようにしている．抵抗値は，ばらつきを調整するため抵抗バンク（アレー）として任意の値をとり各段に共通に使用する．

図 2 は，チューナ IC 全体のブロック図の構成例である．RF のフロントエンド部には LC で構成される帯域フィルタが 2 段構成となっており，この RF フィルタで，イメージ周波数（入力周波数 + 2 × IF 周波数）での減衰量を 20 dB（図 3 (a)）以上，ミクサ後の IMRF 部で 40 dB（図 3 (b)）以上を目標とし，全体で 60 dB 以上の減衰量をとることとした．IMRF 部のフィルタ段数を増やし，減衰量を改善する研究 [3], [4] も発表されているが，その場合レイアウト面積増加は

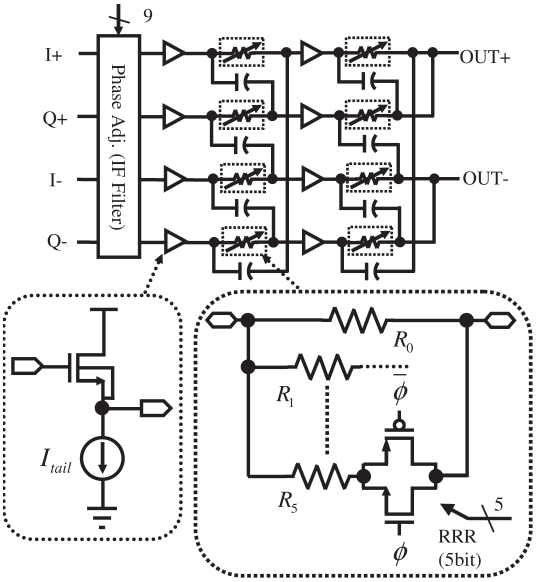


図 1 RC ポリフェーズイメージ除去フィルタ回路
Fig. 1 R-C poly phase image rejection filter.

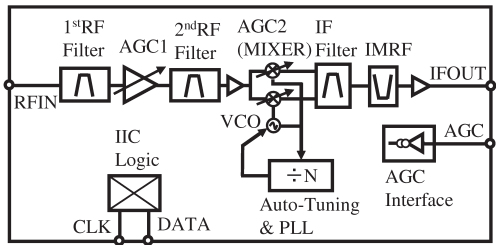


図 2 テレビチューナ IC ブロック図
Fig. 2 Simple block diagram of TV tuner IC.

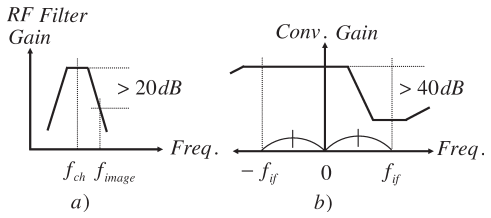


図 3 (a) 1，2 段目 RF フィルタ部と (b) IMRF 部によるイメージ周波数の減衰量
Fig. 3 Attenuation level at (a) 1st/2nd RF filters and (b) IMRF block.

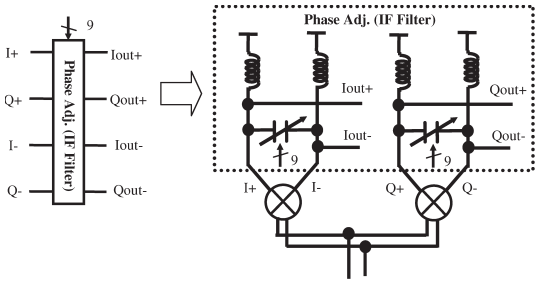


図 4　位相調整機能と IF フィルタ
Fig. 4　IF filter with phase adjustment function.

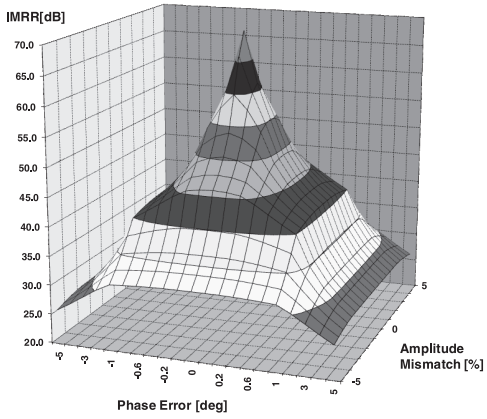


図 5　ハートレー方式による IMRR と IQ ミスマッチ
Fig. 5　Hartley architecture IMRR vs. IQ mismatches.

避けられない．そこで最小限の段数で最大限の減衰量をとる必要がある．ここでは，既にシステムとして必須である IF フィルタ部を意図的に IMRF 回路部の前段に配置し，この IQ パスの IF フィルタで，各々の中心周波数に対して疎調整・微調整 (9 bit) を行うことで，IMRF 部での IMRR 値を 40 dB 以上確保することとした．これは，IF フィルタ用の LC 回路に，ミクサの負荷，キャパシタアレーによる IQ 位相差調整機能の役割をもたせることで，ブロックを共通化させる目的がある（図 4）．これにより，ミクサの出力レンジを大きくとることができ，帯域制限もされるため，後段の IMRF 部での帯域外ひずみ特性への影響が低減できる．IF フィルタの中心周波数を調整するキャパシタ・アレーと位相調整機能も共通化でき，IMRF 部より IF フィルタを後段に配置した場合と比較しても，有利な点が多いと考える．図 5 に，この IQ 信号のレベル差と位相差に対する減衰量の変化を表すグラフをハートレー型の RC ポリフェーズフィルタ [5] を例として挙げた．式 (1) は図 5 のグラフで使用したものである．

$$IMRR = 10\log_{10}\frac{A^2 + 2AB\cos\Delta\theta + B^2}{A^2 - 2AB\cos\Delta\theta + B^2} \quad (1)$$

ここで，A，B はそれぞれ以下の値をとる．

$A = 100$

$B = A + \Delta A$

ΔA : IQ ゲイン差 [%]

$\Delta\theta$: 位相差 [deg]

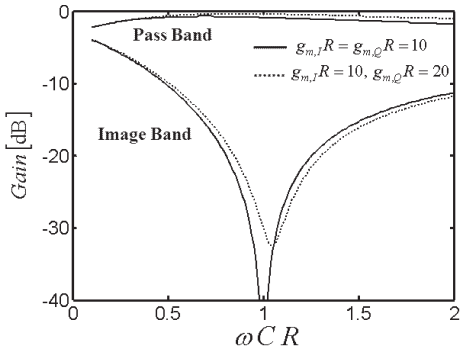
この結果から信号レベル差 ±1%，位相差 ±0.5 度以内とすることで 40 dB 以上の IMRR の確保は可能であることが分かる．

この IMRR の目標値を達成するためには，図 1 のポリフェーズイメージ除去フィルタの 2 段目の出力端子の扱いに注意が必要である．4 出力の中で二つを差動出力として取り出すには，(1) 未使用の差動 1 出力をダミーキャパシタで終端，(2) I 相と Q 相の正相同士，負相同士，出力端子を短絡，という二つの方法がある [3]．ここでは，良好な IMRR の達成のため，パスバンドの利得が 3 dB 低下するもののミスマッチの小さい後者を採用した．付録 **1.** で導出するように，このポリフェーズフィルタの構成では，I 相と Q 相の入力インピーダンス，つまり段間のソース・フォロワ・バッファの駆動する負荷インピーダンス $Z_{L,I}$，$Z_{L,Q}$ が次のように異なる．

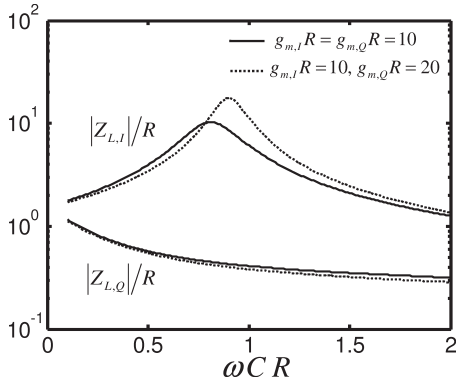
$$Z_{L,I} = \frac{R + r_{out,I} + sCRr_{out,I}}{(1-G)(1+sCR)} \quad (2)$$

$$Z_{L,Q} = \frac{R + r_{out,Q} + sCRr_{out,Q}}{(1+sCR) + jG(1-sCR)} \quad (3)$$

ここで，$r_{out,I}$，$r_{out,Q}$ は各々I 相と Q 相のソース・フォロワ・バッファの出力抵抗，G はポリフェーズフィルタの電圧利得である．なお，$r_{out,I}$，$r_{out,Q}$ が 0 の場合，$\omega = 1/CR$ で $G = 1$ となり，このとき $Z_{L,I} = \infty$，$Z_{L,Q} = (R/4)(1-j)$ となる．これより，両者の差が大きいことが理解できる．図 6 に，バッファ出力抵抗を考慮した 2 段目ポリフェーズフィルタの (a) 電圧利得と (b) 入力インピーダンスを示す．バッファ出力抵抗 $r_{out,Q}$ を通して，I 相バッファの駆動する負荷インピーダンスが変化することが分かる．また，バッファ出力抵抗によって，電圧利得が低下することも分かる．このような I 相と Q 相の負荷インピーダンス $Z_{L,I}$，



(a)



(b)

図 6　バッファ出力抵抗を考慮したポリフェーズイメージ除去フィルタの 2 段目の (a) 電圧利得と (b) 入力インピーダンス

Fig. 6　(a) Voltage gain and (b) input impedances of the second-stage of poly-phase image rejection filter with buffers' output impedances.

$Z_{L,Q}$ の差はソース・フォロワ・バッファ出力のひずみに影響することが考えられる．

3.2　ソース・フォロワのひずみ特性解析

本研究では，ソース・フォロワの IIP3 を定性的に扱うため，ひずみ成分解析用等価回路のアプローチ [6] を用いて付録 **2.** で導出した下記の式を用いる．

$$IIP3 \approx \sqrt{\left|\frac{8\ g_m}{g_m^{(2)}}\right|}\ |1 + g_m Z_L| \tag{4}$$

ここで，g_m，$g_m^{(2)}$，Z_L は各々ソース・フォロワ部の NMOS トランジスタの相互コンダクタンスとその 2 階微分（ドレーン電流の 3 階微分），及び負荷インピーダンスである．なお，ソース・フォロワの出力抵抗 r_{out} は近似的に $1/g_m$ である．

g_m と $g_m^{(2)}$ を解析的に求めるには，強反転飽和領域動作を前提として，次の速度飽和を考慮した NMOS トランジスタ（ゲート長 L，ゲート幅 W）のドレーン電流 I_d の式を用いる [7]〜[9]．

$$I_d = \frac{1}{2}\mu_0 C_{ox}\frac{W}{L}\frac{V_{od}^2}{1+\Theta V_{od}}\frac{1}{1-\lambda V_{ds}} \tag{5}$$

ここで，$V_{od} = V_{gs} - V_{th}$ であり，C_{ox} は単位面積当りのゲート絶縁膜容量，λ はチャネル長変調係数である．また，v_{sat} を飽和キャリヤ速度，μ_0 を低電界でのキャリヤ移動度，θ を移動度劣化のパラメータとして，$\Theta = \mu_0/(2v_{sat}L) + \theta$ である．チャネル長変調効果を無視 ($\lambda = 0$) すると，g_m と $g_m^{(2)}$ は

$$g_m = \frac{1}{2}\mu_0 C_{ox}\frac{W}{L}\frac{V_{od}(2+\Theta V_{od})}{(1+\Theta V_{od})^2} \tag{6}$$

$$g_m^{(2)} = -3\mu_0 C_{ox}\frac{W}{L}\frac{\Theta}{(1+\Theta V_{od})^4} \tag{7}$$

となる．これより，式 (4) の右辺の第 1 因子 $\sqrt{|8g_m/g_m^{(2)}|}$ は

$$\sqrt{\left|\frac{8\ g_m}{g_m^{(2)}}\right|} = \sqrt{\frac{4}{3}\frac{V_{od}}{\Theta}(2+\Theta V_{od})(1+\Theta V_{od})^2} \tag{8}$$

となる．これより，強反転飽和領域動作では，V_{od} が大きいほど，線形性が良くなることが分かる．なお，式 (7) によると $g_m^{(2)}$ は負となるが，弱反転領域では正となり，これを用いた回路設計技術も提案されている [10]．しかし，本論文では強反転領域のみを扱い，これを対象外とする．

式 (4) の右辺の第 2 因子 $|1 + g_m Z_L|$ に着目して，イメージ除去フィルタの段間ソース・フォロワのひずみを考えると，$Z_{L,I}$ と $Z_{L,Q}$ の中で小さくなる傾向がある $Z_{L,Q}$ がイメージ除去フィルタ全体のひずみに大きく影響することが考えられる．

図 7 に，$r_{out,I} = 1/g_{m,I}$，$r_{out,Q} = 1/g_{m,Q}$ として，$|1 + g_{m,I}Z_{L,I}|$ と $|1 + g_{m,Q}Z_{L,Q}|$ を計算した結果を示す．$g_{m,Q}$ を $g_{m,I}$ の 2 倍にすることで，$g_{m,Q}$ と $g_{m,I}$ が同一の場合に比べて，Q 相バッファでのひずみが改善することが分かる．なお，図 6 に示すように，$g_{m,Q}$ と $g_{m,I}$ が異なることで，IMRR が最大となる周波数が変動することに注意する必要がある．

3.3　イメージ除去フィルタのひずみ特性の改善

テレビ受信用 IC として IMRF 部は，前述のようにイメージ周波数に対して IMRR を十分に確保する必要があるのに加えて，希望波信号に対してはひずみ特性・ノイズ性能を考慮する必要がある．このブロック

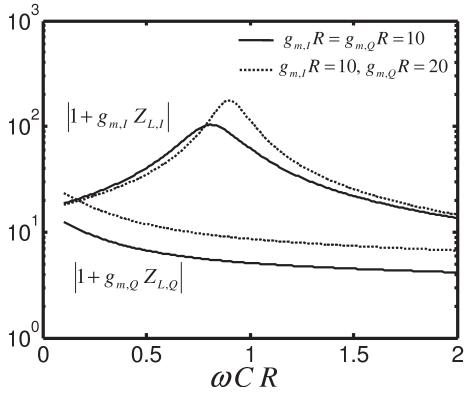


図 7　段間バッファの $|1+g_{m,I}Z_{L,I}|$ と $|1+g_{m,Q}Z_{L,Q}|$ の計算結果

Fig. 7　Calculated results of $|1+g_{m,I}Z_{L,I}|$ and $|1+g_{m,Q}Z_{L,Q}|$ in inter-stage buffers.

はシステムとして後段部に配置されているため，ノイズ性能に関しては全体システムとしては無視できると考えられるが，ひずみ特性に関しては，ブロックの入出力レンジが全体の特性に大きく影響を与えることになる．本研究では，IIP3 で表されるひずみ特性を，(1) バイアス電流の最適化，(2) 抵抗バンクでの MOS スイッチ (SW) の抵抗値，(3) キャパシタの接続方法，により改善を試みることとした．以下では，0.25 μm RF CMOS プロセスを用いた IMRF の設計について述べる．

図 1 に示す回路構成において RC フィルタの入力に位置するバッファは，負荷インピーダンスが異なるため駆動能力を最適化することが必要になる．各バッファには，トリプルウエルタイプの NMOS トランジスタを用い，出力インピーダンスを小さくするためバルクとソース間を短絡して使用する．また，すべてのトランジスタサイズは同一であり，駆動電流のみ異なる構成とした．これにより，四つの段間バッファの入力容量の差違を小さくし，1 段目のイメージ除去の劣化を防いでいる．バッファの出力インピーダンスは，パスバンドにおけるピークゲインに影響するためできるだけ小さくする必要がある．ここでの W/L サイズ比は 240 μm/0.24 μm と十分に大きくしている．

前述のようにひずみ低減のため Q 相バッファの電流駆動力を I 相のものより高く設定する必要があるが，図 6 (a) に示したように，電流駆動力の差異によりイメージ除去の周波数特性が変動し，図 4 に示した位相調整機能の調整範囲にも影響を与えることになる．

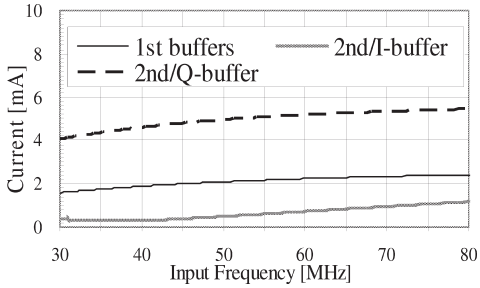
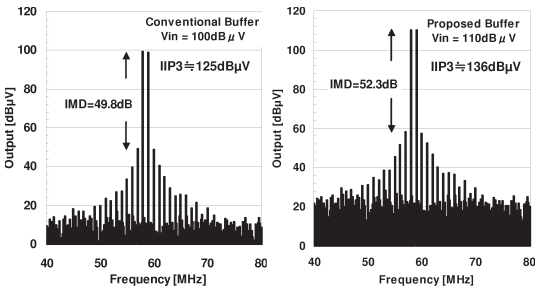


図 8　入力周波数対 AC 電流

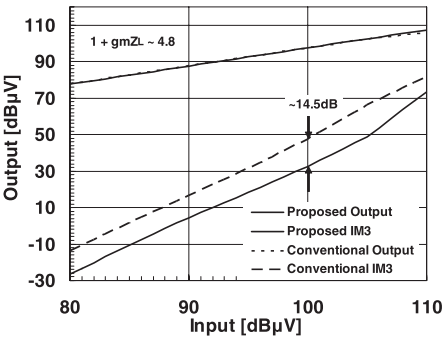
Fig. 8　Input frequency vs. AC current.

そこで，$g_{m,Q}/g_{m,I}$ 比の 2 程度を目標として，日本向けデジタル受信の場合の中間周波数 57 MHz で最適化を行った．ソース・フォロワの出力インピーダンス $r_{out,I}$，$r_{out,Q}$ が同一の有限値をとると仮定した場合，式 (2)，(3) より，負荷インピーダンス $Z_{L,I}$，$Z_{L,Q}$ の比が $\omega = 1/CR$ で $1+G : 1-G$ となり，ポリフェーズフィルタの電圧利得 $G(<1)$ から簡易的に求められるが，I 相と Q 相のバッファ電流の比は，I 相と Q 相の出力電圧を同程度にするために負荷インピーダンスの比の逆数としたものに相当する．ここでは，$G = 0.7$ 程度（〜3 dB のゲインロス）を許容し，電流比を決定した．図 8 は，各 IQ パスにおけるバッファに必要な駆動電流を，寄生素子を含めた回路シミュレーションにより検証したものである．四つのバッファの駆動電流を 3 mA として，小信号解析にて AC 電圧 1 V が入力されたとして各バッファにて必要な AC 電流を表している．2 段目のバッファにおいて I 相と Q 相で 5〜10 倍程度の駆動電流の違いが現れていることが分かる．本研究では，図中の中間周波数 57 MHz での AC 電流に着目し，かつ前述の周波数特性変動とゲインロスを考慮し，このシミュレーション結果をもとに，初段バッファで 2 mA に対して，段間の I 相，Q 相用バッファで各々1 mA，5 mA と設定した．このとき，$g_{m,Q}/g_{m,I} \approx \sqrt{5}(\approx 2.23)$，$G = 0.67$ であり，図 7 で示したようなひずみ低減効果が期待できる．

次に，抵抗バンク内の MOSSW の非線形性によるひずみの影響について，NMOS，PMOS トランジスタを並列接続したトランスファーゲートの構成とすることでソース，ドレーン電圧変化によるインピーダンス変化を最小にできることに加え，設計指標として SW の抵抗値を全体の抵抗値の 5%以下とし，SW から発生するひずみ成分を十分小さくし無視できるようにした．キャパシタの接続においては，基板に対する



(a)



(b)

図 9　IMD 値の比較 (a) IMRF (b) ソース・フォロワ
Fig. 9　Simulated IMD comparisons (a) two IMRF's (b) two source follower's.

寄生容量が小さい MIM タイプのコンデンサを使用しているが，完全には無視できない．バッファの出力から直接この寄生容量のパスが存在する場合，容量負荷として直接駆動されひずみ特性が劣化することになる．図 1 で示すように寄生容量が存在するノード（ボトムプレート）はバッファの出力に対して反対側に位置するように接続することとした．

上記改善項目を含め，仮に 2 段目のバッファ4 箇所の駆動電流を同一の 3 mA として設定し回路シミュレーションにて過渡解析を行い，先の配分された場合とのひずみ特性を比較すると図 9 (a) のようになる．いずれも 2 段目のみでの合計の電流値は 12 mA と同じ消費電力とした．ここで，中心周波数近傍の 2 周波信号（58 MHz と 59 MHz）を加え，初段入力レベルには出力の信号周波数成分とひずみ成分が入力レベルの変化に対して dB 換算の 1 : 3 で変化するよう，従来の回路では 100 dBμV，提案回路では 110 dBμV とした．各々の出力では，200 kHz の解像度で定常状態となった後 FFT 演算を行い解析した．この場合，ひずみ成分は 57 MHz と 60 MHz に現れる．ポリフェーズフィルタの R の定数は，$R \fallingdotseq 360\,\Omega$ である．検証結果として希望波と三次ひずみ成分との差分である IMD (Intermodulation Distortion) 値は，ともに約 50 dB 前後で，IMD 値から換算した IIP3 は 125 dBμV から 136 dBμV と 11 dB の改善となり，全体のシステムに影響を与えないひずみ特性となることが期待される．なお，図 9 (a) から求められた IIP3 の差違は，使用したプロセスパラメータである $\Theta(= 2.68)$，式 (3)，(4)，(8) をもとに計算すると，$|1 + g_{m,Q} Z_{L,Q}|$ の向上によるものが約 3.5 dB，駆動電流の配分による Q 相バッファのゲート・オーバドライブ電圧 (V_{od}) の変化（0.1 V 増加）による寄与が約 4.0 dB で，計約 7.5 dB となる．これは，シミュレーション結果の 11 dB 差に対し 4.5 dB ほど異なることとなるが，ここで用いた簡易解析モデルでも IIP3 の改善する傾向を定性的によく説明できている．計算結果とシミュレーション結果との差を確認するため，ソース・フォロワ単体でのひずみ特性を，$|1 + g_{m,Q} Z_{L,Q}|$ の値を同等にすることで，V_{od} のみによる改善度を表したシミュレーション結果を図 9 (b) に示す．この結果から V_{od} の差による IIP3 の改善度は，IMD 差の 1/2 である約 7.25 dB となり，V_{od} の変化による改善度についてはシミュレーション結果を用いることで，図 9 (a) で得られた改善度とほぼ一致する (7.25 dB + 3.5 dB = 10.75 dB) ことになる．

4. 製造ばらつき補償技術

前述の IMRF の線形性とイメージ除去を確実なものとするには，製造ばらつきを補償する技術が不可欠である．ここでは，IMRF の抵抗バンクを用いて RC 積をチューニングし，その抵抗変化によって IMRF の段間バッファの負荷が変化することによる線形性の変化をバッファ駆動電流で補償する方法を提案する．

4.1 抵抗 R のばらつきに連動したバイアス回路

図 1 の IMRF で使用する抵抗バンクは，抵抗 R 自身のばらつきと容量 C のばらつきを調整し，常に R・C の積が一定となるように R の値が調整される．ここで，ひずみ特性で決められる各段のバッファの出力電圧振幅の上限を R の変動に影響しないようにすることで，最適なひずみ特性が得られると予想される．これを実現するには，バッファの電流駆動能力を決定する電流源をこの R に応じて変化させる必要がある．ただし，容量変化による抵抗バンクの抵抗 R の変化はここでは電流値そのものに容量のばらつき分に相当す

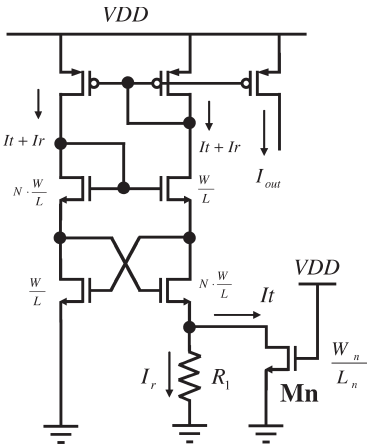


図 10　提案するバイアス基本回路構成
Fig. 10　Proposed bias circuit principal.

る約 15%増加させたマージンをもたせることで対応することとした．

図 10 に，提案するバイアス回路の基本構成を示す（なお，回路図中，スタートアップ回路，補正回路は省略してある）．目標とする電流源の特性として，抵抗値 R_1 に反比例した DC 特性をもち，寄生素子ダイオードを使用するバンドギャップ回路の構成とせず MOS トランジスタの特性の影響を受けにくい回路で構成することとした．トランジスタ Mn は線形領域で動作しており，NMOS トランジスタのトランスコンダクタンスパラメータ K_n に依存した抵抗として扱う．このほかの MOS トランジスタはすべて飽和領域で動作している．

NMOS トランジスタ Mn のゲートを電源電圧 V_{DD} に接続しているため，そのゲート・ソース間電圧 V_{gs} は以下で近似する．

$$V_{gs} - V_{th} \approx V_{DD} \tag{9}$$

このとき，線形領域で動作する NMOS トランジスタ Mn の抵抗 R_{on} は

$$R_{on} \approx \frac{L_n}{K_n W_n V_{DD}} \tag{10}$$

となる．このとき，図 10 に示す I_r，I_t，I_{out} は下記で近似できる．

$$I_r \approx \frac{4k^2}{K_n} \frac{1 + R_1/R_{on}}{R_1^2} \tag{11}$$

$$I_t \approx \frac{4k^2}{K_n} \frac{1 + R_1/R_{on}}{R_1 R_{on}} \tag{12}$$

$$\begin{aligned} I_{out} &= I_r + I_t \\ &\approx \frac{4k^2}{K_n} \frac{(R_1 + R_{on})(1 + R_1/R_{on})}{R_1^2 R_{on}} \end{aligned} \tag{13}$$

ここで定数 k は，式 (14) で表される．

$$k = \sqrt{\frac{2L}{W}} \left(1 - \frac{1}{\sqrt{N}}\right) \tag{14}$$

図 1 の IMRF で R の変動によりひずみ特性が劣化しないようにするため，各段のバッファの出力電圧振幅の上限の R の変動に対する影響を小さくする．バッファの出力電圧振幅の上限はバイアス電流と抵抗 R の積にほぼ比例すると考えられる．ここで，バッファの電流駆動力を決めるバイアス電流としては図 10 のバイアス回路の出力電流 I_{out} を用い，バイアス回路と抵抗バンクで同一種類の抵抗を使用することで，I_{out} が抵抗 R と対応する R_1 にほぼ反比例するようにバイアス回路を設計する．式 (10)，(13) より，

$$\begin{aligned} I_{out} R_1 &\approx \frac{4k^2}{K_n} \left(\frac{R_1}{R_{on}^2} + \frac{1}{R_1} + \frac{2}{R_{on}} \right) \\ &\leq \frac{4k^2}{K_n} \frac{4}{R_{on}} = \frac{16k^2 W_n V_{DD}}{L_n} \end{aligned} \tag{15}$$

ここで，等号は $R_{on} = R_1$ の場合である．これより，$R_{on} = R_1$ となるように NMOS トランジスタ Mn のサイズ W_n/L_n を設定することにより，

$$I_{out} \approx \frac{16k^2 W_n V_{DD}}{L_n R_1} \tag{16}$$

となる．上式は，出力電流の K_n に対する依存性がかなり低減することも意味している．

4.2　周波数オートチューニング機能

図 11 に発振回路 (IMAGE OSC) のブロック図を示す．これは，IMRF 回路で使用している同一の抵抗バンクとかつ同一のユニット化された MIM コンデンサを用い RC–CR フィルタを縦続接続し正帰還を掛けることで発振器としている．段間には発振レベルを所望のレベルより超えないようにする自動レベル制御増幅回路 (ALC) と帰還ゲインを 3〜6 dB 以上とするためリミッタ増幅回路 (LIM) を挿入し，信号ひずみの発生により出力周波数が大きくずれないようにし，かつ発振条件を満たすような構成とした．ALC 回路を図 11 (b) に，LIM 回路を図 11 (c) にそれぞれ示す．Buffer1，Buffer2 回路は，図 1 に示すバッファと同様なソース・フォロワを使用した．ALC，LIM，Buffer 回路においては，十分に周波数特性を広げ発振周波数

近傍での入出力間の位相差が最小限となるように設計を行う必要がある．ここで，RRR コードの 1 ステップは 1.53 MHz としているため ±1 のコードばらつきを許容範囲とした．これらブロックでの消費電力は増加するが，RRR コードを設定するチューニング時のみのおよそ 6 ms 以下の動作時間としたため，全体システムにおける消費電力に対しての影響は微少である．

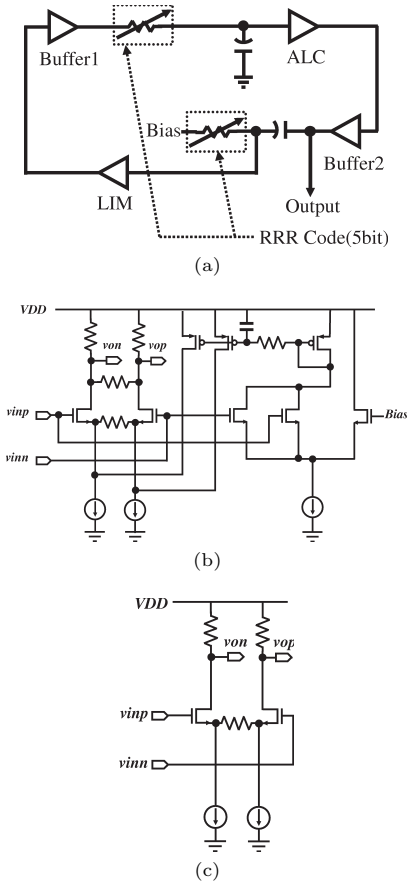


図 11　(a) イメージ除去フィルタブロック用発振回路とそれに用いた (b) ALC 回路と (c) LIM 回路
Fig. 11　(a) Image oscillator tuning block, and (b) its ALC and (c) LIM circuits.

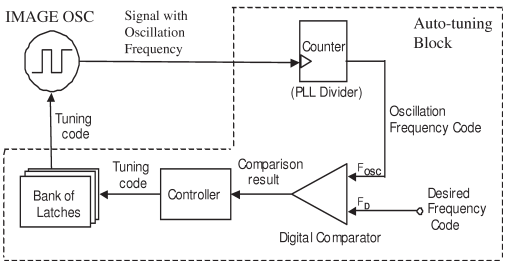


図 12　IMAGE OSC のオートチューニング機能
Fig. 12　IMAGE OSC auto-tuning block diagram.

本研究では，PLL の分周器をカウンタとして利用し，そこから測定される IMAGE OSC 回路からの出力周波数のディジタルコードと，設定された IF 周波数に相当するディジタルコードと比較し，近傍の値となるまで RRR コード (5 bit) を変化させチューニングする機能ブロックを採用し，同一 IC チップ上に配置した [11]．この機能を動作させるのは，チューニング時のみとし CH 設定後に行うこととした．その機能ブロックを図 12 に示す．構成として，16 ビットの分周器を兼ねたカウンタを備え，コード値を保つラッチ回路，ディジタルコード値を比較するためのディジタルコンパレータから構成される．内部にはこれを制御するための 1 MHz のシステムクロックを別に設け，RRR 値の MSB から LSB へ変化させ出力周波数の大小を比較し 5 bit コードを決定する．

発振器の出力周波数範囲は，抵抗とコンデンサのばらつきを吸収するべく −28%から +32%までの調整範囲をもつように設計を行った．また，各国の IF 周波数（日本 57 MHz，U.S. 44 MHz，EU 36.125 MHz）をロジックで切り換える機能も備えることとした．

5. 実験結果

0.25 μm RF CMOS プロセスを使用し設計を行い本研究における検証を行った．レイアウト面積は，両者ブロックとバイアス回路を含めた面積で，0.48 mm^2 となった．図 13 にそのチップ写真を示す．測定は，IC サンプルを 52 ピンの QFN パッケージで組み立て後，評価ボードに実装し常温にて行った．測定に使用した

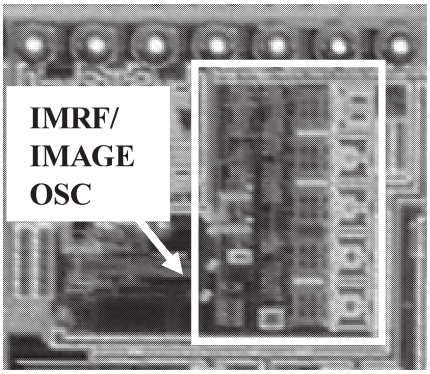


図 13　チップ写真
Fig. 13　Chip photo.

表 1　ゲイン・ひずみ特性・イメージ減衰量設計目標値概略
Table 1　Simplifed gain/IIP3/IMRR design target.

	Gain	IIP3	IMRR
1st/2nd RF Filters /AGC1	15 dB (w/Adj.)	100 dBμV	>20 dB
AGC2	20 dB (Max.)	105 dBμV	- -
IF Filter	0 dB	123 dBμV	-
IMRF	3 dB	137 dBμV	>40 dB
Overall	38 dB	95 dBμV	>60 dB

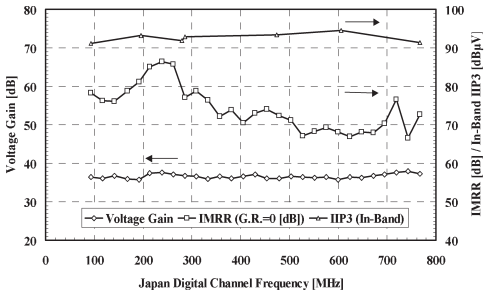


図 14　ゲイン・IMRR・IIP3 測定結果
Fig. 14　Voltage gain/IMRR/IIP3 measured data.

電源電圧は 3.3 V，消費電力はバイアス回路を含んだ値であり 67 mW となった．消費電力の内訳としては，IMRF 部で 66 mW，バイアス回路で 1 mW となっている．IMGOSC 部は 68 mW であるが，チューニング時のわずか 6 ms 以下での動作のため，消費電力には含めていない．

表 1 に，参考までに各ブロックにおける，ゲイン・ひずみ特性・イメージ減衰量に関する設計目標値と全体目標値を示す．チューナ IC 全体での IMRR，ゲイン，IIP3 の測定結果を図 14 に示す．CH 周波数は，日本向けデジタル放送用周波数の 93.14286 MHz から 767.14286 MHz で，RFIN から信号源にて入力し IFOUT にて IF 出力 (57 MHz) を確認した．IMRR 値は最大ゲイン 37 dB のときで，目標である 60 dB 以上となった．IIP3 は 94 dBμV，ゆえに P1dB は約 85 μV となり，最大ゲインから 1 dB を引いた 36 dB を加算すると，計算上出力振幅レベルは約 121 dBμV 相当であり，電源電圧 3.3 V とほぼ同等の振幅レベルであることが分かる．これらはほぼ当初の目標値を満たす結果となった．なお，各周波数での測定は CH 設定後，自動調整機能を動作させている．図 15 は，図 14 で使用したのとは異なる別サンプルにて測定した IF 出力での IMRR の周波数特性である．測定に使用した CH 数は VHF/UHF 帯合わせて 5ch である．

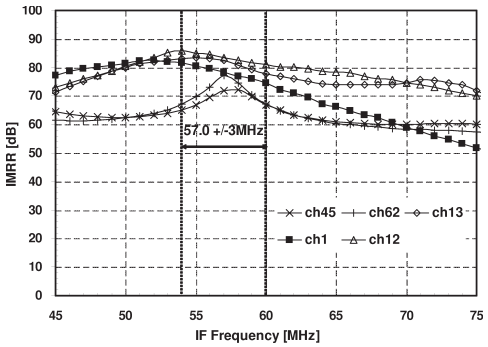


図 15　IMRR 周波数特性
Fig. 15　IMRR frequency response.

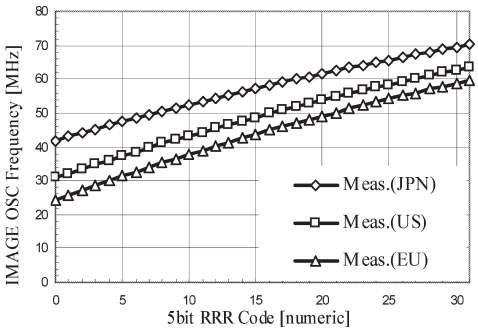


図 16　IMAGE OSC RRR コード対発振周波数
Fig. 16　Measured IMAGE OSC tuning range.

CH 帯域幅である 6 MHz で 60 dB 以上の結果が得られた．

図 16 に，IMAGE OSC 回路の出力周波数の RRR コードに対するグラフを示す．2 bit の切換にて各国別の IF 周波数に対応したそれぞれの中心周波数で測定を行った．測定方法は図 12 に示している同一 IC 上にある周波数カウンタを使用し，その 16 ビットのディジタルコードのレジスタを読み取ることで行った．なお，カウンタの測定周波数精度は 15.625 kHz である．ここで，JPN モードの周波数レンジに関して計算上の値と実際の測定結果からレンジとして 9%ほど減少する結果となった．これは約 5 MHz のずれに相当するが，しかしながら減衰量としては図 15 からも分かるように中心周波数から ±3 MHz において十分な IMRR の値をとり，また減衰量としての帯域幅をもっているため許容範囲内であると判断している．

設計した IMRF 部と IMAGEOSC 部の性能を表 2 にまとめる．表 3 で他の研究発表とのイメージ除去フィルタブロックの特性比較を行った．2 段構成の回

表 2　IMRF/IMAGE OSC 部特性まとめ
Table 2　IMRF/IMAGE OSC block summary.

Process Technology	0.25 μm RF CMOS
Power Consumption	67 mW @ 3.3 V (w/o IMAGEOSC)
Occupied Die Area	0.48 mm^2 (w/o PLL)
Tuning Range @IMAGE OSC	JPN Mode: 41.9 to 71.1 [MHz] US Mode: 30.9 to 63.5 [MHz] EU Mode: 24.3 to 59.5 [MHz]
IMRR @IFOUT = 54 MHz	Overall: 66.6 to 86.3 [dB] (93 to 767 MHz at RFIN)
IMRR Bandwidth @fc = 57 MHz	>6 MHz

表 3　イメージ除去フィルタの比較
Table 3　Image rejection filter comparison.

	[3]	[4]	This work
Process Technology	0.6 μm	0.25 μm	0.25 μm
Power Supply	3.3 V	2.5 V	3.3 V
Power Consumption	62.7 mW	11 mW	67 mW
Number of stage	5	4	2
Die Area	2.72 mm^2	0.945 mm^2	0.48 mm^2
Total IMRR	60 dB	48 dB	>40 dB Overall: 66.3–86.3 dB
Passband Gain	−1 dB	6.6 dB	3 dB(Cal.)
IIP3	+15 dBm (100 Ω)	+8 dBm (50 Ω)	+30 dBm75 Ω (Cal.) Overall: −13 dBm75 Ω

路でありながら，1 段当りの減衰量は 20 dB 以上であり，他の 1 段当り 12 dB を上回る結果となった．なお，**2.** でも述べたが，IMRF 回路に要求される性能はその周波数帯域と密接な関連性があり，広帯域用と狭帯域用とでは異なる．本論文では，広帯域で希望波をひずみなく伝送させるため，回路内部に使用するソース・フォロワなどで十分なドライブ電流を確保する必要があり，文献 [4] などと比較して消費電力が大きくなっている．また，表 3 には参考として IIP3 も記載しているが，狭帯域向けの回路よりも線形性が要求される本研究の位置付けによるところが大きく，公平な比較ではないことは注意したい．

6. む す び

本研究において，デジタル・アナログテレビ受信システム用のチューナ IC に適したイメージ除去フィルタを 0.25 μm RF CMOS プロセスを用いて実現した．内部で使用するバッファの駆動電流を最適化しひずみ特性の改善を施し，最大ゲイン 37 dB のときに，IIP3 は 94 dBμV となった．また，自動調整機能をシステムに付加し，位相調整を施すことで，IMRR は，RF フロントエンド部を含めた全体システムで，要求される 60 dB 以上の減衰量を達成した．バイアス回路においては，従来のバンドギャップ回路を用いず CMOS プロセスにおいて寄生ダイオードを使用しないことでバイアス回路の面積の低減と安定性を得ることができた．

文　　献

[1] D. Saias, F. Montaudon, E. Andre, F. Bailleul, M. Bely, P. Busson, S. Dedieu, A. Dezzani, A. Moutard, G. Provins, E. Rouat, J. Roux, G. Wagner, and F. Paillardet, “A 0.12 μm CMOS DVB-T tuner,” 2005 IEEE International Solid-State Circuits Conference Tech. Digest, pp.430–431, Feb. 2005.

[2] H. van Rumpt, D. Kasperkovitz, J. van der Tang, and B. Nauta, “UMTV: A single chip TV receiver for PDAs, PCs, and cell phones,” 2005 IEEE International Solid-State Circuits Conference Tech. Digest, pp.428–429, Feb. 2005.

[3] F. Behbahani, Y. Kishigami, J. Leete, and A.A. Abidi, “CMOS mixers and polyphase filters for large image rejection,” IEEE J. Solid-State Circuits, vol.36, no.6, pp.873–887, June 2001.

[4] C.-Y. Chou and C.-Y. Wu, “The design of wideband and low-power CMOS active polyphase filter and its application in RF double-quardrature receivers,” IEEE Trans. Circuit Syst. I, vol.52, pp.825–833, May 2005.

[5] A. Pärssimen, Direct Conversion Receivers in Wide-Band Systems, Kluwer Academic Publishers, 2001.

[6] R.H. Caverly and G. Hiller, “Distortion in p-i-n diode control circuits,” IEEE Trans. Microw. Teory Tech., vol.MTT-35, no.5, pp.492–501, May 1987.

[7] M.T. Terrovitis and R.G. Meyer, “Intermodulation distortion in current-commutating CMOS mixers,” IEEE J. Solid-State Circuits, vol.35, no.10, pp.1461–1473, Oct. 2000.

[8] 木原崇雄，金　奎哲，清水由幸，村上豊生，上田啓介，後藤　克，松岡俊匡，谷口研二，“雑音と線形性を考慮した CMOS 低雑音増幅器の設計手法に関する検討，” 信学論（C），vol.J89-C, no.2, pp.72–75, Feb. 2006.

[9] W. Huang and E. Sanchez-Sinencio, “Robust highly linear high-frequency CMOS OTA with IM3 below 70 dB at 26 MHz,” IEEE Trans. Circuits Syst. I, vol.53, no.7, pp.1433–1447, July 2006.

[10] V. Aparin and L.E. Larson, “Modified derivative superposition method for linearizing FET low-noise amplifiers,” IEEE Trans. Microw. Theory Tech., vol.53, no.2, pp.571–581, Feb. 2005.

[11] 鎌田隆嗣，松岡俊匡，谷口研二，“テレビ受信システム用

ワイドバンドチューニング VCO の設計,” 信学論（C），vol.J90-C, no.9, pp.634–641, Sept. 2007.

付　　録

1. バッファの出力抵抗を考慮した 2 段目のポリフェーズフィルタの解析

図 1 の 2 段目のポリフェーズフィルタ回路にて，I 側，Q 側の入力電圧をそれぞれ，$\pm V_{in}$，$\pm jV_{in}$，出力電圧を $\pm V_{out}$ とする．I 側，Q 側のソース・フォロワ・バッファの出力抵抗を各々$r_{out,I}$，$r_{out,Q}$ とすると，図 A·1 (a) に示す回路図となる．図 A·1 (b) は，これを解析しやすいように変形したものであり，次式の回路方程式が得られる．

$$\frac{V_{out}-U}{R}+sC(V_{out}+U) = \frac{V_{in}-V_{out}}{r_{out,I}+R/(1+sCR)} \tag{A·1}$$

$$\frac{U-V_{out}}{R}+sC(V_{out}+U) = \frac{jV_{in}-U}{r_{out,Q}} \tag{A·2}$$

これより，利得 G は

$$G=\frac{V_{out}}{V_{in}}=\frac{N_G}{D_G} \tag{A·3}$$

$$\begin{aligned} D_G &= 4sCr_{out,Q}(R+r_{out,I}+sCRr_{out,I}) \\ &\quad +(1+sCR)\{2R+r_{out,I}+r_{out,Q} \\ &\quad +sCR(r_{out,I}+r_{out,Q})\} \end{aligned} \tag{A·4}$$

$$\begin{aligned} N_G &= (1+sCR)^2 r_{out,Q}+R(1+sCR) \\ &\quad +j(1-sCR)(R+r_{out,I}+sCRr_{out,I}) \end{aligned} \tag{A·5}$$

となる．また，式 (A·2)，(A·3) より，図 A·1 (b) の電圧 U は

$$U=\frac{jR+G(1-sCR)r_{out,Q}}{R+(1+sCR)r_{out,Q}}V_{in} \tag{A·6}$$

と表される．これらより，ポリフェーズフィルタの入力インピーダンス，つまりソース・フォロワ・バッファが駆動する負荷インピーダンス $Z_{L,I}$，$Z_{L,Q}$ は

$$\begin{aligned} Z_{L,I} &= \frac{V_{in}}{(V_{in}-V_{out})/\{r_{out,I}+R/(1+sCR)\}} \\ &= \frac{R+r_{out,I}+sCRr_{out,I}}{(1-G)(1+sCR)} \end{aligned} \tag{A·7}$$

$$Z_{L,Q}=\frac{jV_{in}}{(jV_{in}-U)/r_{out,Q}}$$

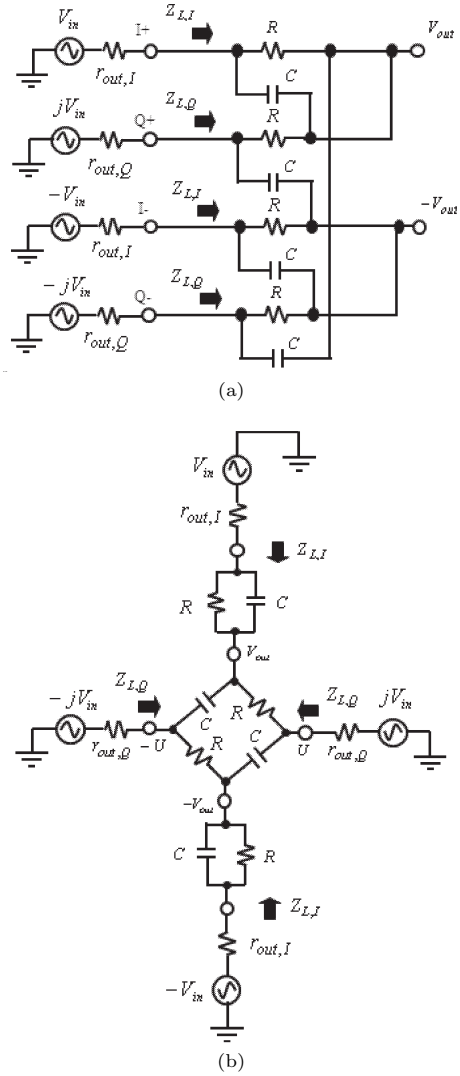


図 A·1　(a) バッファの出力抵抗を考慮した 2 段目のポリフェーズフィルタの回路と (b) その解析用回路図

Fig. A·1　(a) Second polyphase filter with buffers' output resistances, and (b) its schematic for circuit analysis.

$$=\frac{R+r_{out,Q}+sCRr_{out,Q}}{(1+sCR)+jG(1-sCR)} \tag{A·8}$$

と求められる．

2. ソース・フォロワ・バッファの IIP3 の導出

図 A·2 (a) に示すソース・フォロワ・バッファのひずみ成分を解析する．ここで，負荷インピーダンス Z_L は DC で無限大であり，DC バイアスと交流小信号特性を分離できる．図 A·2 (b) に，ひずみ成分解析用小信号等価回路を示す．ここで，g_m，$g_m^{(i)}$ は各々ソース・

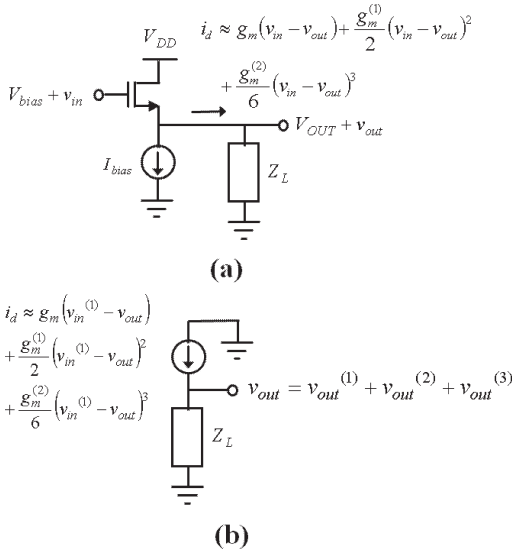


図 A·2 (a) ソース・フォロワ・バッファと (b) そのひずみ成分解析用小信号等価回路

Fig. A·2 (a) Source follower buffer and (b) its distortion small-signal equivalent circuit.

フォロワ部の NMOS トランジスタの相互コンダクタンスとその i 階微分である．図 A·2 (b) より，次式が成立する．

$$Z_L i_d = v_{out} \tag{A·9}$$

一次の項に着目すると，

$$g_m(v_{in}-v_{out}^{(1)})Z_L = v_{out}^{(1)} \tag{A·10}$$

となり，これより

$$v_{out}^{(1)} = \alpha_1\ v_{in} = \frac{g_m Z_L}{1+g_m Z_L} v_{in} \tag{A·11}$$

となる．二次の項については，希望信号の周波数とは大きく離れた周波数成分を扱うことになるため，ここでは無視する．次に，三次の項に着目すると，下記の近似式が得られる．

$$\frac{g_m^{(2)}}{6}(v_{in}-v_{out}^{(1)})^3 Z_L \approx v_{out}^{(3)} \tag{A·12}$$

これに式 (A·11) を代入して，

$$\begin{aligned} v_{out}^{(3)} &= \alpha_3\ v_{in}^3 \\ &\approx \frac{g_m^{(2)} Z_L}{6}\left(\frac{1}{1+g_m Z_L}\right)^3 v_{in}^3 \end{aligned} \tag{A·13}$$

が得られる．これらの結果，ソース・フォロワの IIP3 は次の近似式で与えられる．

$$\begin{aligned} IIP3 &= \sqrt{\frac{4}{3}\left|\frac{\alpha_1}{\alpha_3}\right|} \\ &\approx \sqrt{\left|\frac{8\ g_m}{g_m^{(2)}}\right|}\ |1+g_m Z_L| \end{aligned} \tag{A·14}$$

（平成 21 年 7 月 29 日受付，11 月 1 日再受付）

鎌田　隆嗣　（正員）

昭 62 武蔵工大・電気卒．同年（株）日本モトローラ（当時）入社．平 11 米国 Motorola Inc.（当時）へ転勤．入社以来，携帯電話関連の RF/IF 集積回路の設計業務に従事．現在，(株) RfStream 開発部部長兼取締役，シリコン・チューナの研究開発に従事しながら，大阪大学大学院工学研究科博士後期課程在学中．IEEE 会員．

松岡　俊匡　（正員）

平元阪大・工・電子卒．平 3 同大大学院博士前期課程了．平 3 シャープ（株）入社．平 11 阪大大学院工学研究科電子情報エネルギー工学専攻リサーチ・アソシエイト（日本学術振興会研究員）．平 12 同大大学院工学研究科電子情報エネルギー工学専攻講師．平 16 同大大学院工学研究科電子情報エネルギー工学専攻助教授．CMOS RF 回路の研究に従事．工博．応用物理学会，電気学会，IEEE 各会員．

谷口　研二　（正員）

昭 46 阪大・工・電子卒．昭 48 同大大学院修士課程了．昭 50 東芝（株）入社．昭 57 より 1 年間マサチューセッツ工科大学客員研究員．昭 61 阪大工学部電子工学科助教授．平 8 同大大学院工学研究科電子情報エネルギー工学専攻教授．現在まで Si の酸化・拡散プロセス，半導体デバイスの物理，半導体シミュレーション技術，アナログ集積回路の研究に従事．工博．応用物理学会，電気学会，IEEE 各会員．