



Title	動作レベルシミュレーションによるデジタル制御発振器における容量スイッチングの影響の解析
Author(s)	鶴山, 元規; ハム, ヒョンジュ; 王, 軍 他
Citation	電子情報通信学会論文誌A. 2011, J94-A(2), p. 145-148
Version Type	VoR
URL	https://hdl.handle.net/11094/51689
rights	copyright©2011 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

動作レベルシミュレーションによるデジタル制御発振器における容量スイッチングの影響の解析

鶴山 元規^{†a)}ハム ヒョンジュ[†]王 軍[†] (正員)松岡 俊匡^{†b)} (正員)谷口 研二[†] (正員)

Analysis on Influence of Capacitor Switching in Digitally-Controlled Oscillator Using Behavior-Level Simulation

Genki TSURUYAMA^{†a)}, Hyunju HAM[†], Nonmembers,
Jung WANG[†], Toshimasa MATSUOKA^{†b)},
and Kenji TANIGUCHI[†], Members[†] 大阪大学大学院工学研究科, 吹田市Graduate School of Engineering, Osaka University, Suita-shi,
565-0871 Japan

a) E-mail: tsuruyama@sei.eng.osaka-u.ac.jp

b) E-mail: matsuoka@eei.eng.osaka-u.ac.jp

あらまし Digitally-Controlled Oscillator (DCO) における容量スイッチングの発振出力への影響を動作レベルシミュレーションで解析した. DCO における Δ - Σ 変調や Dynamic Element Matching を最適化する上で, 有効な解析手法であることを示す.

キーワード デジタル制御発振器, Δ - Σ 変調器, Dynamic Element Matching, 位相雑音

1. まえがき

近年の製造プロセスの発展に伴う CMOS デバイスの微細化, 低電圧化に伴い, アナログ集積回路のデジタル化の研究が盛んに行われている [1]. Phase Locked Loop (PLL) のデジタル制御化は特徴的な技術の一つである [2], [3]. ここで, 従来の電圧制御発振器の代わりにデジタル制御発振器 (Digitally-Controlled Oscillator, DCO) を用いるが, これを LC 発振回路で構成する場合, 容量バンクの分割数以上に周波数分解能を上げるために, Δ - Σ 変調による容量の時間的な変調を用いる. この容量変調は MOS スイッチによりデジタル的に行うが, そのスイッチング雑音による DCO 出力の位相雑音やスプリアスの影響が懸念される [1]. 容量ミスマッチの影響を緩和するために, Dynamic Element Matching (DEM) [4], [5] も用いた場合, これは更に深刻な問題となる. しかし, デジタル制御 PLL 全体の動作レベルシミュレーション手法では通常, 数式モデルが適用され, 容量スイッチングの影響は考慮されていない [6].

本研究では, 容量スイッチングの影響に伴う DCO 出力の位相雑音やスプリアスの影響を調べるために, デジタル回路の RTL (Register-Transfer-Level) 記

述と発振回路コアの動作レベルモデルを Cadence 社 Spectre-Verilog を用いて同時シミュレーションし, この手法の有効性を確認した.

2. DCO の構成

図 1 (a) に, 本研究で用いた DCO の構成を示す. DCO 出力を分周したクロック CLK を Δ - Σ 変調器に用いることで, 発振出力と同期したデジタル演算を行う. 遅延したクロック CLK_d のタイミングで, 図 1 (b) に示す発振器コアの容量をスイッチングする. この容量スイッチングは, 発振出力が一定の値となる時点で行うように, CLK_d の遅延を調整している. 容量バンクはスイッチングされる単位容量 C_u と常に接続状態にある容量 C_a で構成している. 負性抵抗部 (G_m) は Verilog-A を用いて動作レベルでモデル化されており, LC タンクの損失を補償して発振するように $G_m > 1/R_p$ とし, 発振出力を決める電流制限値 I_{max} も設定している. 今回, このようなモデルの採用により, 発振回路の詳細な設計をする前に, 容量ス

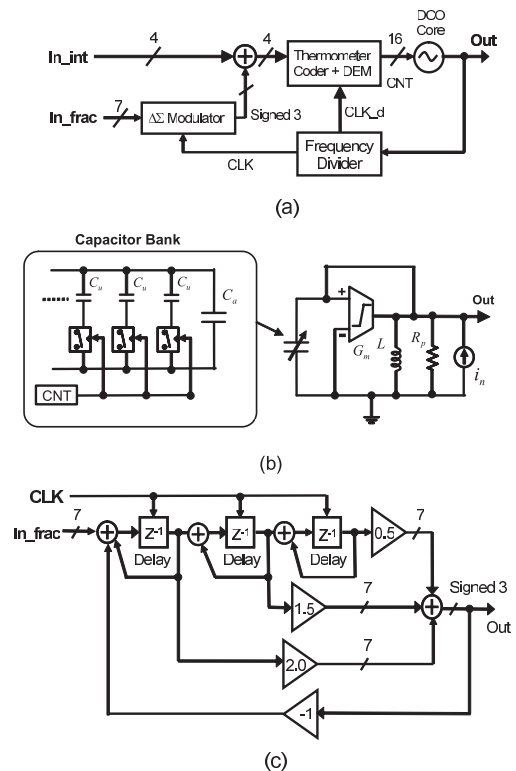


図 1 (a) DCO の全体構成, (b) 発振器コアの動作モデル, (c) Δ - Σ 変調器

Fig. 1 (a) Configuration of DCO, (b) Behavior-level model of DCO core, and (c) Δ - Σ modulator.

イッチングの影響も含めた、DCO 全体の挙動を定性的に調べることを可能としている．なお、類似の発振器モデルでの熱雑音に起因する位相雑音の理論 [7] があるが、容量を固定した DCO コア部でその理論計算結果と同等の値が本手法でも得られている．

デジタル制御入力的小数部分 (In.frac) は Δ - Σ 変調器で符号付きデジタル出力に変換され、整数部分 (In.int) と加算される．本研究で用いた Δ - Σ 変調器は図 1 (c) に示すもので、三次のノイズシェーピングを実現できる [8]．その雑音伝達関数 $NTF(z)$ は

$$NTF(z) = \frac{(1 - z^{-1})^3}{1 - z^{-1} + 0.5z^{-2} - 0.1z^{-3}} \quad (1)$$

で与えられる．この Δ - Σ 変調器の出力の変動範囲は通常の MASH などよりも軽減されており、スイッチングの影響を低減できる．本研究では、この Δ - Σ 変調器を Verilog で記述してシミュレーションする．

3. 温度計コードの構成

図 1 (a) の 4 bit の 2 進数を 15 bit の温度計コードに変換する符号器には、図 2 (a) に示す構成を用いた [9], [10]．4 bit 入力を上位と下位の各々 2 bit ずつに分割し、図 2 (a) の枠内に示す回路を用いて 3 bit に変換する．この二つの 3 bit のデータを図 2 (b) のコードコアに入力して、15 bit の温度計コードに変換できる．

また、容量バンク中に存在する容量ミスマッチの影響を低減する DEM の実現方法として、本研究では、図 3 に示すように、比較的容易な回路構成である 2 方式を用いた．第 1 の手法は、図 3 (a) に示す Data Weighted Averaging (DWA) という手法である．この手法は、クロックに同期して、非選択の容量から優先的に必要数だけ次の容量を選択する方式である [5], [11]．第 2 の手法は、図 3 (b) に示す Clocked Averaging (CLA) である．この手法は、クロックに同期して選択されている容量を一つシフトさせた容量から必要数だけ次の容量を選択する方式である [4]．

本研究では、これらのデジタル演算処理の Verilog 記述も用いる．

4. 周波数チューニング特性の検証

図 1 (a) において、出力の発振周波数を 2.4 GHz 程度、分周比を 4 (CLK 周波数: 600 MHz 程度)、In.int を 1~14 の整数に対応する 2 進数とした．また、図 1 (b) の DCO コア部は $L=2$ nH, $R_p=1$ k Ω , $G_m=3$ mS, $I_{max}=1$ mA, $C_a=2.12$ pF とした．単位容量 C_u は

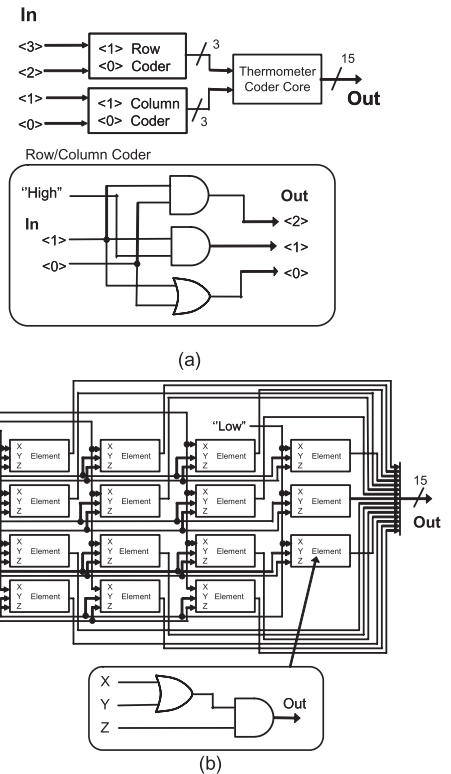


図 2 (a) 温度計コードの全体構成, (b) 温度計コードコアの構成

Fig. 2 (a) Configuration of thermometer code and (b) thermometer code core.

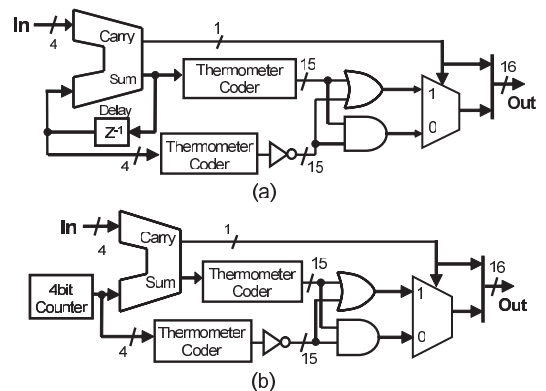


図 3 DEM の実現方式. (a) DWA, (b) CLA

Fig. 3 Implementation of DEM for (a) DWA and (b) CLA.

16 個用意し、ばらつきを考慮した平均 10.15 fF, 標準偏差 0.51 fF のランダムな値を設定した．この回路において、1 μ s 間の過渡解析を行い、定常状態における平

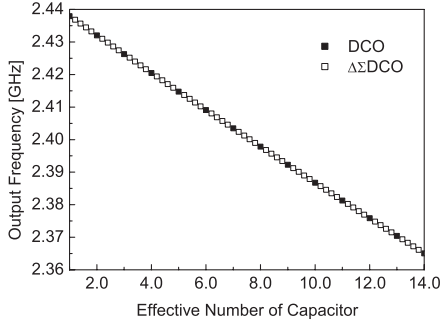


図4 DCOの周波数チューニング特性のシミュレーション結果(DCO: In_intのみ使用, $\Delta\Sigma$ DCO: In_intとIn_fracを使用)

Fig. 4 Simulated tuning characteristics of DCO (DCO: with only In_int, $\Delta\Sigma$ DCO: with In_int and In_frac)

均の発振周波数を計算した。その結果が、図4である。この図で、In_fracには、 $0.0011001_2 (=0.1953125_{10})$, $0.0110011_2 (=0.3984375_{10})$, $0.1001100_2 (=0.59375_{10})$, $0.1100110_2 (=0.796875_{10})$ の4通りの7bitの小数を設定しているが、他の小数の設定でも同様な傾向となる。これらの結果より、整数入力(In_int)だけでは離散化する発振周波数が小数入力(In_frac)を用いることで、周波数分解能が向上できることが確認できる。

5. 位相雑音の検証

前章の回路において、In_intを7、In_fracを $0.0001100_2 (=0.09375_{10})$ と設定し、 C_u はすべて同一の10 fFとした。この回路において、100 μ s間の過渡解析を行い、瞬時周期の時間変動からMATLABを用いて位相雑音を計算した[12]。なお、発振器は前述の動作レベルモデルのみであり、図1(b)の雑音源 i_n は R_p による熱雑音のみとした。図5にその結果を示す。これより、 $\Delta\Sigma$ 変調器による三次のノイズシェイピング効果(30 dB/decの傾き)が確認できる。

また、 $\Delta\Sigma$ 変調器の入力(In_frac)を $0.1000000_2 (=0.5_{10})$ とした場合、8クロックの周期を有するトーンが発生し、図6に示すように、75 MHz付近のオフセット周波数に大きなスプリアスが確認できる。そこで、In_fracのLeast Significant Bit (LSB)に周期31のLinear Feedback Shift Registerを用いてディザを与えると、図7に示すように、 $\Delta\Sigma$ 変調器でのトーンによるスプリアスが抑制できる。なお、これらの結果はDEMにCLA, DWAいずれを用いても一致する。

次に、単位容量 C_u に対して4.と同様の容量ばらつきを考慮し、DEMにおける容量スイッチングの影響を

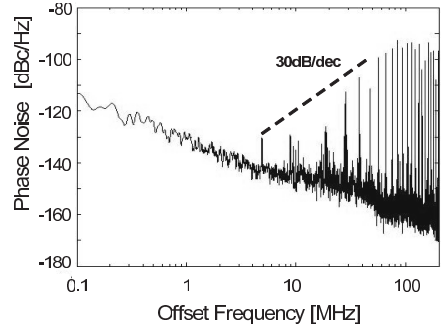


図5 DCOの位相雑音(In_frac=0.0001100₂)
Fig. 5 Simulated phase noise of DCO output for In_frac=0.0001100₂.

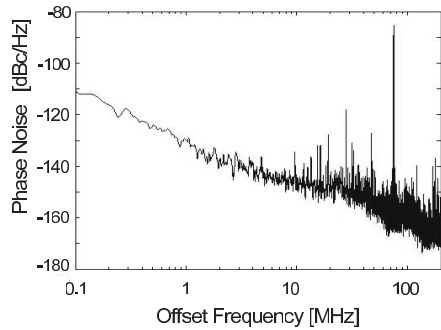


図6 DCOの位相雑音(In_frac=0.1000000₂)
Fig. 6 Simulated phase noise of DCO output for In_frac=0.1000000₂.

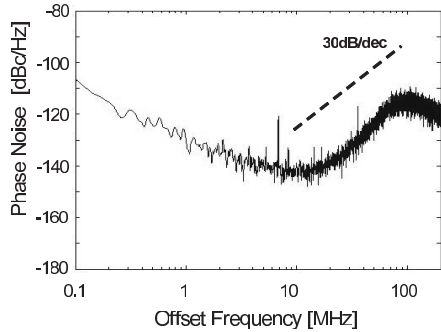


図7 LSBにディザを入れたDCOの位相雑音(In_frac=0.1000000₂)
Fig. 7 Simulated phase noise of DCO output with dithering LSB for In_frac=0.1000000₂.

見る。In_intを7、In_fracを $0.0001100_2 (=0.09375_{10})$ とし、DEMにCLAとDWAを用いた場合の結果を各々図8(a), (b)に示す。なお、前述のディザも入れている。どちらのDEMの手法を用いた場合も37 MHz付近のオフセット周波数に C_u のミスマッチの影響に

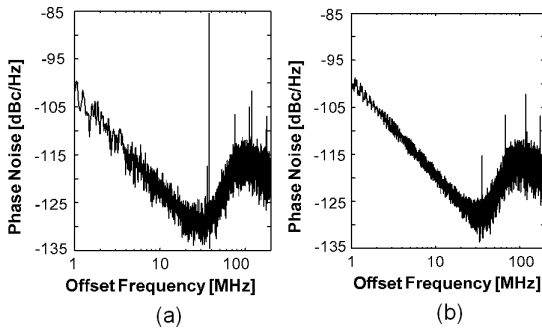


図 8 DEM を用いた場合の容量ミスマッチを含む DCO の位相雑音 ($\text{In_frac}=0.0001100_2$, LSB ディザ有) (a) DWA, (b) CLA

Fig. 8 Simulated phase noise of DCO output with capacitor mismatch for $\text{In_frac}=0.0001100_2$ and dithering LSB in case of using (a) DWA DEM and (b) CLA DEM.

よるスプリアスが発生する。CLA の方ではこのスプリアスは顕著であるが、同じ容量が選択される期間が長いことで、容量和の時間変動に低周波成分を多く含むためと考えられる。逆に、DWA では、同じ容量が選択される期間が短いため容量和の時間変動の影響が高周波側にも分散し、その結果、容量ミスマッチに起因するスプリアスが分散し、 Δ - Σ 変調でシェーピングされた量子化雑音に埋もれてしまうことになる。

6. む す び

DCO コアの容量バンク部でのスイッチングの影響を調べることを目的とした、Verilog-A と Verilog を用いた動作レベルシミュレーション手法を提案した。 Δ - Σ 変調や DEM の方式を検討する上で、有効な解析手法であることが示された。なお、デジタル回路部の 100 ns の過渡解析において、SPICE モデル (0.18 μm CMOS プロセス) と Verilog 記述を用いたときの CPU 時間は各々 29.5 分と 239 ms となり、Verilog 記述の導入によるシミュレーションの高速化は明確である。

謝辞 本研究を遂行するにあたり (株) 半導体理工学研究センターの協力、及び文部科学省グローバル COE プログラム「次世代電子デバイス教育研究開発拠点」(大阪大学) の助成を得たことに深謝します。また、本研究の設計は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス (株) の協力で行われたものである。

文 献

[1] A. Matsuzawa, "Digital-centric RF CMOS technolo-

gies," IEICE Trans. Electron., vol.E91-C, no.11, pp.1720–1725, Nov. 2008.

- [2] R.B. Staszewski, K. Muhammad, D. Leipold, C.-M. Hung, Y.-C. Ho, J.L. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, J. Koh, S. John, I.Y. Deng, V. Sarda, O. Moreira-Tamayo, V. Mayega, R. Katz, O. Friedman, O.E. Eliezer, E. de-Obaldia, and P.T. Balsara, "All-digital TX frequency synthesizer and discrete-time receiver for bluetooth radio in 130-nm CMOS," IEEE J. Solid-State Circuits, vol.39, no.12, pp.2278–2291, Dec. 2004.
- [3] 牧原幸伸, 池辺将之, 佐野栄一, "周期比較器を用いたデジタル制御 PLL," 信学論 (C), vol. J89-C, no.10, pp.666–668, Oct. 2006.
- [4] B.H. Leung and S. Sutarja, "Multibit Δ - Σ A/D converter incorporating a novel class of dynamic element matching techniques," IEEE Trans. Circuits Syst. II, vol.39, no.1, pp.35–51, Jan. 1992.
- [5] B.H. Leung and S. Sutarja, "Linearity enhancement of multibit Δ - Σ A/D and D/A converters using data weighted averaging," IEEE Trans. Circuits Syst. II, vol.42, no.12, pp.753–762, Dec. 1995.
- [6] R.B. Staszewski, C. Fernando, and P.T. Balsara, "Event-driven simulation and modeling of phase noise of an RF oscillator," IEEE Trans. Circuits Syst. I, vol.32, no.4, pp.723–733, April 2005.
- [7] J. Craninckx and M. Steyaert, "Low-noise voltage-controlled oscillators using enhanced LC-tanks," IEEE Trans. Circuits Syst. II, vol.42, no.12, pp.794–804, Dec. 1995.
- [8] W. Rhee, B.S. Song, and A. Ali, "A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order Δ - Σ modulator," IEEE J. Solid-State Circuits, vol.35, no.10, pp.1453–1460, Oct. 2000.
- [9] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba, "An 80-MHz 8-bit CMOS D/A converter," IEEE J. Solid-State Circuits, vol.21, no.6, pp.983–988, Dec. 1986.
- [10] G.L. Radulov, P.J. Quinn, P.C.W. van Beek, J.A. Hegt, and A.H.M. van Roermund, "A binary-to-thermometer decoder with built-in redundancy for improved DAC yield," 2006 IEEE Int. Symp. Circuits and Systems, pp.1414–1417, Island of Kos, Greece, May 2006.
- [11] R. Lopez-Holloway and M. Garcia, "A low-complexity data weighted averaging (DWA) algorithm implementation," The XIII Workshop IBERCHIP IWS Workshop, Lima, Peru, March 2007.
- [12] K. Kundert, "Modeling and simulation of jitter in PLL frequency synthesizers," Cadence white paper.

(平成 22 年 6 月 30 日受付, 9 月 30 日再受付)