



Title	雑音と線形性を考慮したCMOS 低雑音増幅器の設計手法に関する検討
Author(s)	木原, 崇雄; 金, 奎哲; 清水, 由幸 他
Citation	電子情報通信学会論文誌C. 2006, J89-C(2), p. 72-75
Version Type	VoR
URL	https://hdl.handle.net/11094/51693
rights	copyright©2006 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

ショートノート

雑音と線形性を考慮した CMOS 低雑音増幅器の設計手法に関する検討

木原 崇雄^{†a)} 金 奎哲[†]
 清水 由幸[†](学生員) 村上 豊生[†]
 上田 啓介[†] 後藤 克[†]
 松岡 俊匡[†](正員) 谷口 研二[†](正員)

Design of CMOS Low-Noise Amplifier Considering Noise and Linearity

Takao KIHARA^{†a)}, Guechol KIM[†], *Nonmembers*,
 Yoshiyuki SHIMIZU[†], *Student Member*, Bunsei MURAKAMI[†],
 Keisuke UEDA[†], Masaru GOTO[†], *Nonmembers*,
 Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†], *Members*

[†] 大阪大学大学院工学研究科, 吹田市

Graduate School of Engineering, Osaka University, Suita-shi, 565-0871 Japan

a) E-mail: kihara@qd.eie.eng.osaka-u.ac.jp

あらまし 線形性の向上を目的とした低雑音増幅器 (Low-Noise Amplifier: LNA) の設計手法について検討を行った。本論文で検討した設計手法を用いると、従来の設計手法と比較して LNA の三次入力インタセプトポイント (Input third-order Intercept Point: IIP_3) を 2.0 dB 改善できることを確認した。

キーワード 低雑音増幅器 (LNA), 雑音指数, 三次インタセプトポイント, CMOS

1. ま え が き

近年の高度な無線通信システムの受信フロントエンドの低雑音増幅器 (LNA) には低雑音のほかに高い線形性も求められる [1]。従来の設計手法ではできる限り低雑音で LNA を設計することに重点を置いており、線形性をそれほど考慮していない [2] ~ [4]。

本研究では, CMOS LNA の回路構成としては現在最も用いられているカスコード型 Inductive Source Degeneration LNA (図 1) の雑音低減と線形性の向上を目的とした設計手法について検討した。このために, LNA の雑音と線形性の指標である雑音指数 (Noise Figure: NF) と三次入力インタセプトポイント (IIP_3) を解析的に表現した。LNA の NF と IIP_3 を最適にする設計手法として入力段素子 M_1 とカスコード素子 M_2 のゲート幅を個別に調整する手法が提案されているが [5], カスコード接続点の極を十分高くするには両者のゲート幅はほぼ等しい方がよい [6]。また, 両者のゲート幅が等しい場合には, デュアルゲート MOSFET のレイアウトを適用した雑音性能改善も

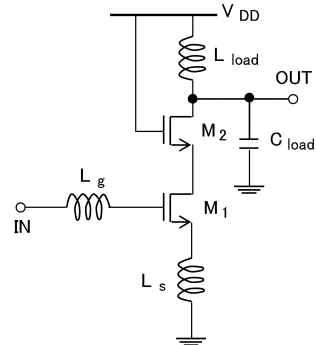


図 1 LNA の回路図

Fig. 1 Schematic of low-noise amplifier.

可能である [7]。そこで, 本論文では両者のゲート幅が等しい条件下での LNA の最適設計を述べる。0.25 μm CMOS プロセスを用いて提案する設計手法で LNA を設計し, 従来の設計手法で設計した場合と性能を比較し, 提案する設計手法の有効性を確かめた。

2. NF 及び IIP_3 の解析式

解析式を導出する際に, LNA の入力 Q 値である

$$Q_s = \frac{1}{\omega_0 R_s C_{gs1}} \quad (1)$$

を変数として用いた。ここで, ω_0 は動作周波数, R_s は信号源インピーダンス, C_{gsi} はトランジスタ M_i のゲート・ソース間容量である。

2.1 NF の解析式

図 1 に示す LNA の NF の解析式は

$$\begin{aligned} NF = 1 + \frac{r_{lg}}{R_s} + \frac{\gamma}{\alpha} \frac{\chi}{Q_s} \frac{\omega_0}{\omega_T} \\ + \left\{ \left(\frac{\omega_0 C_{gs2}}{g_{d02}} \right)^2 \frac{\delta}{\kappa \gamma} + \left(\frac{\omega_0 C_{d1}}{g_{m2} + g_{mb2}} \right)^2 \right\} \\ \times \frac{\gamma g_{d02} (1 + Q_s g_{m1} L_s \omega_0)^2}{g_{m1}^2 R_s Q_s^2} \\ + \frac{(g_{m2} + g_{mb2})^2 + (\omega_0 C_{d1})^2}{(g_{m2} + g_{mb2})^2} \frac{(1 + Q_s g_{m1} L_s \omega_0)^2}{g_{m1}^2 R_s R_L Q_s^2} \end{aligned} \quad (2)$$

$$\chi = 1 - 2|c|\alpha \sqrt{\frac{\delta}{\kappa \gamma}} + \frac{\delta \alpha^2}{\kappa \gamma} (1 + Q_s^2) \quad (3)$$

となる [2], [3], [8]。ここで, g_{mi} , g_{mbi} , g_{d0i} は各トランジスタ M_i の相互コンダクタンス, 対ボディ電位・相互コンダクタンス, $V_{ds} = 0$ でのドレイン・コンダクタンスであり, $\alpha = g_{m1}/g_{d01}$, $\omega_T = g_{m1}/C_{gs1}$ である。また, γ , κ , δ , $|c|$ は MOSFET の雑音に係

するパラメータである [2] , [3] . 更に r_{l_g} は L_g の寄生抵抗, C_{d1} はトランジスタ M_1 のドレーン端子の寄生容量, R_L は負荷抵抗を表している .

2.2 IIP_3 の解析式

非線形性を有する小信号増幅回路に信号 $x(t)$ を入力するとすると, 出力信号 $y(t)$ は

$$y(t) = a_1x(t) + a_2x^2(t) + a_3x^3(t) \quad (4)$$

と近似的に表される . このとき増幅回路の IIP_3 を電圧で表現した A_{IIP_3} は

$$A_{IIP_3} = \sqrt{\frac{4}{3} \left| \frac{a_1}{a_3} \right|} \quad (5)$$

となる [9] . 増幅回路の入力インピーダンスを R_{in} とすると, 次式が成り立つ .

$$IIP_3 = \frac{A_{IIP_3}^2}{R_s + R_{in}} \quad (6)$$

LNA の A_{LNA, IIP_3}^2 を求めるために, 図 1 の LNA を二つの回路, 入力段のソース接地増幅回路とカスコード段のゲート接地増幅回路に分け, 各々の $A_{IIP_3}^2$ を A_{1, IIP_3}^2 , A_{2, IIP_3}^2 , 更に電圧利得を A_{v1} , A_{v2} とする . このとき A_{LNA, IIP_3}^2 は次式で与えられる [9] .

$$\frac{1}{A_{LNA, IIP_3}^2} \approx \frac{1}{A_{1, IIP_3}^2} + \frac{A_{v1}^2}{A_{2, IIP_3}^2} \quad (7)$$

増幅回路の A_{IIP_3} を求めるには, 入力信号に対する出力電流を式 (4) の形式で表せばよい . 各々の回路に流れる電流は次式で表すことができる [10] .

$$I_{di} = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} \frac{V_{odi}^2}{1 + \Theta V_{odi}} \frac{1}{1 - \lambda V_{dsi}} \quad (8)$$

ここで, $V_{odi} = V_{gsi} - V_{thi}$ であり, λ はチャネル長変調係数である . また, v_{sat} を飽和キャリア速度, μ_0 を低電界でのキャリア移動度, θ を移動度劣化のパラメータとして, $\Theta = \mu_0 / (2v_{sat}L) + \theta$ である . LNA に信号 v_s を入力したとき, それぞれの回路の出力電流の式を式 (8) から求め, それら式を $v_s = 0$ の近傍でテイラー展開すると, $a_1 \sim a_3$ を求めることができる . したがって, 入力段及びカスコード段の $A_{IIP_3}^2$ は以下の式になる .

$$A_{i, IIP_3}^2 = \frac{4}{3} \left| \frac{c_1 c_2^2 (c_1 c_3 - 2c_2)}{c^2 (-c_2 + c_1 c_3) [(-c_2 + c_1 c_3) c_3 - 2c_1 c_2 c_4]} \right| \quad (9)$$

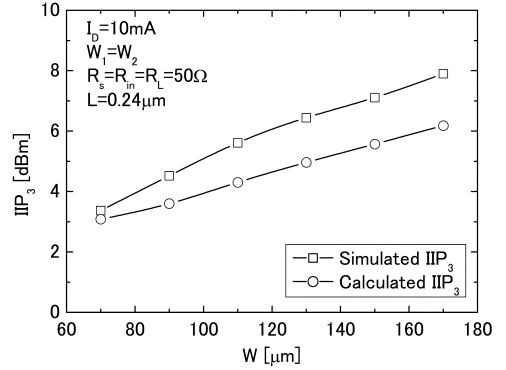


図 2 計算及びシミュレーションで求めた IIP_3
Fig.2 Calculated and simulated results of IIP_3 .

$$c' = \frac{R_s}{R_s + R_{in}} Q_s \quad (i = 1), \quad 1 \quad (i = 2) \quad (10)$$

$$c_0 = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} \quad (11)$$

$$c_1 = V_{odi} \quad (12)$$

$$c_2 = (1 + \Theta V_{odi})(1 - \lambda V_{dsi}) \quad (13)$$

$$c_3 = (1 + \Theta V_{odi}) \lambda A_{vi} + (1 - \lambda V_{dsi}) \Theta \quad (14)$$

$$c_4 = \Theta \lambda A_{vi} \quad (15)$$

0.25 μm CMOS プロセスを用いて設計した LNA について, 導出した式で計算した IIP_3 と SpectreRF により求めた IIP_3 を図 2 に示す . 計算結果とシミュレーション結果には若干の差はあるが IIP_3 の変化傾向はほぼ一致している .

3. 雑音と線形性を考慮した LNA の設計手法

3.1 設計手順

設計手順を以下に示す .

(1) LNA のバイアス電流 I_d の決定

設計仕様の消費電力と電源電圧の値より LNA のバイアス電流 I_d を決める .

(2) MOSFET のゲート長 L の決定

MOSFET のゲート長 L を小さくすると LNA の NF を低減することができる [2] . したがって, L を製造するプロセスで可能な最小ゲート長にする .

(3) 入力インピーダンス R_{in} の決定

一般にインピーダンス整合を行うので, LNA の入力インピーダンス R_{in} は信号源インピーダンス R_s に等しくする . しかし, 必ずしも完全なインピーダンス整合を行う必要はない . ここで, LNA の出力電流を i_{out} , 入力信号を v_s とすると LNA の実効トランスコ

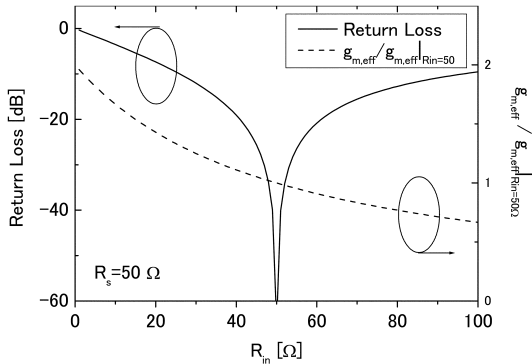


図3 入力インピーダンス R_{in} に対する反射損と $g_{m,eff}/g_{m,eff}|_{R_{in}=50\Omega}$ の関係

Fig. 3 Return loss and $g_{m,eff}/g_{m,eff}|_{R_{in}=50\Omega}$ versus input impedance R_{in} .

インダクタンス $g_{m,eff}$ は次式で定義される.

$$g_{m,eff} \equiv \left| \frac{i_{out}}{v_s} \right| = \frac{g_{m1}}{\omega_0 C_{gs1} (R_s + R_{in})} \quad (16)$$

入力インピーダンス R_{in} に対する反射損と $R_{in} = 50\Omega$ のときの $g_{m,eff}$ で規格化した $g_{m,eff}/g_{m,eff}|_{R_{in}=50\Omega}$ の関係を図3に示す. R_{in} を小さくすると $g_{m,eff}$ を大きくすることができる. 経験的には反射損は -10 dB 以下であればよいとされている. ここでは, 図3より, 反射損が -15 dB となるように $R_{in} = 35\Omega$ とする.

(4) Q_s の決定

$0.25\mu\text{m}$ CMOS プロセスのデバイスパラメータを用いたときの Q_s に対する NF 及び IIP_3 の変化を図4に示す. この図から, NF が最小となる $Q_{s,opt}$ が存在し, また Q_s を小さくすれば IIP_3 が大きくなり良好な線形性が得られることが分かる. したがって, 雑音仕様を満たす範囲で Q_s を $Q_{s,opt}$ よりも小さくすると, 仕様の NF を満たし, かつ線形性の高いLNAを設計することができる. Q_s を決めると式(1)より MOSFET のゲート幅 W が得られる.

(5) インダクタ L_s 及び L_g の決定

インダクタ L_s と L_g は次式で求めることができる.

$$L_s = \frac{g_{m1} R_{in}}{C_{gs1}} \quad (17)$$

$$L_g = \frac{1}{\omega_0^2 C_{gs1}} - L_s \quad (18)$$

3.2 設計例

$0.25\mu\text{m}$ CMOS プロセスを用いて, 動作周波数

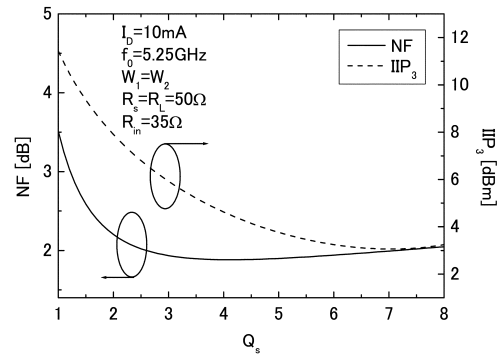


図4 Q_s に対する NF と IIP_3 の変化

Fig. 4 NF and IIP_3 versus Q_s .

表1 LNA の性能比較

Table 1 Comparison of performance of two LNAs.

	Proposed	Conventional
Technology	0.25 μm CMOS	
Supply voltage	2.5 V	
Frequency	5.25 GHz	
Return loss	-15 dB	
Q_s	2.6	4.0
NF	2.0 dB	1.9 dB
IIP_3	6.6 dBm	4.6 dBm
Power dissipation	25mW	

5.25 GHz, NF 2.0 dB 以下, 消費電力 25 mW 以下の LNA を設計する.

LNA のバイアス電流 I_d を 10 mA, MOSFET のゲート長 L を最小ゲート長の $0.24\mu\text{m}$ とした. そして, 図4から $NF = 2.0$ dB を満たすように $Q_s = 2.6$ と設定し, この値からゲート幅 $W_1 = W_2 = 220\mu\text{m}$ が得られた. 式(17), (18)より $L_s = 180\text{pH}$, $L_g = 2.2\text{nH}$ となる.

設計した LNA の性能及び従来の設計手法である線形性を考慮せずに Q_s を $Q_{s,opt} = 4.0$ としたときの LNA の性能を表1に示す. この表より, 本論文の設計手法を用いると NF が 0.1 dB しか劣化していないにもかかわらず, IIP_3 を 2.0 dB 改善できることが分かる.

4. む す び

線形性の向上を目的とした LNA の設計手法について検討を行った. Q_s に着目することで低雑音かつ線形性の高い LNA を設計することができる.

謝辞 本研究を遂行するにあたり(株)半導体理工学研究センターの協力を得たことを感謝します.

文 献

- [1] T.H. Lee, "5-GHz CMOS wireless LANs," IEEE Trans. Microw. Theory Tech., vol.50, no.1, pp.268–276, Jan. 2002.
- [2] D.K. Shaeffer and T.H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier," IEEE J. Solid-State Circuits, vol.32, no.5, pp.745–759, May 1997.
- [3] D.K. Shaeffer and T.H. Lee, "Corrections to "A 1.5-V, 1.5-GHz CMOS low noise amplifier"," IEEE J. Solid-State Circuits, vol.40, no.6, pp.1397–1398, June 2005.
- [4] Y. Utsurogi, M. Haruoka, T. Matsuoka, and K. Taniguchi, "CMOS front-end circuits of dual-band GPS receiver," IEICE Trans. Electron., vol.E88-C, no.6, pp.1275–1279, June 2005.
- [5] W. Guo and D. Huang, "Noise and linearity optimization methods for a 1.9-GHz low noise amplifier," Proc. Int. Conf. Microwave and Millimeter Wave Technology, pp.923–927, Aug. 2002.
- [6] J. Janssens and M. Steyaert, CMOS Cellular Receiver Front-Ends: From Specification to Realization, Kluwer Academic, 2002.
- [7] R. Fujimoto, K. Kojima, and S. Otaka, "A 7-GHz 1.8-dB NF CMOS low-noise amplifier," IEEE J. Solid-State Circuits, vol.37, no.7, pp.852–856, July 2002.
- [8] Y. Koolivand, O. Shoaie, A. Zahabi, and P.J. Maralani "A complete analysis of noise in inductively source degenerated CMOS LNA's," IEICE Electronics Express, vol.2, no.1, pp.25–31, Jan. 2005.
- [9] B. Razavi, RF Microelectronics, Prentice Hall PTR, New Jersey, 1998.
- [10] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, New York, 2001.

(平成17年6月16日受付, 8月30日再受付)