



Title	デルタシグマ型ディジタル/アナログ変換器のための 循環型部分的DWA手法
Author(s)	田村, 悠; 兼本, 大輔; 松岡, 俊匡 他
Citation	電子情報通信学会論文誌C. 2012, J95-C(1), p. 9-17
Version Type	VoR
URL	https://hdl.handle.net/11094/51704
rights	copyright©2012 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

デルタシグマ型デジタル/アナログ変換器のための循環型部分的DWA手法

田村 悠^{†a)} 兼本 大輔^{††} 松岡 俊匡[†] 谷口 研二[†]

A Rotated Partial Data Weighted Averaging Technique for Delta-Sigma Digital-to-Analog Converters

Yu TAMURA^{†a)}, Daisuke KANEMOTO^{††}, Toshimasa MATSUOKA[†],
and Kenji TANIGUCHI[†]

あらまし デルタシグマ型デジタル/アナログ変換器に用いる循環型部分的 DWA (Rotated Partial DWA: RPDWA) 手法を提案する。提案する RPDWA では、大振幅信号入力時における出力信号の非線形性を低減するために、既存の PDWA (Partial DWA) において固定されていた非選択アナログ素子を順番に変更することで循環させる。更にトーンを抑制するために、デルタシグマ変調器からの入力信号に応じて非選択素子数を一時的に増加させる。提案する RPDWA ではこれら二つの動作を適用することで、高い SNDR と大振幅信号入力時のトーンの抑制を実現することができる。単位アナログ素子の性能ばらつきを 1% と想定し、3 次、9 レベル出力のデルタシグマ変調器を用いたシミュレーションから、既存の PDWA と比べて最大振幅信号入力時に 32.8 dB の SNDR 改善と 45.4 dB の帯域内トーン低減を確認した。

キーワード ダイナミックエレメントマッチング, DWA, デルタシグマ型デジタル/アナログ変換器

1. ま え が き

デルタシグマ変調器は高いダイナミックレンジを安定的に得られることから、オーディオ用アナログ/デジタル (A-D)、若しくはデジタル/アナログ (D-A) 変換器に広く用いられている。そして、近年ではマルチレベル出力型変調器の適用が多く報告されている [1]~[6]。この理由は、1 ビット出力型変調器に比べてマルチレベル出力型変調器が多くの長所を備えているからである。マルチレベル出力にすることでデルタシグマ変調器内部の量子化雑音を小さくでき、高い SQNR と安定性を有したデルタシグマ変調器を構成することができる。また、D-A 変換器においてはアナログ再構成フィルタに対する要求も緩和される。しか

し、マルチレベル出力を実現するためには電流源若しくはキャパシタなどで構成される単位アナログ素子が複数個必要となり、それらの性能ばらつきから生じる出力信号の非線形性がノイズレベルを増加させ、更に帯域内トーンを発生させる。したがって、それらが原因となり大きな性能劣化が引き起こされる。

アナログ素子の性能ばらつきが引き起こす非線形性を抑制するため、一般的にダイナミックエレメントマッチング (DEM) 手法 [7] が用いられており、その中で最も知られている手法が Data Weighted Averaging (DWA) [8] である。DWA とは各アナログ素子を循環的に選択することで性能ばらつきを平均化し低減する手法である。しかし、周期的なアナログ素子の選択が行われることでトーンが発生するという問題点を抱えている。この不要なトーンを抑制するために、DWA を発展させた様々な手法が提案されている [1]~[3], [6], [9], [10]。Partial DWA (PDWA) [1] と Un-symmetrical DWA (UDWA) [3] は、小振幅信号入力時において幾つかのアナログ素子を常に非選択とし、その他のアナログ素子に対して DWA 動作を行う手法である。非選択素子の存在がトーンの発生を促

[†] 大阪大学大学院工学研究科, 吹田市
Graduate School of Engineering, Osaka University, 2-1
Yamadaoka, Suita-shi, 565-0871 Japan

^{††} 九州大学大学院システム情報科学研究科, 福岡市
Graduate School of Information Science and Electrical
Engineering, Kyushu University, 744 Motooka, Nishi-ku,
Fukuoka-shi, 819-0395 Japan

a) E-mail: yu@si.eei.eng.osaka-u.ac.jp

ような周期的な素子選択を回避し、トーン発生を抑制している。しかし、小振幅信号入力時には常に非選択であった素子を大振幅信号入力時に選択するために出力信号が非線形に遷移し、大きなトーンが発生する。

本論文では、デルタシグマ型 D-A 変換器に用いる循環型部分的 DWA (Rotated Partial DWA: RPDWA) を提案する。RPDWA は、既存手法の PDWA を発展させることで PDWA の有する問題点を改善できる手法である。RPDWA は、PDWA において固定されていた非選択アナログ素子を順番に変更して循環させることで、大振幅信号入力時における性能劣化の原因である出力信号の非線形性を低減する。更に、デルタシグマ変調器からの入力信号に応じて非選択素子数を一時的に増加させ、トーンの発生を促すような周期的素子選択を回避する。提案する RPDWA を用いることで大振幅信号入力時におけるトーンを抑制でき、その結果、高い SNDR を達成できる。

2. 循環型部分的 DWA 手法

図 1 に提案する RPDWA を用いたマルチレベルデルタシグマ型 D-A 変換器のブロック図を示す。DEM ブロックは、デルタシグマ変調器からの出力信号に応じて単位アナログ素子の選択、非選択を切り換えることでアナログ素子の性能ばらつきを平均化し、低減している。提案する RPDWA を用いるためには選択されない素子を設定する必要がある。その非選択素子を *RUE* (Rotated Unused Element) と呼ぶことにする。RPDWA は、「*RUE* の循環」と「*RUE* 数を入力信号レベルに応じて増加」という二つの動作からなる。一つ目の「*RUE* の循環」とは、*RUE* を固定せず順番にシフトさせることで全単位アナログ素子を非選択素

子に設定する動作である。まず、DWA 動作で *RUE* の手前の素子まで選択すると *RUE* を一つシフトさせ *RUE* だった素子を選択する。そして、新たに *RUE* となった素子を選択せず、残りの素子に DWA 動作を実行という動作を繰り返し行う。この動作を適用することで、大振幅信号入力時の出力信号の非線形性を低減することができる。二つ目の「*RUE* 数を入力信号レベルに応じて増加」とは、デルタシグマ変調器からの入力信号レベルに応じて一時的に *RUE* の数を増加させる動作である。具体的には、入力信号レベル IL_i が $IL_i + IL_{i-1} = IL_{i-2} + IL_{i-3} = N - 1$ 、若しくは $IL_i + IL_{i-1} + IL_{i-2} = IL_{i-3} + IL_{i-4} + IL_{i-5} = N - 1$ となったときに *RUE* をシフトさせる場合は、*RUE* を二つ分シフトさせその二つを *RUE* とする。ここで、 N 個の単位アナログ素子を用いた構成を想定しており、 IL_i を i 番目の入力信号、 IL_{i-1} を $i-1$ 番目の入力信号としている。この動作をインクリメンタルアクションと呼ぶことにする。ただし、 $IL_{i-3} = 0$ 、 $IL_{i-2} = N - 1$ 、 $IL_{i-1} = 0$ 、 $IL_i = N - 1$ となる場合は、 $N - 2$ 個の素子から $N - 1$ 個を選択することはできないので、インクリメンタルアクションを適用しない。インクリメンタルアクションを適用することで、トーン発生を促すような周期的な単位アナログ素子の選択が防止され、トーンを抑制することができる。提案する RPDWA は、*RUE* の循環とインクリメンタルアクションを併せて実行することで、高い SNDR とトーン抑制を実現する。

提案する RPDWA と既存の PDWA を 8 個の単位アナログ素子 ($U_1, U_2, \dots, U_8$) に適用した場合の動作例を図 2(a), (b) にそれぞれ示す。図 2(a), (b) ともに、最初の *RUE* を U_1 、最初に選択する素子を U_2 としている。まず、提案する RPDWA を用いた場合の図 2(a) に関して説明する。 $IL_1 = 3$ が入力されると $[U_2, U_3, U_4]$ を選択し、次に $IL_2 = 4$ が入力されると $[U_5, U_6, U_7, U_8]$ を選択する。この間、*RUE* は U_1 に固定されている。次に $IL_3 = 3$ が入力されるが、 U_8 を選択した時点で *RUE* である U_1 以外の素子全てを一度選択しているため *RUE* を U_2 にシフトさせ、 U_1 から三つの素子 $[U_1, U_3, U_4]$ を選択する。ここで、図 2 では可読性向上のため、*RUE* 以外の素子の奇数回目の一巡選択を黒色の実線、偶数回目の一巡選択を灰色の破線で表している。図 2(a) では、1 回目の一巡選択は IL_2 における U_8 の選択の際に終了しており、2 回目の一巡選択が IL_3 における U_1 の選択

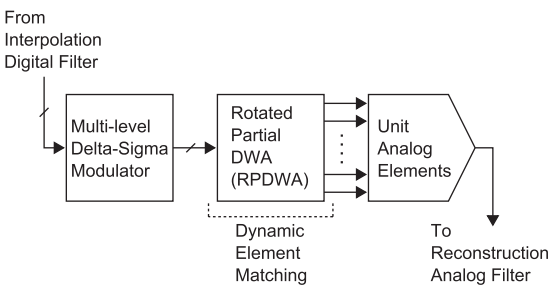


図 1 提案する RPDWA を用いたマルチレベルデルタシグマ D-A 変換器

Fig.1 Block diagram of delta-sigma digital-to-analog converter utilizing RPDWA.

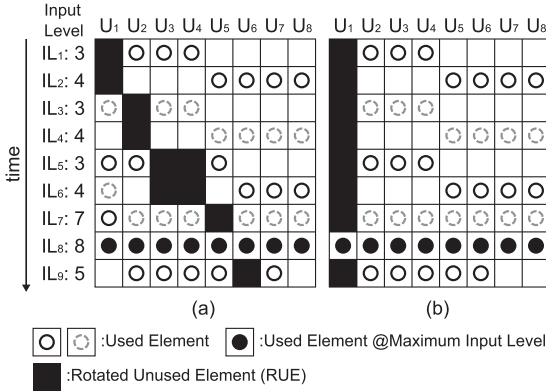


図 2 (a) RPDWA の動作例 (b) PDWA の動作例
Fig. 2 (a) Operation exmaple of RPDWA, (b) Operation example of PDWA.

から始まっている。したがって、 IL_3 における U_1 の選択は 1 回目の素子選択だが、2 回目の一巡選択における素子選択であるため灰色の破線で示している。次に $IL_4 = 4$ が入力されるため $[U_5, U_6, U_7, U_8]$ を選択する。そして $IL_5 = 3$ が入力されるが、 RUE 以外を一巡選択したので RUE をシフトさせる。ここで、入力信号が $IL_2 + IL_3 = IL_4 + IL_5 = 7$ であるため、インクリメンタルアクションを実行する。 U_2 から U_4 へ二つ分シフトを行い、 U_3 と U_4 を RUE とし、 $[U_1, U_2, U_5]$ を選択する。次の入力は $IL_6 = 4$ なので $[U_6, U_7, U_8, U_1]$ を選択する。インクリメンタルアクションを適用し、 IL_6 のときに IL_2 , IL_4 と同様に $[U_5, U_6, U_7, U_8]$ を選択しないことで、トーンの発生を促すような周期的素子選択を防いでいる。次に $IL_7 = 7$ が入力されるが、 RUE のシフトも行われるので $[U_2, U_3, U_4, U_6, U_7, U_8, U_1]$ を選択する。最大レベルである $IL_8 = 8$ が入力されると、 RUE に関係なく全ての素子を選択するが、最大レベル入力時の選択はその後の RUE シフトに反映させない。したがって、 $IL_9 = 5$ が入力されると IL_7 入力時の選択で一巡選択したことのみに反映して、 RUE を U_5 から U_6 にシフトさせ $[U_2, U_3, U_4, U_5, U_7]$ を選択する。

次に、既存の PDWA を用いた場合の動作例を示した図 2(b) について説明する。 RUE は U_1 に固定しており、残りの U_2 から U_8 に対して DWA 動作が実行される。最大レベルが入力される IL_8 においては、RPDWA と同様に RUE をなくし、全素子を選択する。

3. 出力信号の線形性

入力レベルに対して出力レベルが線形に遷移しない場合、ノイズやひずみが増加することで性能劣化が引き起こされる。そこで本章では、 N 個の単位アナログ素子を用いた場合における提案手法と既存手法の出力レベルの線形性について述べる。各単位素子の出力 UO_i を平均値 UO_{mean} とその平均値からのミスマッチ d_i を用いて式 (1) のように定義する。

$$UO_i = UO_{mean} + d_i \quad (1)$$

ここで、

$$UO_{mean} = \frac{1}{N} \sum_{i=1}^N UO_i \quad (2)$$

$$\sum_{i=1}^N d_i = 0 \quad (3)$$

である。DEM を用いると、動作クロックごとに選択する素子が違うことから入力レベルが同じであっても複数の出力レベルが存在する。DEM は、動作クロックよりも十分に低い所望の周波数帯 (In-band frequency) において出力レベルを平均化することで、式 (3) を実現している。したがって、入力レベルが $IL = M$ のとき、出力レベルが理想値 $M \cdot UO_{mean}$ に近づく。

既存の PDWA を用いた場合における出力の線形性を確認するために、入力レベルが $IL = M$ のときの出力レベル平均値を求める。 $RUE = U_a$ とすると残りの素子を選択する全組合せは、 $N - 1$ 個の素子から M 個を選択するため ${}_{N-1}C_M$ 通り存在する。ある素子が、選択された素子に含まれる組合せは、その素子以外の残り $N - 2$ 個の素子から $M - 1$ 個を選択するため ${}_{N-2}C_{M-1}$ 通り存在する。したがって、複数存在する出力レベルの値を全て足し合わせると式 (4) となる。

$$\sum_{i=1}^N \{ {}_{N-2}C_{M-1} \cdot (UO_{mean} + d_i) \}, i \neq a \quad (4)$$

それを全組合せ ${}_{N-1}C_M$ で割ることで、出力レベルの平均値は式 (5) のように求まる。

$$\frac{1}{{}_{N-1}C_M} \sum_{i=1}^N \{ {}_{N-2}C_{M-1} \cdot (UO_{mean} + d_i) \}$$

$$\begin{aligned}
&= \frac{M}{N-1} UO_{mean} \cdot (N-1) + \frac{M}{N-1} \sum_{i=1}^N d_i \\
&= M \cdot UO_{mean} + \frac{M}{N-1} \sum_{i=1}^N d_i, i \neq a \quad (5)
\end{aligned}$$

ここで, $\frac{N-2C_{M-1}}{N-1C_M} = \frac{M}{N-1}$ である. 式 (3), (5) より出力レベルの平均値は式 (6) となる.

$$M \cdot UO_{mean} - \frac{M}{N-1} d_a \quad (6)$$

$RUE = U_a$ としているために, U_a のミスマッチ成分 d_a が出力に現れることが分かる. 最大入力レベル $IL = N$ が入力された場合は RUE の存在を前提とした式 (6) は成立せず, 全ての素子を選択することから式 (3) が適用されるために, 出力レベルの平均値は理想値 $N \cdot UO_{mean}$ となる.

次に, 式 (6) を用いて提案する RPDWA を用いた場合の出力レベル平均値を求める. RPDWA では RUE である U_a を U_1 から U_N まで循環させるため, 出力レベルの平均値は式 (3), (6) を用いて式 (7) と求める.

$$\begin{aligned}
&\frac{1}{N} \sum_{a=1}^N \left(M \cdot UO_{mean} - \frac{M}{N-1} d_a \right) \\
&= M \cdot UO_{mean} - \frac{M}{N \cdot (N-1)} \sum_{a=1}^N d_a \\
&= M \cdot UO_{mean} \quad (7)
\end{aligned}$$

式 (7) から, RPDWA を用いた場合は全ての入力レベルにおいて理想値が出力されることが分かる. インクリメンタルアクションを適用する場合には RUE が二つになるが, RUE を循環させることに変わりはないので式 (3) が成立し, 出力レベルの平均値は式 (7) となる.

U_a を RUE とした場合の RPDWA と PDWA の出力特性の比較を図 3 と表 1 に示す. ここで, 図 3 では d_a を正の値と仮定している. 図 3 で示すように, PDWA を用いた場合は入力レベル $IL = 0$ から $IL = N-1$ に対する出力レベルと最大入力レベル $IL = N$ に対する出力レベルの間で線形な遷移をしない. したがって, 入力レベルが $IL = N$ となり得る大振幅信号入力時に出力がひずみ, 性能が劣化する. 具体的には表 1 に示すように, 入力レベル $IL = M$ のときに $\frac{M}{N-1} d_a$ だけ理想値からずれる. RPDWA を用いた場合は, 全入力レベルに対して出力レベル平均値

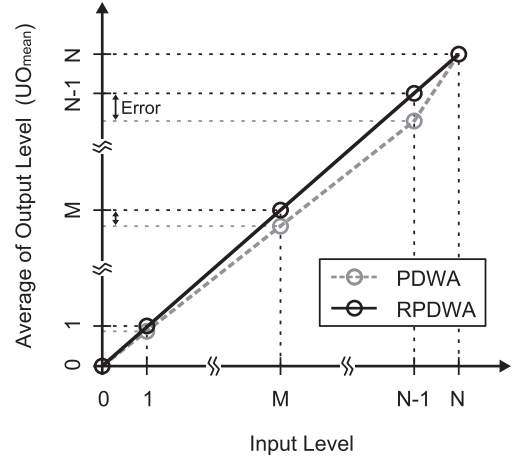


図 3 出力レベルの線形性
Fig. 3 Linearity of output level.

表 1 RPDWA と PDWA を用いた場合の出力レベル平均値

Table 1 Average of output level for RPDWA and PDWA.

Input Level (IL)	Average of Output Level	
	RPDWA	PDWA
0	0	0
1	UO_{mean}	$UO_{mean} - \frac{1}{N-1} d_a$
$\vdots$	$\vdots$	$\vdots$
M	$M \cdot UO_{mean}$	$M \cdot UO_{mean} - \frac{M}{N-1} d_a$
$\vdots$	$\vdots$	$\vdots$
N-1	$(N-1) \cdot UO_{mean}$	$(N-1) \cdot UO_{mean} - d_a$
N	$N \cdot UO_{mean}$	$N \cdot UO_{mean}$

が理想値となり, PDWA に比べて大振幅信号入力時の性能が大幅に向上する.

4. インクリメンタルアクションに関する考察

N 個のアナログ素子を用いた場合, RUE を除くと $N-1$ 個の素子から選択することになる. 連続した二つの入力の和が $N-1$ となる状態が続く場合を式 (8), 連続した三つの入力の和が $N-1$ となる状態が続く場合を式 (9) に示す.

$$\begin{aligned}
N-1 &= IL_i + IL_{i-1} \\
&= IL_{i-2} + IL_{i-3} = \cdots \quad (8)
\end{aligned}$$

$$\begin{aligned}
N-1 &= IL_i + IL_{i-1} + IL_{i-2} \\
&= IL_{i-3} + IL_{i-4} + IL_{i-5} = \cdots \quad (9)
\end{aligned}$$

式 (8), (9) のように連続する入力の和が $N-1$ で

ある状態が続くとトーンの発生を促すような周期的な素子選択となる．これらのような入力信号レベルとなった場合に，トーンを防止する目的で一時的に RUE 数を二つとする動作がインクリメンタルアクションである．連続した四つ以上の入力の和が $N - 1$ となる状態が続く可能性は，デルタシグマ変調器内部の擬似ランダム信号（ディザ）の影響などから非常に低い．したがって，本論文では入力レベルが $IL_i + IL_{i-1} = IL_{i-2} + IL_{i-3} = 7$ 若しくは $IL_i + IL_{i-1} + IL_{i-2} = IL_{i-3} + IL_{i-4} + IL_{i-5} = 7$ となった場合にインクリメンタルアクションを適用している．

8 個の素子を用いた場合に， $IL_i + IL_{i-1} = 7$ となる入力レベルが連続したときのインクリメンタルアクションを適用する場合と適用しない場合における素子選択の変遷を図 4 に示す．インクリメンタルアクションを適用しない図 4(b) では，入力レベル IL_2, IL_4, IL_6, IL_8 のときに， $[U_6, U_7, U_8]$ が選択されている．この素子選択が単位アナログ素子の性能ばらつきを周期的に出現させることでトーン発生の原因となり，性能劣化を引き起こす．図 4(a) では IL_5 と IL_7 のときの RUE シフトにおいてインクリメンタルアクションが適用されている．図 4 から，インクリメンタルアクションを適用することで式 (8), (9) のような入力となってもトーン発生を促すような周期的な素子選択を防止できることが分かる．

次に，トーン抑制のために素子選択の際にランダム性を付加するのではなく，インクリメンタルアクションを用いる理由について述べる．ランダム性を付加す

ればトーンを抑制することは可能であるが，同時にノイズレベルが増加するためにダイナミックレンジが下がる．インクリメンタルアクションを適用した場合は， RUE 循環の流れを妨げることなく全素子を一度 RUE とすることが可能であり，各素子の選択回数が統一される．したがって，ランダム性の付加ではなくインクリメンタルアクションを適用することで，ノイズレベルの増加なくトーンが抑制できる．

5. 性能比較

提案する RPDWA と既存の PDWA の性能比較を行う．オーディオ用途を想定し，表 2 に示す仕様に基づいて，C 言語を用いてシミュレーションを行った．ここで，単位アナログ素子の性能ばらつきは $\sigma = 0.01$ の正規分布に基づくとして仮定した．また，3 次，9 レベル出力のデルタシグマ変調器を用いた．

図 5 に提案する RPDWA と既存の PDWA を用いた場合の入力信号レベルに対する信号対雑音歪比 (SNDR) を示す．PDWA を用いた場合は，最大振幅信号 (0 dB) 入力時と -15 dB 入力時付近において性能劣化が見られる．RPDWA を用いた場合は，PDWA を用いた場合に見られた性能劣化を低減できており，大振幅信号入力時において高い SNDR を実現できることが分かる．RPDWA を用いることで，0 dB 入力

表 2 シミュレーションパラメータ
Table 2 Simulation parameters.

Sampling frequency	48k [Hz]
Input signal frequency	1.5k [Hz]
In-band frequency	20–20k [Hz]
OSR	128
The number of analog elements	$N=8$
Analog element mismatch	1% ($\sigma = 0.01$)

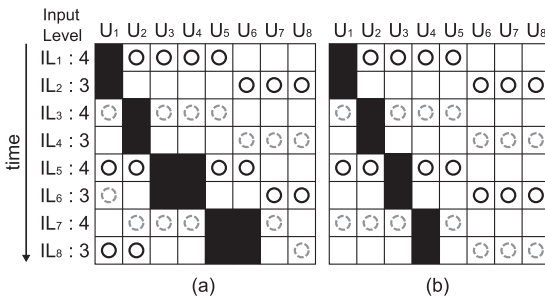


図 4 $IL_i + IL_{i-1} = N - 1$ となる入力が連続した場合の動作例 (a) インクリメンタルアクション適用 (b) インクリメンタルアクション非適用

Fig. 4 Operation example in the case of successive $IL_i + IL_{i-1} = N - 1$ input (a) with incremental action, (b) without incremental action.

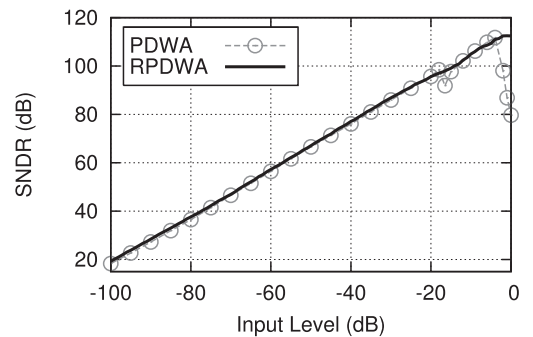


図 5 入力信号振幅に対する SNDR
Fig. 5 Input level vs. SNDR.

時において SNDR を 32.8 dB 改善した。

図 6, 図 7 に 0 dB 入力時と -15 dB 入力時の独立した 10 通りのピリオドグラムを平均化して得た出力信号のパワースペクトルをそれぞれ示す。ここで, 図 6, 図 7 は最大振幅信号で規格化している。また, 2048 点の標本化された出力信号に対して FFT を行っており, 以下のシミュレーション結果は図 10 を除いて全てこの条件を用いた。PDWA を用いた場合, 0 dB 入力時はトーンの発生とノイズレベルの増加が見られ, -15 dB 入力時はトーンが発生している。0 dB 入力時のトーン発生とノイズレベルの増加は, 図 3 で示した出力信号の非線形性が原因である。また, -15 dB 入力時のトーン発生は, 式 (8) で示すような入力レベルが連続することによって, トーン発生を促すような周期的な素子選択が行われることが原因である。RPDWA を用いた場合は 0 dB, -15 dB 入力時ともにトーンは発生していない。これは, 0 dB 入力時の出力信号の非線形性を *RUE* の循環によって, -15 dB 入力時のトーン発生を促すような周期的な素子選択をインクリメンタルアクションによって解決しているからである。

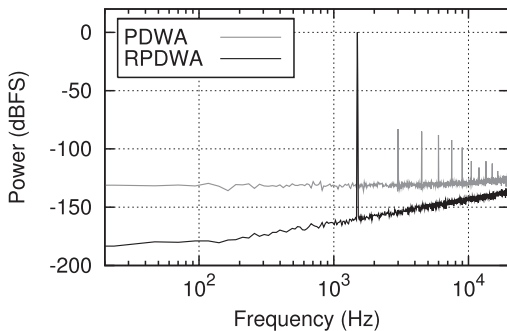


図 6 0 dB 入力時のパワースペクトル
Fig. 6 Power spectrum at 0 dB amplitude input.

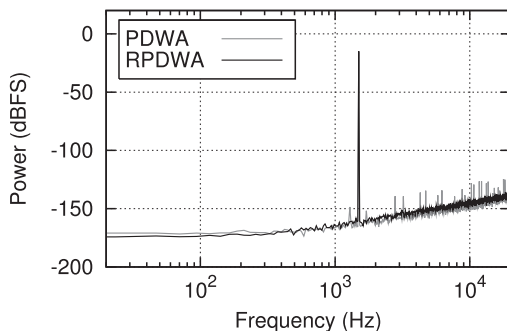


図 7 -15 dB 入力時のパワースペクトル
Fig. 7 Power spectrum at -15 dB amplitude input.

入力信号振幅に対する帯域内最大トーンを図 8 に示す。トーンの値は, そのトーンの周辺ノイズレベルを基準として計算した。PDWA を用いた場合は約 -20 dB 以上の入力信号振幅においてトーンが発生しており, 更に最大振幅信号入力時に非常に大きなトーンが発生している。インクリメンタルアクションを適用せず, *RUE* の循環のみを適用した場合は, -15 dB 入力付近で大きなトーンが発生しており, 0 dB 入力時には *RUE* を循環させる効果によりトーンが抑えられている。インクリメンタルアクションと *RUE* の循環を共に適用した場合は, 全入力信号振幅においてトーンが抑制されており, 0 dB 入力時に PDWA の場合と比べて帯域内最大トーンを 45.4 dB 低減した。図 8 から, *RUE* の循環とインクリメンタルアクションの適用を併せて行うことで, 全入力信号レベルにおいてトーンを抑制できることが分かる。

次に, 式 (8), (9) のような連続した二つ, 三つ, 四つの入力の和が $N-1$ となる状態が 3 回続く入力レベルの発生回数を図 9 に示す。具体的に, 連続し

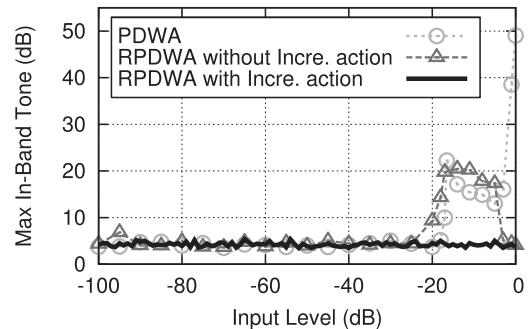


図 8 入力信号振幅に対する帯域内最大トーン
Fig. 8 Input level vs. maximum in-band tone.

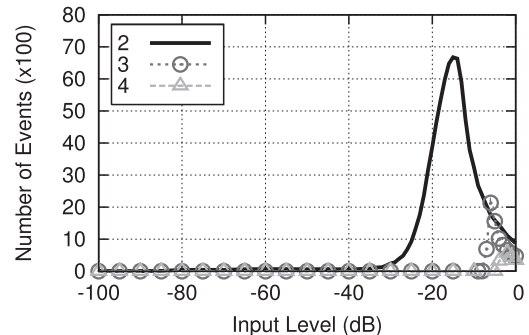


図 9 連続する入力レベルの和が $N-1$ となる入力信号の発生回数
Fig. 9 Input level vs. number of events.

た二つの入力之和が $N - 1$ となる状態が 3 回続く入力レベルとは、 $IL_i + IL_{i-1} = IL_{i-2} + IL_{i-3} = IL_{i-4} + IL_{i-5} = N - 1 = 7$ である。ここで、280000 クロック分のシミュレーションを行った。四つの場合の入力信号レベルはほとんど発生していないため、連続した四つ以上の入力の和が $N - 1$ となってもインクリメンタルアクションを適用しない。三つの場合は -5 dB 入力付近で少し発生しており、二つの場合は -25 dB 付近から発生回数が増えている。したがって、連続した二つ、若しくは三つの入力の和が $N - 1$ となる状態が続いた場合にインクリメンタルアクションを適用した。 -25 dB 付近から二つの場合の発生回数が増え、それに併せて図 8 で示した PDWA とインクリメンタルアクションを適用していない RPDWA の帯域内最大トーンの値も大きくなっており、 -15 dB 付近でともに最大値となっている。図 8、図 9 は、連続する入力の和が $N - 1$ となる入力レベルが続くことでトーンが発生していることを示している。

図 10 に -15 dB 入力時における入力信号周波数に対する帯域内最大トーンを示す。ここで、表 2 に示した 1.5 kHz より低い周波数の入力信号を用いることから、16384 点の標本化された出力信号に対して FFT を行った。PDWA を用いた場合は大きなトーンが発生しており、インクリメンタルアクションを適用せず、 RUE の循環のみを適用した場合にも大きなトーンが発生している。インクリメンタルアクションと RUE の循環を共に適用した場合は、全入力信号周波数に対してトーンが抑制されている。図 10 から、インクリメンタルアクションは連続する入力の和が $N - 1$ となることで生じる -15 dB 入力付近の帯域内トーンを

入力信号周波数にかかわらず抑制可能であることが分かる。

正規分布に基づく性能ばらつきを有した単位アナログ素子の組合せを 1000 通り用いてモンテカルロシミュレーションを行った。 0 dB 入力時の SNDR の分布を図 11 に示す。提案する RPDWA を用いた場合は、 RUE の循環により出力信号の非線形性を低減したことで、SNDR が大幅に改善していることが分かる。次に、 0 dB、 -15 dB 入力時の帯域内最大トーンの分布を図 12 と図 13 に示す。RPDWA を用いた場合、1000 通り全ての組合せに対してトーンを 7 dB 以内に抑えられている。PDWA を用いた場合、 0 dB 入力時は 50 dB 近い大きなトーンが高確率で発生しており、 -15 dB 入力時も 20 dB 近い大きなトーンが高確率で発生している。図 12、図 13 より、提案する RPDWA はアナログ素子の性能ばらつきの組合せにかかわらずトーンの抑制が可能である。

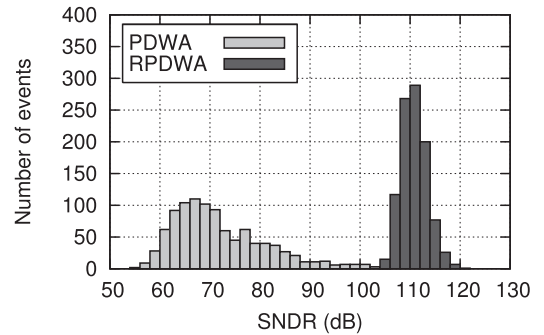


図 11 0 dB 入力時の SNDR
Fig. 11 SNDR at 0 dB amplitude input.

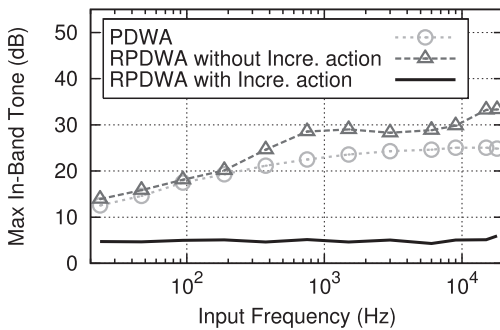


図 10 -15 dB 入力時の入力信号周波数に対する帯域内最大トーン
Fig. 10 Input Frequency vs. maximum in-band tone at -15 dB amplitude input.

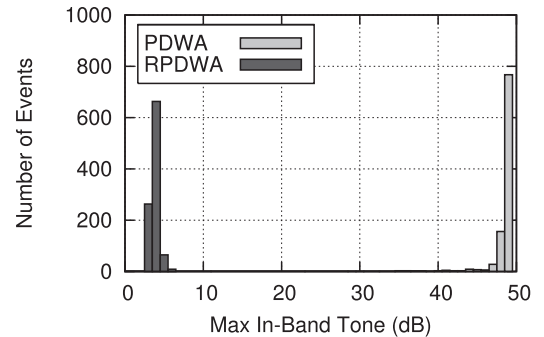


図 12 0 dB 入力時の帯域内最大トーン
Fig. 12 Maximum in-band tone at 0 dB amplitude input.

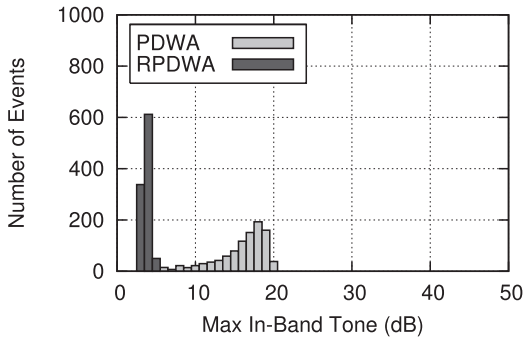


図 13 -15 dB 入力時の帯域内最大トーン

Fig. 13 Maximum in-band tone at -15 dB amplitude input.

6. む す び

デルタシグマ型デジタル/アナログ変換器に用いる循環型部分的 DWA (RPDWA) 手法を提案した。提案する RPDWA では、既存の PDWA において固定されていた非選択アナログ素子を循環させることで、大振幅信号入力時であっても出力信号の線形性を保つことができる。更に、インクリメンタルアクションによって特定の入力列が連続した場合に発生するトーンを抑制できる。3 次、9 レベル出力構成のデルタシグマ変調器を用いたシミュレーション結果から、既存手法と比較して最大振幅信号入力時に SNDR を 32.8 dB 改善、帯域内最大トーンを 45.4 dB 低減できることを確認した。

謝辞 本研究は文部科学省による大阪大学グローバル COE プログラム「次世代電子デバイス教育研究開発拠点」の支援を受けて行われた。

文 献

- [1] I. Fujimori, A. Nogi, and T. Sugimoto, "A multibit delta-sigma audio DAC with 120-dB dynamic range," *IEEE J. Solid-State Circuits*, vol.35, no.8, pp.1066–1073, Aug. 2000.
- [2] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kasic, J. Cao, and S.-L. Chan, "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at $8\times$ oversampling ratio," *IEEE J. Solid-State Circuits*, vol.35, no.12, pp.1820–1828, Dec. 2000.
- [3] M. Annovazzi, V. Colonna, G. Gandolfi, F. Stefani, and A. Baschiroto, "A low-power 98-dB multibit audio DAC in a standard 3.3-V 0.35- μ m CMOS technology," *IEEE J. Solid-State Circuits*, vol.37, no.7, pp.825–834, July 2002.
- [4] V. Colonna, M. Annovazzi, G. Boarin, G. Gandolfi,

F. Stefani, and A. Baschiroto, "A 0.22-mm² 7.25-mW per-channel audio stereo-DAC with 97-dB DR and 39-dB SNR_{out}," *IEEE J. Solid-State Circuits*, vol.40, no.7, pp.1491–1498, July 2005.

- [5] K. Lee, Q. Meng, T. Sugimoto, K. Hamashita, K. Takasuka, S. Takeuchi, U.-K. Moon, and G.C. Temes, "A 0.8 V, 2.6 mW, 88 dB dual-channel audio delta-sigma D/A converter with headphone driver," *IEEE J. Solid-State Circuits*, vol.44, no.3, pp.916–927, March 2009.
- [6] T.-H. Kuo, K.-D. Chen, and H.-R. Yeng, "A wide-band CMOS sigma-delta modulator with incremental data weighted averaging," *IEEE J. Solid-State Circuits*, vol.37, no.1, pp.11–17, Jan. 2002.
- [7] R.J. van de Plassche, "Dynamic element matching for high-accuracy monolithic D/A converters," *IEEE J. Solid-State Circuits*, vol.11, no.6, pp.795–800, Dec. 1976.
- [8] R.T. Baird and T.S. Fiez, "Linearity enhancement of multibit $\Delta\Sigma$ A/D and D/A converters using data weighted averaging," *IEEE Trans. Circuits Syst. II*, vol.42, no.12, pp.753–762, Dec. 1995.
- [9] K. Vleugels, S. Rabii, and B.A. Wooley, "A 2.5-V sigma-delta modulator for broadband communications applications," *IEEE J. Solid-State Circuits*, vol.36, no.12, pp.1887–1899, Dec. 2001.
- [10] A.A. Hamoui and K.W. Martin, "High-order multibit modulators and pseudo data-weighted-averaging in low-oversampling $\Delta\Sigma$ ADCs for broad-band applications," *IEEE Trans. Circuits Syst. I*, vol.51, no.1, pp.72–85, Jan. 2004.

(平成 23 年 4 月 18 日受付, 7 月 11 日再受付)



田村 悠

平 19 阪大・工・電子卒。平 21 同大大学院博士前期課程了。現在、同大学院工学研究科博士後期課程在学中。デルタシグマ D-A 変換器の研究に従事。



兼本 大輔 (正員)

平 16 京都工繊大・工芸・電情卒。平 18 阪大大学院前期博士課程了。平 22 九大院システム情報科学研究院情報エレクトロニクス部門助教。アナログ並びにミックスド・シグナル集積回路設計に関心をもつ。工博 (阪大)。IEEE 会員。



松岡 俊匡 (正員)

平元阪大・工・電子卒。平 3 同大大学院博士前期課程了。平 3 シャープ(株)入社。平 11 阪大大学院工学研究科電子情報エネルギー工学専攻リサーチ・アソシエイト(日本学術振興会研究員)。平 12 同大大学院工学研究科電子情報エネルギー工学専攻講師。平 16 同大大学院工学研究科電子情報エネルギー工学専攻助教授。CMOS RF 回路の研究に従事。工博。応用物理学会、電気学会、IEEE 各会員。



谷口 研二 (正員)

昭 46 阪大・工・電子卒。昭 48 同大大学院修士課程了。昭 50 東芝(株)入社。昭 57 より 1 年間マサチューセッツ工科大学客員研究員。昭 61 阪大工学部電子工学科助教授。平 8 同大大学院工学研究科電子情報エネルギー工学専攻教授。現在まで Si の酸化・拡散プロセス、半導体デバイスの物理、半導体シミュレーション技術、アナログ集積回路の研究に従事。工博。応用物理学会、電気学会、IEEE 各会員。