



Title	CDMA 技術を用いたパラレルバスによる低電力伝送システム
Author(s)	清水, 新策; 松岡, 俊匡; 谷口, 研二
Citation	電子情報通信学会論文誌C. 2003, J86-C(8), p. 878-885
Version Type	VoR
URL	https://hdl.handle.net/11094/51714
rights	copyright©2003 IEICE
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

CDMA 技術を用いたパラレルバスによる低電力伝送システム

清水 新策^{†a)}松岡 俊匡[†]谷口 研二[†]

Low-Power Data Transferring System with the Parallel Bus Using a CDMA Technique

Shinsaku SHIMIZU^{†a)}, Toshimasa MATSUOKA[†], and Kenji TANIGUCHI[†]

あらまし VLSI システムにおけるパラレルバスに Code-Division Multiple Access (CDMA) 技術を用い、低消費電力の Parallel-CDMA (P-CDMA) インタフェースを提案した。P-CDMA はデータを複数の信号線に拡散させるため、局所的なノイズに強い。また論理“H”、“L”、そして“M”の3値で伝送するため高速転送が可能であり、パワー遅延積は従来の小振幅及びフルスイングインタフェースに比べてそれぞれ22%、70%削減できた。また0.35 μm CMOS ルールで15 bit 3.9Gbit/s の Parallel-CDMA インタフェースを設計し、回路シミュレーションにより正常動作を確認した。

キーワード Parallel-CDMA, 局所ノイズ, 低消費電力

1. ま え が き

近年大規模集積回路の高速化、高集積化が進み、消費電力やノイズの増大が問題となっている。このためバスインタフェースは高速でありながら、低消費電力、高いノイズ耐性をもつことが求められる。

低消費電力、高ノイズ耐性を備えたバスとして、送信データを拡散符号と呼ばれる擬似的な乱数によって時間軸方向に拡散させて伝送する CDMA (Code-Division Multiple Access: 符号分割多重接続) インタフェースが研究されている [1]~[3]。しかし従来の CDMA インタフェースでは、1 bit のデータ送信を行うのに、拡散符号長分のレイテンシが発生することや、用いる拡散符号の隣接符号間に干渉が生じる [4] ために高速データ転送に使用するには困難であった (図1)。

本論文では、CDMA の特長である高ノイズ耐性を維持しながら 1 bit のデータを 1 クロックで送受信でき、3 値の伝送を行う新しい Parallel-CDMA (P-CDMA) インタフェースを提案する。

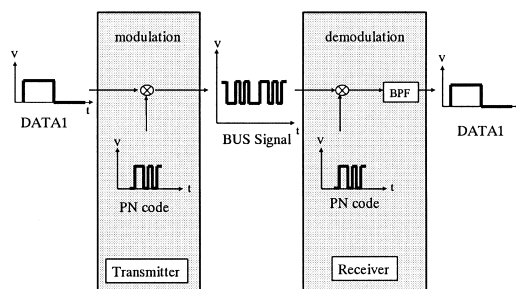


図1 時間軸拡散による CDMA インタフェース：データと拡散符号の排他的論理和をとり、時間に沿ってデータを転送するため、1 bit のデータを送信するのに拡散符号長分の時間が必要となる。また隣接した拡散符号が干渉しやすいため高速伝送には不向きである。

Fig. 1 Conventional CDMA bus interface.

2. P-CDMA インタフェースの原理

P-CDMA インタフェースは拡散符号を用いてデータを複数の信号線に拡散させて伝送するインタフェースである。拡散符号は M 系列 [5] の最後に論理“L”を足して相互相関値を 0 とした n bit の系列を用いる。この M 系列をもとにした拡散符号は、拡散符号の各 bit を $SS(l)$ ($l = 1, 2, 3, \dots, n$) とすると、

$$\sum_{l=1}^n SS_x(l) \cdot SS_y(l) = \begin{cases} n & (SS_x = SS_y) \\ 0 & (SS_x \neq SS_y) \end{cases} \quad (1)$$

の関係が成り立つ。

[†] 大阪大学大学院工学研究科電子情報エネルギー工学専攻, 吹田市
Department of Electronics and Information Systems, Osaka
University, 2-1 Yamada-oka, Suita-shi, 565-0871 Japan

a) E-mail: shinsaku@eie.eng.osaka-u.ac.jp

P-CDMA インタフェースは複数の送受信回路、パラレルバス、そしてバスのリセットに用いるバス安定化回路によって構成される (図2)。パラレルバスは同相雑音に対して耐性をもたせるためにすべて差動構成を用いる。

2.1 データ送信の原理

送信回路において送信データと拡散符号の排他的論理和をとり、拡散符号の l bit 目と送信データとの排他的論理和の結果を BUS_l に転送する。ここで送信回路 k が送信するデータを D_k 、用いる拡散符号を SS_k とすると、 BUS_l に送られるデータ BUS_l は、

$$BUS_l = D_k \cdot SS_k(l) \quad (2)$$

となる。複数の送信回路が共通バスにデータを転送する場合、各送信回路からのデータをバス上で線形的に足し合わせることで多重化を行う。 n 多重させたときの各バス上の信号は

$$BUS_l = \sum_{k=1}^n D_k \cdot SS_k(l) \quad (3)$$

である。

2.2 データ受信の原理

受信回路では、バス上の信号と受信回路で使用する拡散符号との排他的論理和をとり、それをすべてのバスにおいて足し合わせることで相関値を計算し、その相関値の大小で、送られたデータの論理を判定する (図3)。受信回路 r における拡散符号の l bit 目を $SS_r(l)$ とすると、受信回路 r が得る相関値 $CORR_r$ は

$$\begin{aligned} CORR_r &= \sum_{l=1}^n BUS_l \cdot SS_r(l) \\ &= \sum_{l=1}^n \sum_{k=1}^n D_k \cdot SS_k(l) \cdot SS_r(l) \end{aligned} \quad (4)$$

となる。式(1)の関係より、送信信号が論理“H”のとき $D_k = 1$ 、論理“L”のとき $D_k = -1$ に対応させると、相関値 $CORR_r$ は次式で表される。

$$CORR_r = \begin{cases} n (D_k = 1, SS_k = SS_r) \\ 0 (SS_k \neq SS_r) \\ -n (D_k = -1, SS_k = SS_r) \end{cases} \quad (5)$$

つまり、この相関値から受信データの論理を判定することができる。相関値が0のときは受信回路の拡散符号と同じ拡散符号で変調された送信データが存在しないと判定することができる。

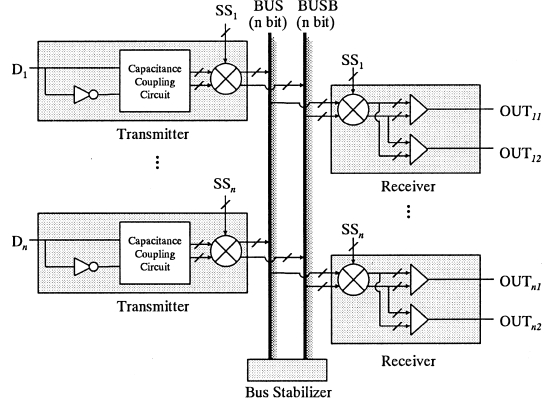


図2 Parallel-CDMA (P-CDMA) インタフェース：複数の送受信回路と差動構成をもつパラレルバス、バスのリセットを行うバス安定化回路から構成される。送信側はデータを拡散符号によって複数の信号線に拡散させて伝送を行い、受信側では拡散符号を用いてバス上の信号との相関値を計算し、その大小でデータの論理を判定する。1 対の送受信回路は 1 クロックで論理“H”、“L”、非相関“M”の 3 値を伝送できる。

Fig. 2 Parallel-CDMA (P-CDMA) interface.

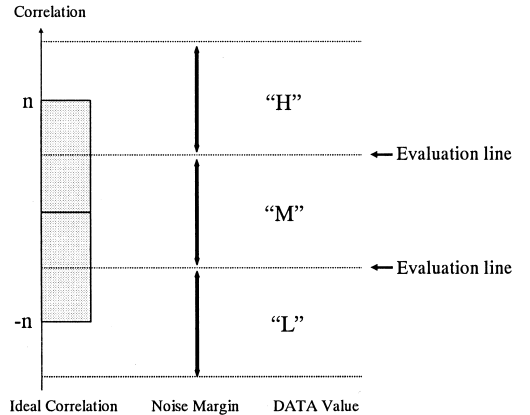


図3 P-CDMA の受信回路における論理判定とノイズマージン：P-CDMA では相関値の大きさにより論理“H”、“L”、“M”の 3 値を判別する。得られた相関値が論理判定基準を超えない限りデータは保障される。

Fig. 3 Evaluation of data logic and noise margin in P-CDMA receiver.

以上のことから拡散符号の種類でチャンネルを分割した P-CDMA インタフェースでは、1 チャンネルは 1 クロック当り 3 値 (“H”、“L”、“M”) のデータを送受信することができる。図4に、送受信回路が n bit のデータを 3 値で授受する例を示す。3 値伝送では送信回路からのデータ転送がない場合でも、それをデータ

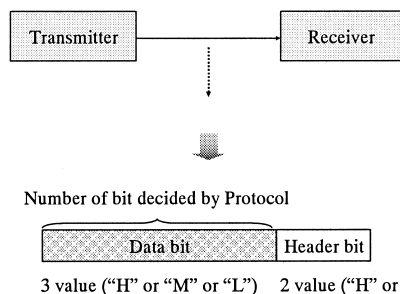


図4 P-CDMA による 3 値伝送の一例：データの先頭にデータ検出用の先頭ビットを付加し、その後決められたビット数のデータを 3 値で転送する。

Fig. 4 The example of three-valued data transmission.

“M”として利用している。したがって送信回路が受信回路にデータを転送するとき、データの存在を示すための先頭ビットが必要となる。ここで先頭ビットは論理“H”または“L”で転送することで受信回路にデータの開始を知らせる。そして先頭ビットの後データを n bit で転送するというをプロトコル等で決めておくことで、先頭ビット後のデータを 3 値で転送することが可能となる。3 値による n bit のデータ量は 2 値に換算すると $n (\log 3 / \log 2)$ bit となるため、3 値伝送により約 1.6 倍の転送速度を得ることができる。

3. 回路構成

3.1 送信回路

送信回路では送信データと拡散符号の排他的論理和を取り、それを各バスに送り出す。P-CDMA インタフェースの送信回路を図5に示し、その動作を以下に示す。RST はリセット信号、CLK はクロック信号、D は CLK に同期した送信データである。

RST が論理“L”のとき、システム全体はリセット状態であり、バス上の電位はすべて V_{busL} にリセットされている。このときすべての送信回路において、OUTP、OUTPB はともに V_{SS} である。RST が論理“H”のときにシステム全体はアクティブ状態となり、D は CLK に同期して送信回路に入る。D が論理“H”のとき、OUTP= V_{DD} 、OUTPB= V_{SS} となるが、論理“L”の場合 OUTP= V_{SS} 、OUTPB= V_{DD} である。

OUTP の電位変化は送信回路のキャパシタンス C_{tr} を通してバスに伝わる。バス容量を C_{bus} 、送信回路の総数を M 、送信回路からの差動出力電圧を ΔV_c とすると、 C_{tr} は以下のように決定できる。

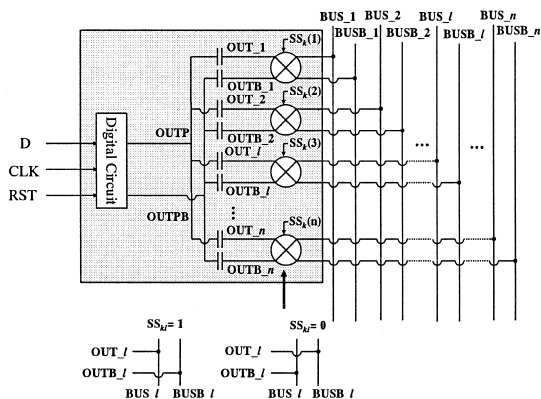


図5 送信回路：送信データの論理により、送信キャパシタンスに送り出す電圧を変化させてバスを駆動する。送信データと拡散符号との排他的論理和は論理ゲートを用いることなく配線で実現している。

Fig. 5 Transmitter circuit.

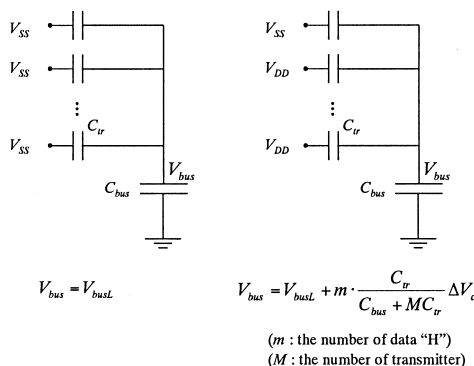


図6 バス上でのデータの多重化：複数の送信回路の信号の多重化はキャパシタンスカップリングによって行う。

Fig. 6 Data multiplex on a bus.

$$C_{tr} = \frac{|\Delta V_c| C_{bus}}{V_{DD} - M |\Delta V_c|} \quad (6)$$

このことからバスの駆動に要する消費電力 P_C は、

$$\begin{aligned} P_{cb} &= 2\alpha n f (C_{bus} + M C_{tr}) \Delta V_c V_{DD} \\ &= 2\alpha n f C_{bus} \cdot \frac{|\Delta V_c| V_{DD}^2}{V_{DD} - M |\Delta V_c|} \end{aligned} \quad (7)$$

となる。ここで α は活性化率、 f は動作周波数である。

本送信回路ではバスの駆動にキャパシタンスカップリングを用いているため、複数の送信回路からの出力はバス上で線形に多重化される（図6）。 V_{DD} でバスを駆動している送信回路の数を m とすると多重化さ

れたバス上の電位 V_{bus} は,

$$V_{bus} = V_{busL} + m \frac{|\Delta V_c| C_{tr}}{C_{bus} + M C_{tr}} \quad (8)$$

である.

送信データと拡散符号の排他的論理和は、送信回路で用いる拡散符号を固定化することにより、以下のように配線の結線を切り換えることで簡単に実現できる. 拡散符号の l bit 目を $SS(l)$ とすると, $SS(l) = 1$ のとき, OUT_{-l} は BUS_{-l} に, $OUTB_{-l}$ は $BUSB_{-l}$ に接続し, $SS(l) = 0$ のときは OUT_{-l} を $BUSB_{-l}$ に, $OUTB_{-l}$ を BUS_{-l} に接続する.

3.2 受信回路

受信回路は各バス信号の差動成分と拡散符号との排他的論理和をとり、その結果をすべてのバスにわたって足し合わせて送信信号を判定する. P-CDMA インタフェースの受信回路を図7に示す. 各バスと拡散符号との排他的論理和を計算する回路は送信回路と同じく配線の切換によって実現することで高速化, 小面積化を図っている.

拡散符号を掛け合わせた後, 下記の差動増幅器の原理を応用して各バス信号の加算を行う. 図8に示す回路構成の差動トランジスタ対を考える. V_{IN-k} ($k = 1, 2, \dots, n$) と V_{INB-k} は各バスラインの差動入力信号である. I_1 と I_2 に流れる電流差 ΔI は, $W_1 = W_{1b} = W$ とすれば,

$$\Delta I = \frac{KW(V_{CM} - V_s - V_{thn})}{L} \sum_{k=1}^n \Delta V_k \quad (9)$$

である. ここで V_{CM} は入力電圧の同相成分, V_s は入力段の MOSFET のソース電位, V_{thn} は nMOS のしきい値, K はトランスコンダクタンスパラメータ, W はゲート幅, L はゲート長, ΔV_k はバスライン k の入力電位の差動成分である. V_{IN-k} ($k = 1, 2, \dots, n$) 及び V_{INB-k} にそれぞれバス上の信号と拡散符号の排他的論理和をとった電位が入力されると, ΔV_k は式(5)の性質から,

$$\sum_{k=1}^n \Delta V_k = \begin{cases} n\Delta V_c & (D_k = "H", SS_k = SS_r) \\ 0 & (SS_k \neq SS_r) \\ -n\Delta V_c & (D_k = "L", SS_k = SS_r) \end{cases} \quad (10)$$

となる. $SS_k = SS_r$ のときには

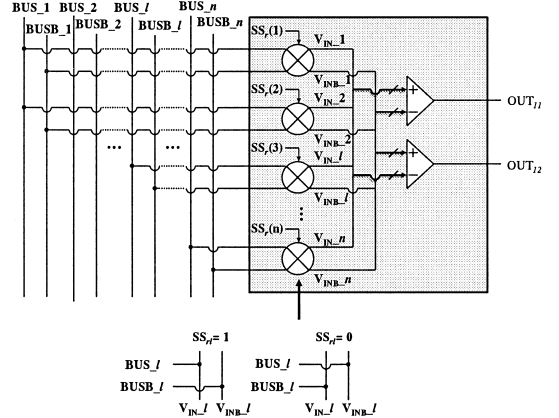


図7 受信回路：バス上の信号と拡散符号の排他的論理和をとり、すべてのバスにおける排他的論理和の計算結果を差動バスによって足し合わせ、その大小から論理判定を行う.

Fig.7 Receiver circuit.

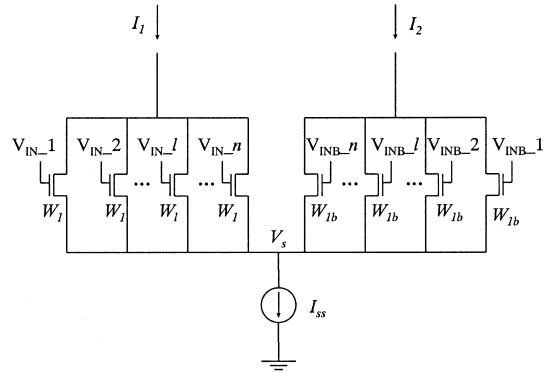


図8 受信回路に用いた差動増幅器：入力段をバスの本数と同じだけ並列に用意し、それぞれの MOSFET のゲートと各バスを接続することで、入力電圧の加算を行う.

Fig.8 Differential amplifier in receiver circuit.

$$\Delta I = \frac{KW(V_{CM} - V_s - V_{thn})n\Delta V_c}{L} \quad (11)$$

である. なお, ΔI が ΔV_c の入力電位に対し線形である条件は,

$$\Delta V_c \leq \frac{1}{n} \sqrt{\frac{2I_{ss}L}{WK}} = \Delta V_{c,max} \quad (12)$$

であり, バスの本数 n に応じて設計パラメータである W/L とテール電流 I_{ss} をあらかじめ調整しておかなければならない.

更に, $W_1 \neq W_{1b}$, $W_1 + W_{1b} = 2W$ とすれば, 入

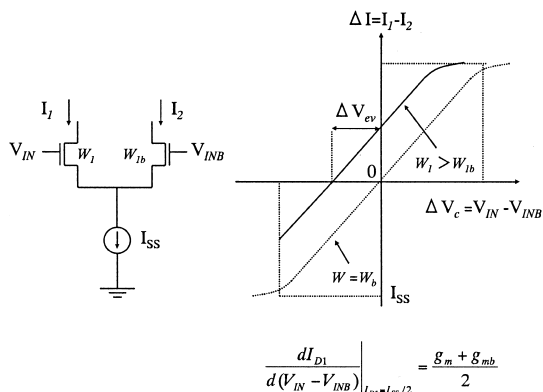


図9 差動増幅器の線形特性：差動増幅器の入力段に流れる電流の差は入力電位差に比例する。入力段 MOSFET にオフセットをもたせることで論理判定点を任意に決めることができる。

Fig. 9 Linear characteristic of differential amplifier.

力信号の判定にオフセットをもたせることができる。この非対称型コンパレータの場合、 $I_1 = I_2$ となる電位は、

$$\Delta V_{ev} = \sqrt{\frac{8I_{ss}L}{nK(W_1 + W_{1b})}} \cdot \frac{1 - \sqrt{\frac{W_1}{W_{1b}}}}{1 + \sqrt{\frac{W_1}{W_{1b}}}} \quad (13)$$

であり、 ΔV_c と ΔI は図9のような関係をもつ。この特性を利用して図7のように $\Delta V_{ev} = \pm \Delta V_{c, max}/2$ のオフセットを有する差動増幅器を二つ用いて加算、そして送信された3値のデータ判定を同時に行うことができる。このとき差動ペアトランジスタのチャネル幅の比は式(12)、(13)より

$$\frac{W_1}{W_{1b}} = \left(\frac{2\sqrt{2n} - 1}{2\sqrt{2n} + 1} \right)^2 \quad (14)$$

となる。ただし、 $W_1 \neq W_{1b}$ とすることにより最大で、

$$\sqrt{\frac{nK}{32I_{ss}L(W_1 + W_{1b})}} (W_1 - W_{1b}) \Delta V_c \quad (15)$$

の比率で線形からずれた特性を示す。

差動増幅器の出力負荷容量 C_{out} を判定出力電圧 V_{out} まで上昇させる時間 t_{cr} は、式(12)で求めたバス振幅でバスを駆動した場合に受信回路の差動のバスに流れる電流差が $I_{ss}\sqrt{2/n}$ となることから、次式のように得られる。

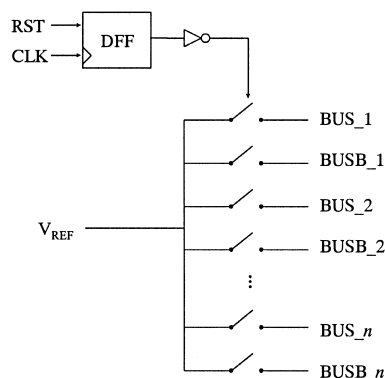


図10 バス安定化回路：リーク電流によってバス上の電荷が一定に保たれないため、安定化回路によって一定時間ごとにリセットを行う。

Fig. 10 Stabilizer circuit.

$$t_{cr} = \frac{C_{out}V_{out}}{I_{ss}} \sqrt{\frac{n}{2}} \quad (16)$$

このとき受信回路の消費電力 P_{cr} は

$$P_{cr} = 2I_{ss}V_{DD} \quad (17)$$

である。

3.3 バス安定化回路

複数の送信回路からの信号出力は、バス上でキャパシタンスカップリングによる電荷保存によって加算される。しかし、リーク電流の存在によってバス上の電荷は保存されない。したがって一定時間ごとにバスのリセットを行う必要がある。そのためのバス安定化回路を図10に示す。リークにより最小振幅の10%電位が変化したときにリセットを行うとき、バスをリセットする間隔 t_{reset} は、

$$t_{reset} = \frac{0.1 \cdot (C_{bus} + MC_{tr})}{I_{leak}} \quad (18)$$

である。ここで I_{leak} は安定化回路のスイッチを構成する MOSFET のリーク電流である。

4. 従来インタフェースとの性能比較

P-CDMA インタフェースの性能を従来の小振幅インタフェースと比較する。以下では解析を簡単化するため図11(a)に示す従来型インタフェースを仮定している。その方式では受信に差動増幅器を用い、 V_{CM} を同相成分とし、振幅 ΔV_i でデータを伝送する。

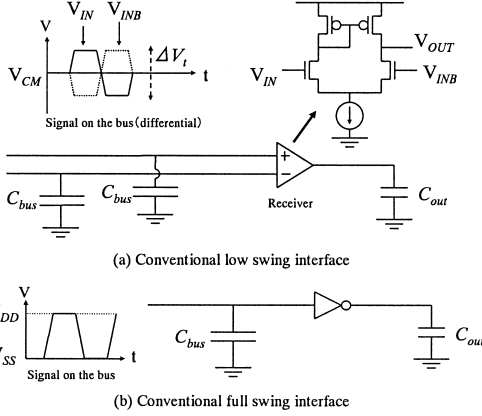


図 11 比較用の従来インタフェースモデル：(a) 小振幅のバスと差動増幅器による受信回路を用いたインタフェース、(b) フルスイングのバスとインバータによる受信回路を用いたインタフェース

Fig. 11 Conventional interface : (a) consists of low voltage amplitude differential bus and differential amplifier, (b) consists of full swing bus and inverter.

4.1 バス上のノイズ耐性

従来型のインタフェースにおける伝送路上のノイズを V_{noise} とすれば、

$$|V_{noise}| \leq \frac{|\Delta V_t|}{2} \quad (19)$$

を満たせば、受信インバータがデータを読み取ることができる。

一方、P-CDMA においてはデータを n 分割してパラレルバスに転送するため、1 本のバスにすべてのノイズが乗ると仮定すると、

$$|V_{noise}| \leq \frac{n|\Delta V_c|}{2} \quad (20)$$

となる。

図 12 に示すように、バスの一方にノイズ源が存在し、その影響を 1 本のバスのみが受けたとした場合、式 (19), (20) より、P-CDMA は従来インタフェースよりも SN 比において n 倍局所的なノイズに強いことがわかる。

このように P-CDMA は信号を複数の信号線に拡散することで、従来の時間軸方向に拡散する CDMA が狭帯域ノイズに対する耐性をもつとは異なり、局所的なノイズに対して耐性をもつ。

4.2 パワー遅延積

従来の小振幅インタフェースにおいてバスを駆動するのに必要な消費電力は

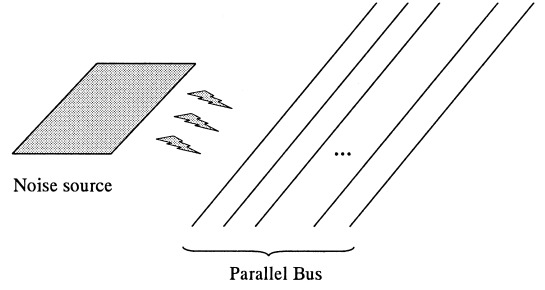


図 12 パラレルバスに接したノイズ源：パラレルバスがノイズ源より局所的なノイズを受ける場合、P-CDMA は従来のインタフェースに対して SN 比で n 倍のノイズ耐性をもつ。

Fig. 12 Noise source by P-CDMA interface.

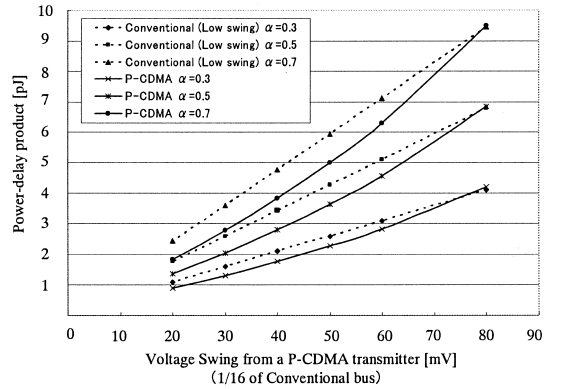


図 13 バス振幅に対するパワー遅延積の比較：P-CDMA は活性化率が高く、バス振幅が小さいほどエネルギー効率が良い。

Fig. 13 Power delay product vs. voltage amplitude of bus.

$$P_{tb} = 2\alpha f C_{bus} V_{DD} \Delta V_t \quad (21)$$

である。また受信回路の差動増幅器が信号を増幅する時間 t_{tr} 及びそのときの消費電力 P_{tr} は

$$t_{tr} = \frac{C_{out} V_{out}}{I_{ss}} \quad (22)$$

$$P_{tr} = I_{ss} V_{DD} \quad (23)$$

となる。ここで I_{ss} は差動増幅器のテール電流源である。

式 (7), (16), (17) 及び式 (21), (22), (23) より P-CDMA インタフェースと従来の小振幅インタフェースのそれぞれに対するパワー遅延積を図 13 に示す。図中、P-CDMA 及び従来方式のパワー遅延積はそれぞれ多重度を同じとして求め、それを 1 多重度当りの値に規格化したものである。ただし P-CDMA が 3

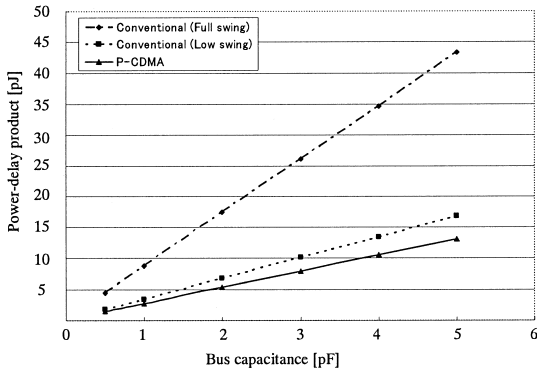


図 14 バス容量に対するパワー遅延積の比較: P-CDMA はバス容量が大きいかほどエネルギー効率が良い。

Fig. 14 Power delay product vs. bus capacitance.

値転送, 従来のインタフェースが 2 値転送であることを考慮し, 従来型インタフェースのパワー遅延積には $\log 3 / \log 2$ を掛けている。また同一 V_{noise} に対するノイズ耐性を前提とするために, 従来型小振幅インタフェースの振幅 ΔV_t を $n\Delta V_c$ とした。用いたパラメータは $V_{DD}=3.3\text{V}$, $C_{bus}=1\text{pF}$, $C_{out}=20\text{fF}$, $V_{out}=0.8\text{V}$, $n=16$ である。

また P-CDMA, 従来型小振幅インタフェース, インバータを受信回路に用いたフルスイングインタフェース (図 11 (b)) のバス容量に対するパワー遅延積を図 14 に示す。このとき $\alpha=0.5$ であり, P-CDMA, 従来型小振幅インタフェース, フルスイングインタフェースの 1 信号当りのバス振幅をそれぞれ 40 mV, 640 mV, 3.3 V とした。 $C_{out}=5\text{pF}$ の場合を例にとれば, P-CDMA インタフェースのパワー遅延積は従来の小振幅インタフェース, フルスイングインタフェースに対してそれぞれ 22%, 70% 削減できた。

式 (19), (20) より P-CDMA はノイズ耐性に優れており, また図 13, 図 14 よりバス上の振幅が小さいときや活性化率が高いとき, またバス容量が大きいかほどエネルギー効率が良いことがわかる。

5. 回路シミュレーション結果

P-CDMA システムの正常動作を確認することを目的として, P-CDMA の回路シミュレーションを行った。シミュレーションはレイアウトより得られた寄生容量を考慮して行った。

シミュレーションを行った P-CDMA インタフェースはメタル 3 層, ポリシリコン 2 層の $0.35\mu\text{m}$ CMOS ルールをもとにした。バス上の最小信号振幅は 40 mV

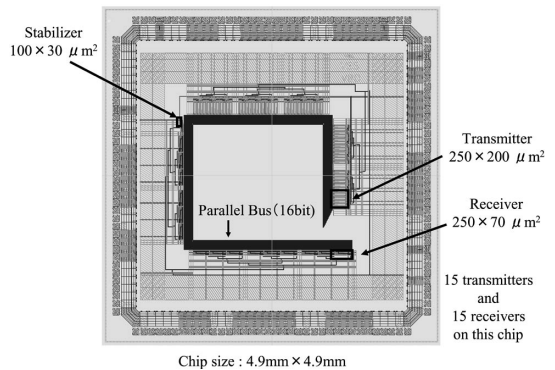


図 15 P-CDMA インタフェースのレイアウト図: 送受信回路 15 対, バス安定化回路を搭載する。デザインルールは $0.35\mu\text{m}$, メタル 3 層, ポリシリコン 2 層の CMOS ルールである。

Fig. 15 Layout of P-CDMA interface.

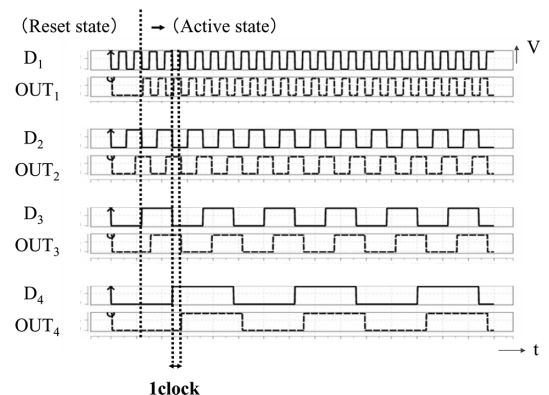


図 16 シミュレーション波形

Fig. 16 Simulation wave form.

とした。これは受信回路の差動増幅器における入力段 MOSFET のオフセット電圧が最小バス振幅の 5% となるように設定した値である。送信回路から受信回路までのデータ転送時間が 1 クロックの 97% となるよう設定し, 動作周波数は 166 MHz とした。拡散符号の系列長は簡単化のために 16, 搭載した送信回路, 受信回路はともに 15 個とした。

図 15 に P-CDMA インタフェースのレイアウト図を示す。送受信回路の面積はそれぞれ $200 \times 250\mu\text{m}^2$, $250 \times 70\mu\text{m}^2$ であった。これを既存のライブラリを用いて設計した従来のフルスイングインタフェース用送受信回路と比較したところ (フルスイングインタフェースの送受信回路はフルディジタル設計が可能であり, 面積は従来型小振幅インタフェースより小さいためフルスイングインタフェースとの比較を行った),

P-CDMA の送受信回路はそれぞれ約 5 倍、及び約 2 倍の面積であった。特に P-CDMA 送信回路の面積が大きな理由は、バス駆動用のキャパシタンスが送信回路全体の約 80% を占めていることにある。今回のレイアウトではポリシリコン 2 層を用いてキャパシタンスを設計したが、実用化にはキャパシタンスのレイアウトを工夫する必要がある。

このレイアウトより寄生容量を抽出して回路シミュレーションを行った信号の出力波形を図 16 に示す。D は送信回路への入力信号を、OUT は受信回路からの出力信号である。リセット解除後に送信データが 1 クロックで受信回路に伝わっていることがわかる。動作周波数は 166 MHz、15 多重のデータ転送ができることから 3 値伝送で最大 3.9 Gbit/s の転送速度を確認した。

6. む す び

局所ノイズ耐性をもち、低消費電力を実現するインタフェースとして CDMA 方式を用いたパラレルバスインタフェースを提案した。P-CDMA インタフェースでは送信信号を時間軸方向ではなく、同一タイミングで複数の信号線に符号を拡散して送るため、データの送受信を 1 クロックで行うことができる。それにより、従来型インタフェースと比較して、SN 比において n 倍の局所ノイズ耐性をもつ。計算の結果、バス容量 5 pF の場合、バス上でのパワー遅延積は従来の小振幅インタフェース、フルスイングインタフェースに比べてそれぞれ 22%、70% 削減できた。しかし、回路面積はフルスイングインタフェースに比べて送信回路で 5 倍になる。このような P-CDMA インタフェースは System On Chip のように、チップ面積が大きく、バスも大容量となり配線間干渉が大きくなるようなアプリケーションの低消費電力化に最適であるといえる。メタル 3 層、ポリシリコン 2 層の 0.35 μm ルールによって 15 多重で 3.9 Gbit/s の P-CDMA インタフェースを設計し、正常動作を確認した。

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、ローム(株)及び凸版印刷(株)の協力で行われたものである。また本研究は日本学術振興会未来開拓学術研究推進事業の援助のもとで行われたものである。関係者の方々には大変感謝致します。

文 献

- [1] R. Yoshimura, B. K. Tan, T. Ogawa, S. Hatanaka, T.

Matsuoka, and K. Taniguchi, "DS-CDMA wired bus with simple interconnect topology for parallel processing systems LSIs," ISSCC Digest of Technical Papers, pp.370-371, Feb. 2000.

- [2] B. K. Tan, R. Yoshimura, T. Matsuoka, and K. Taniguchi, "An efficient data transmission interface for VLSI systems using code-division multiple access technique," 27th European Solid-State Circuits Conference(ESSCIRC), pp.176-179, Villach, Austria, Sept. 2001.
- [3] Y. Yuminaka and S. Sakamoto, "An efficient data transmission technique for VLSI systems using multiple-valued code-division multiple access," IEICE Trans. Electron., vol.E85-C, no.8, pp.1581-1587, Aug. 2002.
- [4] M. Takahashi, B.K. Tan, H. Iwamura, T. Matsuoka, and K. Taniguchi, "A study of robustness and coupling-noise immunity on simultaneous data transfer CDMA bus interface," Proc. ISCAS, vol. IV, pp.611-614, May 2002.
- [5] 丸林 元, 中川正雄, 河野 隆二, スペクトル拡散通信とその応用, コロナ社, 1998.

(平成 14 年 11 月 29 日受付, 15 年 3 月 20 日再受付)



清水 新策 (学生員)

平 13 阪大・工・電子卒。平 15 同大大学院博士前期課程了。現在、同大学院工学研究科博士後期課程在学中。有線 CDMA バスの研究開発に従事。



松岡 俊匡 (正員)

平元阪大・工・電子卒。平 3 同大大学院博士前期課程了。平 3 シャープ(株)入社。平 11 阪大大学院工学研究科電子情報エネルギー工学専攻リサーチ・アソシエイト(日本学術振興会研究員)。平 12 同大大学院工学研究科電子情報エネルギー工学専攻講師。CMOS RF 回路の研究に従事。工博。応用物理学会, IEEE 各会員。



谷口 研二 (正員)

昭 46 阪大・工・電子卒。昭 48 同大大学院修士課程了。昭 50 東芝(株)入社。昭 57 より 1 年間マサチューセッツ工科大学客員研究員。昭 61 阪大工学部電子工学科助教授。平 8 同大大学院工学研究科電子情報エネルギー工学専攻教授。現在まで Si の酸化・拡散プロセス、半導体デバイスの物理、半導体シミュレーション技術、アナログ集積回路の研究に従事。工博。応用物理学会, 電気学会, IEEE 各会員。