OUKA
The University of Osaka
Institutional Knowledge Archive

Title	A Study on Soft Error Mitigation for Microprocessor in Bulk CMOS Technology
Author(s)	上村, 大樹
Citation	大阪大学, 2015, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/52020
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

論 文 内 容 の 要 旨

氏 名 （ 上村大樹 ）	
論文題名	A Study on Soft Error Mitigation for Microprocessor in Bulk CMOS Technology (CMOSバルクテクノロジを用いたマイクロプロセッサのソフトエラー低減に関する研究)

論文内容の要旨

This thesis presents techniques developed for mitigating soft error in microprocessors manufactured with bulk CMOS technology. For designing highly reliable microprocessors, a multi-layer approach is necessary ranging from architectural, circuity and transistor process layers. Microprocessors used in mission critical servers can improve their reliability with architectural layer techniques such as error correction code, parity checking, algorithmic checking, and watchdog timer. However these techniques cannot resolve all soft error issues in a microprocessor. Hence, component-level soft error mitigation in transistor and circuit layers is also required. In microprocessors, the components vulnerable to radiation are SRAM and latch/flip-flop. Multiple-bit upset and single event latchup in SRAM, and single bit upset and multiple-bit upset in latches are factors that deteriorate the microprocessor reliability. This thesis propose narrow deep N-well, deep P-well, well-slit and soft error immune latch techniques for mitigating the soft error issues. Alpha and neutron irradiation test demonstrate that these mitigation techniques in process and circuit layer which are proposed in this thesis effectively prevent soft error from occurring in SRAM and latch/flip-flop. Combination of these techniques in process and circuit layer with other architecture-level techniques is helpful for further reliability improvement. Error correction code, parity checking and data resending eliminate single event upset occurring in SRAM and register files. The narrow deep N-well and deep P-well techniques prevent MBU and SEL occurrence in SRAM. Algorithmic checking detect and remove single bit upset in sequential element. The well-slit technique prevents multiple-bit upset which the algorithmic checking cannot detect. In addition, soft error immune latch reduces single bit upset in latch/flip-flop to which algorithmic checking cannot be applied like control logic. The processor protected by these techniques attains a low missing rate of single bit upset, multiple-bit upset and single event latchup in SRAM and multiple-bit upset in sequential elements. This thesis contributes to current and future highly reliable microprocessor design.

様式7

論文審査の結果の要旨及び担当者

氏　名　（　上村　大樹　）		
	（職）	氏　名
論文審査担当者	主 査　教授	尾上 孝雄
	副 査　教授	中前 幸治
	副 査　准教授	武内 良典
	副 査　准教授	橋本 昌宜

論文審査の結果の要旨

本論文は，CMOSバルクテクノロジを用いたマイクロプロセッサのソフトエラー低減に関する研究の成果をまとめたものであり、以下の主要な結果を得ている。

1. ソフトエラー率のテクノロジ依存性の評価

CMOSバルクテクノロジにより製造されたデバイスのソフトエラー率を網羅的に調査している。11テクノロジ(350, 250, 180, 130, 90, 65, 55, 45, 40, 28, 20nm)のSRAMと、4テクノロジ(65, 45, 28, 20nm)の順序回路に対して、α線と中性子線を用いて照射試験を行い、ソフトエラー率を評価している。また、マイクロプロセッサの照射結果を元に、チップレベルのソフトエラー率も評価している。誤り訂正符号などのアーキテクチャによるエラー回避を考慮しても、SRAMにおける複数ビットエラーとラッチアップ、順序回路における単ビットエラーと複数ビットエラーに対して、エラー率低減の必要性を示している。

2. ソフトエラー対策技術の提案

本論文では、SRAMにおけるECCで回避できない複数ビットのエラー発生を削減するためにNarrow deep N-well技術を提案し、中性子照射試験によりエラー発生率が1000分の1以下に低減することを確認している。また、放射線入射によるSRAMセルのラッチアップ発生を抑制するためにDeep P-well技術を提案し、中性子照射試験によりラッチアップ発生率が9分の1以下に削減できることを確認している。さらに、順序回路における単ビットエラー、複数ビットエラーの発生を抑えるために、Soft Error Immune Latch (SEILA)とWell-slit技術をそれぞれ提案している。中性子照射試験ではSEILAは100分の1以下に、Well-slitは25分の1以下にエラー発生率を減少させることを確認している。以上の対策技術は、マイクロプロセッサにおいて、アーキテクチャにより回避できないソフトエラーを網羅しており、高信頼性マイクロプロセッサの実現に寄与するものと期待できる。

3. 超低電圧におけるソフトエラー率評価

将来のマイクロプロセッサでは超低消費電力動作が求められ、これを実現するには低電圧動作が必須である。本論文では、0.19Vまでの超低電圧でデータ保持可能なSRAMを作成し、α線と中性子線の照射試験を実施している。試験結果より、超低電圧ではソフトエラー率が2桁上昇することを示している。本評価から、将来の低電圧動作デバイスでは、極めて高いソフトエラー対策が必要なことを示唆している。

以上のように、CMOSバルクテクノロジを用いたマイクロプロセッサのソフトエラー低減に関する研究は、高信頼が求められるマイクロプロセッサを実現するという点において非常に有用である。ソフトエラーのテクノロジ依存、電圧依存も網羅的に研究されており、本論文は幅広いデバイスの高信頼化実現に寄与するものと期待できる。従って，博士（情報科学）の学位論文として価値のあるものと認める。