



Title	薄膜Al ₂ O ₃ /SiO ₂ 埋め込み絶縁膜層を有する貼り合わせGeOI基板およびGe-n型MISFETの開発
Author(s)	守山, 佳彦
Citation	大阪大学, 2015, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/52066
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

論文内容の要旨

氏 名 (守山 佳彦)	
論文題名	薄膜 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 埋め込み絶縁膜層を有する貼り合わせGeOI基板およびGe- <i>n</i> 型MISFETの開発
論文内容の要旨	
<p>相補型金属-酸化物-半導体電界効果トランジスタ (CMOS) は、単位面積当たりの消費電力を一定に保ちながら、高速化と微細化を両立できるという定電界スケールリング則に従い、開発が進めてられてきた。しかしながら、微細化の進展により、素子特性のバラツキを抑制することが困難となり、定電界スケールリングの限界が見えてきた。その結果、電源電圧を低減できず、単位面積当たりの消費電力は集積化とともに増加の一途をたどっている。性能を劣化させることなく、低電源電圧のCMOS回路を実現するには、①ゲートの静電支配力を向上できる、埋め込み絶縁膜 (BOX) 上薄膜チャンネルを利用すること、②同じ電源電圧に対する電流駆動力を向上するため、チャンネル材料としてGeなどの高移動度材料を用いること、が有望である。さらに、CMOSの低消費電力化には、③BOX層をバックゲート絶縁膜と見立てた、バックゲートバイアス印加によるしきい値制御、が有効であり、これによって消費電力を動的に制御することができる。本論文では、消費電力増加の解決策として、薄膜BOX上に形成された薄膜Geチャンネルを有するGe-CMOSを提案した。Ge-CMOSを実現する要素技術として、CMOS回路のプラットフォームとなる、薄膜$\text{Al}_2\text{O}_3/\text{SiO}_2$ hybrid BOXを有する薄膜GeOI (Germanium-on-Insulator) 基板、およびその低駆動力ゆえに課題となっていたGe-<i>n</i>MISFET (金属-絶縁体-半導体電界効果トランジスタ) の高駆動力化技術を開発した。上述のGeOI基板を作製し、その機械的な接合強度やGe/BOX界面の電気的な性質が、従来のGe/SiO_2接合を有するGeOI基板と比較して著しく向上することを定量的に示した。また、GeOI基板の大口径化に対応し、Ge供給基板として、エピタキシャル成長Ge/Si (Epi-Ge/Si) 基板の採用を検討した。そのEpi-Ge層は、微細トランジスタ用チャンネル材料として、物理的にも電気的にも十分な結晶性を有することを実験的に示した。さらに、供給基板と支持基板が同一材料のSiとなることで、接合強化アニール時の熱膨張係数差を低減でき、より強固な貼り合わせ$\text{Al}_2\text{O}_3/\text{SiO}_2$界面の形成が可能となった。この薄膜GeOI基板をCMOS作製に応用する場合、薄膜チャンネルであること自体がMISFETの寄生抵抗を増加させる原因となること、また、Geという材料本来の特性から、<i>n</i>MISFETのソース・ドレイン (SD) 領域の、金属/<i>n</i>-Ge接触抵抗が非常に高いという課題がある。それらを克服するため、化学気相成長法によるPドーピングによって<i>n</i>⁺-Ge (Ge:P) 領域の形成を検討した結果、高電子濃度Ge層およびTi電極とのオーミック接合を形成することに成功した。さらに、薄膜GeOI層に引張りひずみを印加し、<i>n</i>MISFETの電流駆動力を向上させるための技術として、ストレッサー機能をPドープSiGe (SiGe:P) に、コンタクト抵抗低減機能をGe:Pに、各々の機能を特化させたGe:P/SiGe:P積層ストレッサーSDを開発し、<i>n</i>MISFETに適用した。これらの技術を適用したGeOI-<i>n</i>MISFETを作製し、トランジスタ特性を評価したところ、従来の4倍以上の電流駆動力を有することが明らかになった。本研究によって高移動度・低消費電力Ge-CMOSの実現への道が開かれたといえる。</p>	

論文審査の結果の要旨及び担当者

氏 名 (守山 佳彦)			
	(職)		氏 名
論文審査担当者	主 査	教 授	酒 井 朗
	副 査	教 授	岡 本 博 明
	副 査	教 授	浜 屋 宏 平

論文審査の結果の要旨

本論文には、次世代の相補型金属-酸化物-半導体電界効果トランジスタ (CMOS) 集積回路の基盤となるGeOI (Germanium-on-Insulator) を対象として、その基板作製、薄膜結晶成長、不純物ドーピング等、各種先進プロセス技術の開発とそれらの工程の背景にある学理の探求、さらにはGeOI基板をプラットフォームとして作製されたトランジスタ素子の電気的物性の解明と制御に関わる研究成果がまとめられている。これまでに、CMOSは、定電界スケールリング則に従い、単位面積当たりの消費電力を維持しつつ、高速化と微細化が達成されてきた。しかしながら、微細化の進展によりもたらされる副次的な素子特性バラツキに対する制御がすでに限界を迎えており、消費電力は集積化とともに増加の一途をたどっている。この点を鑑み、性能を劣化させることなく、低消費電力のCMOS回路を実現するために、ゲートの静電支配力を向上できる埋め込み絶縁膜 (BOX) 上薄膜チャネルの利用、電流駆動力を向上できる高移動度Geチャネル材料の採用、BOX層をバックゲート絶縁膜と見立てたバックゲートバイアス印加によるしきい値動的制御、の三つを基軸として本研究が展開された。上記目標を達成するため、本研究においては、薄膜 Al_2O_3/SiO_2 hybrid BOXを有する薄膜GeOI基板の作製技術、さらにその低駆動力ゆえに課題となっていたGe-nMISFET (金属-絶縁体-半導体電界効果トランジスタ) の高駆動力化技術が開発された。本論文には、作製されたGeOI基板の機械的な接合強度やGe/BOX界面の電気的な性質が、従来のGe/SiO₂接合を有するGeOI基板と比較して著しく向上することが定量的に示されている。また、GeOI基板の大口径化に対応し、Ge供給基板として、エピタキシャル成長Ge/Si (Epi-Ge/Si) 基板の採用を試み、Epi-Ge層が、微細トランジスタ用チャネル材料として、物理的にも電気的にも十分な結晶性を有することを実証すると同時に、接合強化アニール時の熱膨張係数差による不整合応力が格段に低減された結果として、より強固な貼り合わせ界面を有するGeOI基板を実現している。一方、この薄膜GeOI基板をCMOS作製に应用する場合、nMISFETのソース・ドレイン (SD) 領域の金属/n-Ge接触抵抗が非常に高いことが問題になる。これに対し、本研究では、Pドープn+-Ge層の化学気相成長を試み、薄膜結晶成長の素過程に関わる学理の裏付けを基に、種々の成長条件を科学的に最適化することで、従来にない高電子濃度Ge層の形成に成功している。さらに、電流駆動力向上機能とコンタクト抵抗低減機能を兼ね備えたPドープn+-Ge/PドープSiGe積層ストレッサーSDを開発し、これらの技術の統合によって作製されたGeOI-nMISFETが、従来の4倍以上の電流駆動力を有することを明らかにしている。以上、本論文は、薄膜 Al_2O_3/SiO_2 埋め込み絶縁膜層を有する貼り合わせGeOI基板の有効性と、それを用いたGe-n型MISFETの高性能性を実証しており、次世代の高移動度・低消費電力Ge-CMOSの実現に充分に貢献する成果であり、博士 (工学) の学位論文として価値あるものと認める。